

ФЕДЕРАЛЬНОЕ АГЕНТСТВО СВЯЗИ
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«ПОВОЛЖСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ
ТЕЛЕКОММУНИКАЦИЙ И ИНФОРМАТИКИ»

Кафедра автоматической электросвязи

А. Ю. Гребешков

Координационный процессор управления СР113 системы EWSD

Методические указания к лабораторным работам
по направлению подготовки бакалавров 11.03.02 «Инфокоммуникацион-
ные технологии и системы связи»
профиль «Оптические и проводные сети и системы связи»
по направлению подготовки специалистов
10.05.02 «Защита информации в системах связи и управления»
профиль «Безопасность в системах связи и управления»
по направлению подготовки бакалавров 10.03.01 «Информационная
безопасность»
профиль «Безопасность телекоммуникационных систем»

Самара
2017

УДК 004.3:654.1

ББК

Г79

Рекомендовано к изданию методическим советом ПГУТИ,
протокол № 75 от 12.05.2017 г.

Рецензент

Заведующий кафедрой «Системы связи» ФГБОУ ВО ПГУТИ
д.т.н., профессор Васин Н.Н.

Гребешков А.Ю.

Г79 Координационный процессор управления CP113 системы EWSD.
Методические указания к лабораторным работам по направлению подготовки бакалавров 11.03.02 «Инфокоммуникационные технологии и системы связи», профиль «Оптические и проводные сети и системы связи»; по направлению подготовки специалиста 10.05.02 «Защита информации в системах связи и управления», профиль «Безопасность в системах связи и управления»; по направлению подготовки бакалавров 10.03.01 «Информационная безопасность», профиль «Безопасность телекоммуникационных систем»; [Текст] / А.Ю. Гребешков. – Самара: ПГУТИ, 2017. – 64 с.

Методические указания разработаны в соответствии с ФГОС ВО по направлению подготовки специалиста 10.05.02 «Защита информации в системах связи и управления» (профиль «Безопасность в системах связи и управления»); по направлению подготовки бакалавров 10.03.01 «Информационная безопасность» (профиль подготовки «Безопасность телекоммуникационных систем») и предназначены для студентов дневного и заочного отделений факультета Телекоммуникаций и радиотехники для лабораторных занятий по дисциплине «Аппаратные средства телекоммуникационных сетей». Методические указания разработаны в соответствии с ФГОС ВО по направлению подготовки бакалавров 11.03.02 «Инфокоммуникационные технологии и системы связи» (профиль подготовки «Оптические и проводные сети и системы связи») и предназначены для студентов дневного и заочного отделений факультета Телекоммуникаций и радиотехники для лабораторных занятий по дисциплине «Управление и техническая эксплуатация телекоммуникационных сетей и систем».

© ФГБОУ ВО ПГУТИ, 2017
© А.Ю. Гребешков, 2017

Содержание

Лабораторная работа № 1 «Назначение логических схем в блоках ВАРs/САРs/ИОСs»	4
Лабораторная работа № 2 «Функции логических схем в шины общей памяти В:СМУ».....	35
Лабораторная работа № 3 «Состав и назначение общей памяти СМУ»...	47
Лабораторная работа № 4 «Циклы работы СМУ»	54

Лабораторная работа № 1 «Назначение логических схем в блоках VAPs/CAPs/IOCs»

1. Цели лабораторной работы

Целью лабораторной работы является получение учебно–научной информации о процессах функционирования, составе и схемотехнике:

- функциональных блоков процессора;
- модулей и логических схем, входящих в состав процессора;
- функциях этих логических схем.

2. Учебная литература

1. Гребешков А. Ю. Вычислительная техника, сети и телекоммуникации–Самара: ИНУЛ ПГУТИ, 2014.–218 с.

2. Проектирование и техническая эксплуатация цифровых телекоммуникационных систем и сетей: учебное пособие для студентов вузов/ Е.Б. Алексеев, В.Н. Гордиенко, В.В. Крухмалев, А.Д. Моченов, М.С. Тверецкий; под ред. В.Н Гордиенко и М.С. Тверецкого.– М.: Горячая линия – Телеком, 2014. – 392 с.

3. Гребешков А.Ю. Управление сетями связи по стандартам TMN: учебное пособие для студентов вузов.– М.: Радио и связь, 2004 г. – 155 с.

3. Подготовка к лабораторной работе

1. Изучить рекомендованную литературу.
2. Подготовить ответы на контрольные вопросы.

4. Контрольные вопросы

1. Дайте характеристику системе управления коммутационной системы EWSD.
2. В чем состоит особенность резервирования аппаратных компонент процессора управления?
3. Каким образом осуществляется обмен управляющими сигналами в системе EWSD?
4. В каком режиме времени работает процессор управления?

5. Порядок выполнения работы

1. Ответить на контрольные вопросы по указанию преподавателя.
2. Выполнить лабораторную работу согласно меню компьютерной программы.

6. Методические указания по изучению аппаратных компонентов процессора

В отношении процессоров, вы уже знакомы со следующими пунктами:

Основные процессоры (ВАР) и процессоры обработки вызовов (САР) состоят из одинаковых аппаратных компонентов.

Детально эти аппаратные компоненты таковы:

- два блока обработки (PU);
- логика сравнения (CL), которая проверяет синхронизацию в обоих PU;
- локальная память (LMY) , которая является собственной памятью процессора;
- общий интерфейс (CI), через который процессор допускается к обеим В:СМУ.

Кроме этих 4 компонентов в аппаратной части содержится также

- управление вводом/выводом (ИОС);
- интерфейс В:ИОС (см. рис. 1).

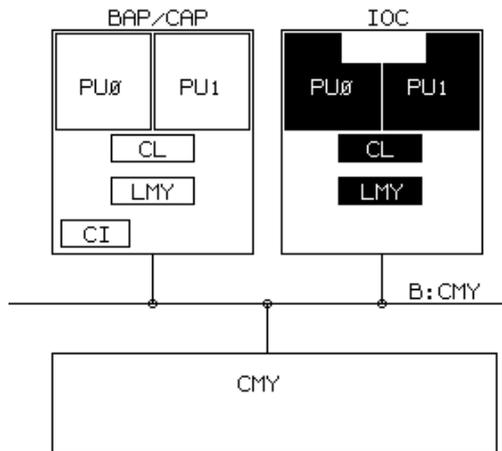


Рисунок 1

Процессор состоит из следующих компонентов (см. рис. 2).

1. PU (блок обработки) включает в себя модули:
 - СРЕХ: Выполнение программы;
 - СРАС: Контроль доступа;
 - СРСС: Контроль цикла.
2. CL(логика сравнения) включает в себя модуль СРСЛ.
3. LMY. В зависимости от размера LMY устанавливается 1 или 2 модуля памяти.
4. СРСИ.Основной интерфейс включает в себя модули: СРСИ А, СРСИ В.
5. Интерфейс В:ИОС (только с ИОС). Он состоит из 2-х модулей ИОСИФ.
Модули процессора соединены друг с другом через локальную шину.

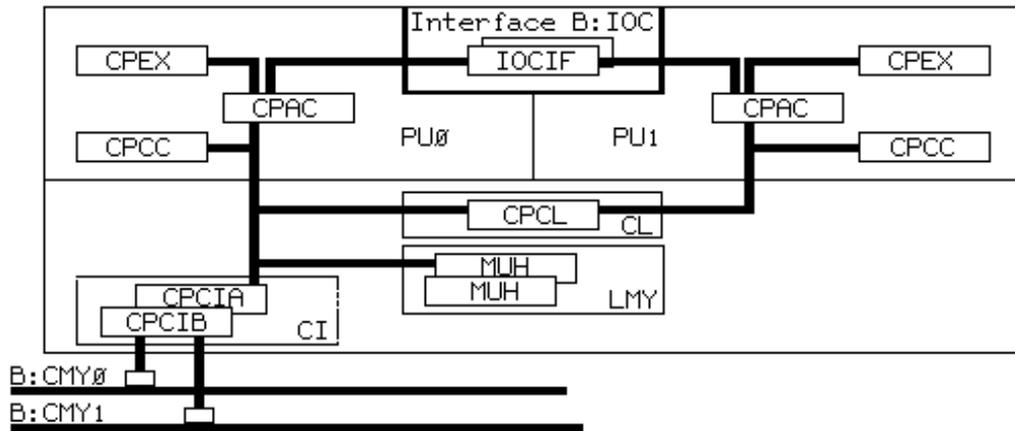


Рисунок 2

Прежде чем получить дальнейшую информацию о функционировании процессоров, обратите внимание на расположенную диаграмму, показывающую оформление процессора в полке F:P/IOC (см. рис. 3).

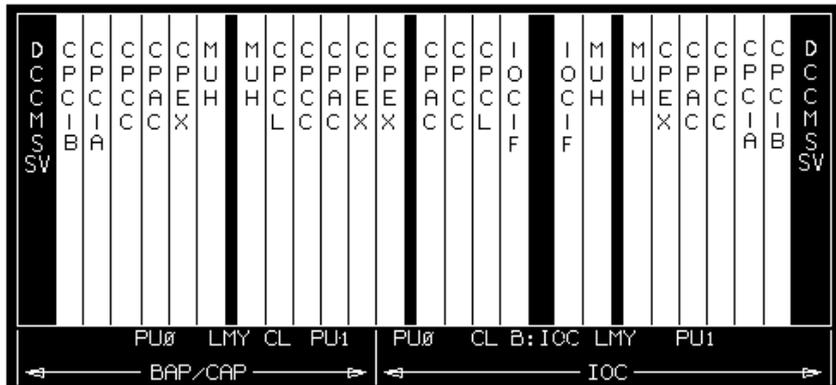


Рисунок 3

Функции отдельных функциональных блоков (PU) описываются следующим образом.

Рассмотрим модули PU подробно.

В составе модуля CPEX выделяют (см. рис. 4):

- микропроцессор MC 68020;
- логика прерывания;
- память EPROM;
- несколько таймеров.

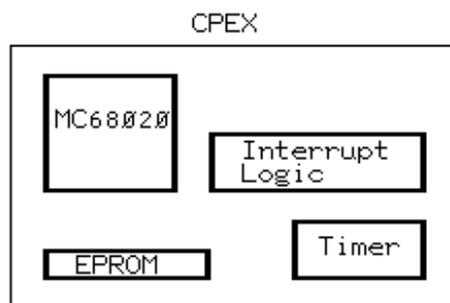


Рисунок 4

Память EPROM (ПЗУ) содержит 256 кБайт программной информации. Память EPROM содержит компьютерные программы для:

- восстановления;
- диагностики;
- обработки ошибок.

Наряду с этим, в EPROM хранятся все программы управления вводом/выводом.

Процессор MC 68020 производства фирмы Motorola имеет следующие характеристики:

- тактовая частота - 16.67 МГц;
- динамическая структура шины: 8-, 16-, 32- битовая передача;
- процессор полностью 32-х разрядный;
- 32-х битовая адресная информация и 32-х битовые данные;
- буфер команд (256 байт);
- адресное пространство размером до 4 Гбайт.

Логика прерываний представлена 16 прерываниями в 6-уровнях прерывания. Прерывания одного уровня не могут прерывать друг друга. Если прерывания возникают в одно и то же время, то все решает приоритет.

Прерывания уровней 0 и 7 не могут быть установлены логикой прерываний. Если прерывания не запрошены логикой прерываний, то MC 68020 производит операции в нормальном режиме. Это обозначится как прерывание уровня 0.

- Прерывание 7 уровня получается, когда внутри МС68020 выполняется критическое действие, например аппаратный сброс.

Пока исполняется периодическое программное прерывание, производится активизация прерывания для исправления аппаратных ошибок. Логика прерываний может прерывать последовательность программ в МС68020 в любое время.

Все 16 прерываний могут запуститься программным обеспечением одного процессора или через В:СМУ другого процессора.

Определенные прерывания могут быть установлены аппаратным обеспечением (например, ошибки аппаратной части).

В целом запросы на прерывания делятся по уровням прерывания (interrupt level) с 1 по 6 и обрабатываются в МС 68020 (см. рис. 5.)

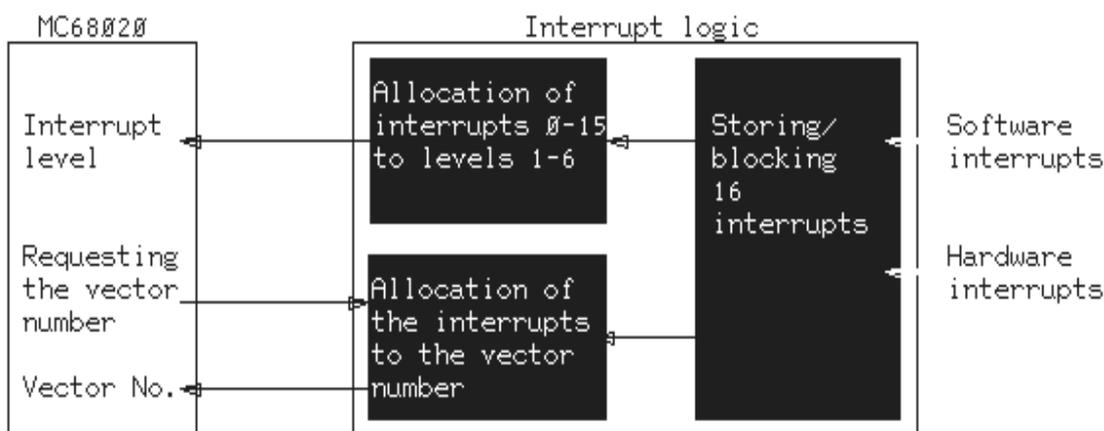


Рисунок 5

Если МС 68020 производит операцию прерывания с более низким уровнем, чем запрошенный, то тогда запрашивается номер вектора прерываний. С помощью номера вектора (vector No на рис. 5) процессор МС 68020 генерирует начальный адрес новой программы, которая загружается для исполнения как результат обработки прерываний.

Существуют различные таймеры:

- Таймер СРЕХ запускает периодическое программное прерывание каждые 5 мс. Этот таймер активирует управление временем программного обеспечения и программу для отслеживания времени выполнения программ.

Некоторые программы не могут быть прерваны внутри отдельных секций. Для этого введён блок прерывания. Если блок прерывания не устанавливается программно за определённый период, то установку делает таймер.

- Имеются также таймер 1 и таймер 2. Они могут быть запущены программно.

Ответьте на контрольные вопросы:

Контрольный вопрос 1. Пока выполняется периодическое программное прерывание, производится активизация прерывания для исправления аппаратных ошибок. Как отреагирует процессор?

- В конце текущей ассемблерной команды начинается немедленное исполнение прерывания для аппаратных ошибок.
- Прерывание для аппаратных ошибок не выполняется, пока не закончится обработка периодического программного прерывания.

Контрольный вопрос 2. Какой таймер активизирует контроль программных циклов?

- Таймер 1;
- Таймер 2;
- Схема контроля;
- Сброс блока прерываний;
- Периодически программное прерывание.

Самые важные функции контролем доступа (СРАС) следующие:

1. Преобразование логического адреса в физический адрес.
2. Обнаружение конфликта доступа в течение цикла записи/считывания в память и начало обработки ошибок.

3. Распределение доступа к локальной шине в случае одновременного запроса цикла памяти ИОСІF и СРЕХ (см. рис. 6).

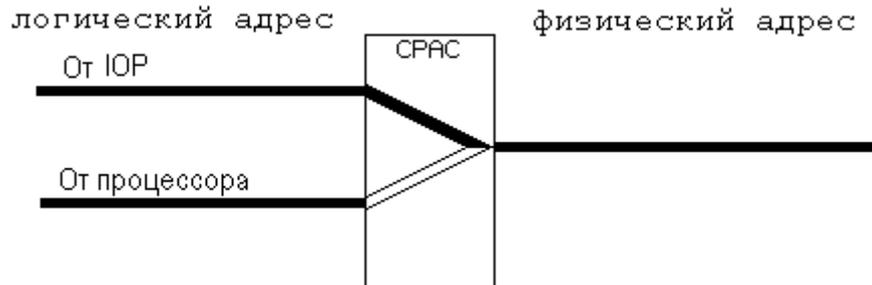


Рисунок 6

1. Преобразование логического адреса в физический адрес предполагает, что все цикла записи/считывания запускаются процессом (СРЕХ) или ИОР через СРАС. Эти цикла записи/считывания всегда инициируются посредством логического адреса. СРАС преобразует логический адрес в физический. В СР113 физические адреса могут обеспечивать доступ (через адресацию) к областям памяти, закрепленными за 5-ю адресными зонами:

- ЛМУ;
- ЕРРОМ;
- СМУ;
- локальный ввод/вывод I/O;
- общий ввод/вывод I/O (см. рис. 7).

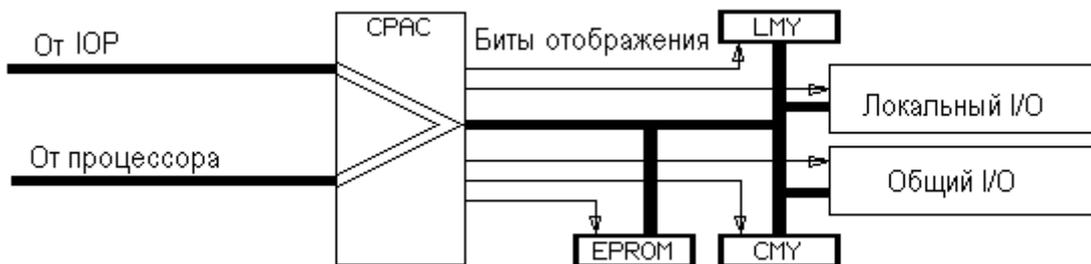


Рисунок 7

Адресуемое пространство выделяется битами отображения (mapping bits). Через адресную зону локального ввода/вывода (I/O) процессор может выдавать внутренние команды переключения (без использования В:СМУ) такие как: чтение регистров, переключение, установка режима включения/выключения. Команды переключения, которые выдаются через В:СМУ относятся к адресной зоне общего ввода/вывода I/O.

Контрольный вопрос 3.

Пусть процессор ВАР-ведущий устанавливает прерывание в другой процессор, посредством команды выключения. Какая адресная зона или адресные зоны инициализируются в один или другой процессор?

LMY; локальные I/O; общая I/O; СМУ; EPROM

2. Обнаружение конфликта доступа.

Защита памяти и адреса в СР 113 основывается на разделении памяти на сегменты (segments). Сегмент может содержать только данные или только программный код, расположенные только в одной адресной зоне и имеющие специальные права доступа (например: чтение или запись). В контроле доступа (СРАС), определённые данные для каждого сегмента хранятся в RAM (ОЗУ) в виде слова размером 80 бит (см. рис. 8).

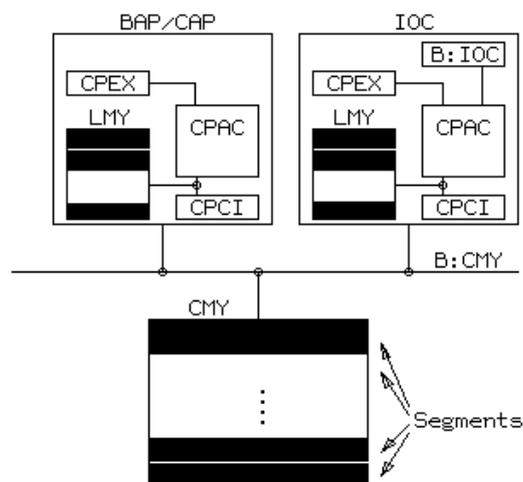


Рисунок 8

Для большей точности эти 80 бит сегментной информации хранятся в зоне сегмента (slot area) или зоне окна (window area).

- циклы работы IOP доступны окнам (windows).
- циклы работы CPEX доступны сегментам (slots).

Контрольный вопрос 4.

Возможно ли для сегмента содержать как данные так и программы?

Да; Нет.

Теперь рассмотрим процедуру адресации CPEX более детально:

Логический адрес разделяется на индекс (index) и на смещение (offset). Индекс вместе с циклическим сигналом запроса из CPEXа адресует (обозначает) сегмент, содержащий 80 бит информации. ОЗУ (RAM) содержит 2048 сегментов и 2048 окон. Начальный адрес сегмента (physical initial address) складывается со смещением (offset). В результате этого получается физический адрес (physical address), как показано на рис. 9.

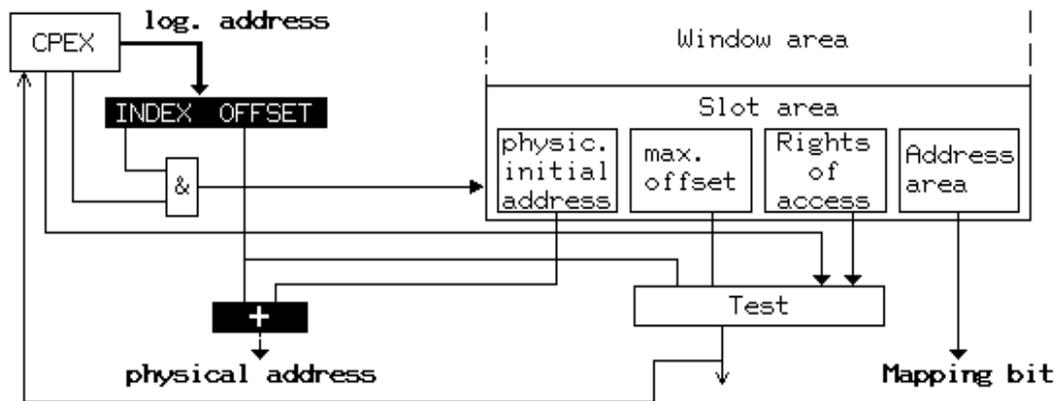


Рисунок 9

Адресная зона (address area) сегмента указывается битами отображения. Собственно конфликт доступа происходит, если смещение больше чем максимальное смещение max offset (т.е. длина сегмента).

Циклическая информация, которая организуется процессором МС 68020 (цикл данных, цикл команд, цикл чтение/ запись) сравнивается с правом доступа для данного (right access) сегмента.

Контрольный вопрос 5.

Сколько сегментов могут обозначаться посредством 5-ти адресных зон?

- максимум 4К (К=1024) сегмента (2К сегментов для доступа через сегмент, 2К сегмента для доступа через «окна»);
- любое число;
- максимум 2К сегмента.

Если происходит конфликт доступа, то в зависимости от того, каким компонентом вызвано начало цикла записи/считывания - модулем СРЕХ или модулем IOP - принимаются различные меры:

Если есть конфликт доступа при работе IOP, то происходит:

- блокировка IOP;
- устанавливается прерывание №4 в ИОС;
- начинается обработка сигнала о конфликте для заблокированного IOP в процессоре ВАРМ;

Если есть конфликт доступа при работе СРЕХ, то происходит запуск программы обработки ошибки шины с помощью процедуры обнаружения ошибки в процессоре.

3. Распределение доступа к локальной шине.

Контроль доступа (СРАС) контролирует распределение доступа к локальной шине между различными модулями. Доступ к локальной шине может запрашиваться следующими модулями:

- СРЕХ;
- ИОСIF;

- другим процессором через CI в течение межпроцессорного обмена (IPC).

При этом IPC имеет преимущества перед IUCIF и CPXH

Далее рассмотрим модуль управления циклом работы процессора (CPCC). Модуль управления циклом работы процессора отслеживает и управляет всеми циклами чтения и записи в LMY и В:СМУ.

Самые важные логические схемы контроля цикла работы процессора это следующие:

- генератор битов проверки четности для адресов;
- логика обнаружения и коррекции ошибки (EDC) для данных;
- логика повторения для цикла чтения В:СМУ;
- контроль времени ожидания для циклов чтения в В:СМУ;
- LMY контроль.

Давайте посмотрим на эти на эти логические схемы детально.

1. Генератор четности

Для всех циклов работы процессора, которые запускаются через В:СМУ, 32-х битный адрес и управляющие биты защищены 5-ю битами четности (5 parity bits), как показано на рис. 10.

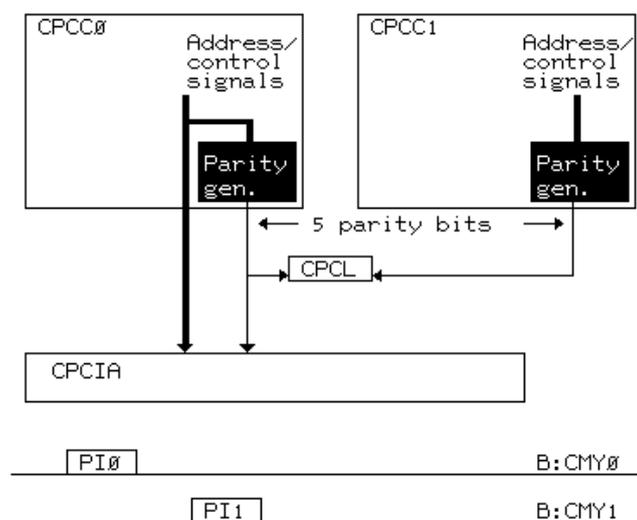


Рисунок 10

Контрольный вопрос 6.

Какая форма защиты используется для передачи адресов через В:СМУ ?

- защита четностью;
- нет формы защиты;
- ECC - защита.

2. EDC – логика (EDC logic) и её функции выглядят следующим образом.

EDC - логика защищает данные, передаваемые в В:СМУ и LMY.

- во время цикла записи EDC формирует ECC - биты (7 корректирующих бит, 7ECC). Данные (data), адреса (address), управляющие сигналы (control signals), ECC- биты и биты четности переключаются только через CI к двум В:СМУ с помощью блока обработки (PU) 0-й половины.

Это показано на рис. 11.

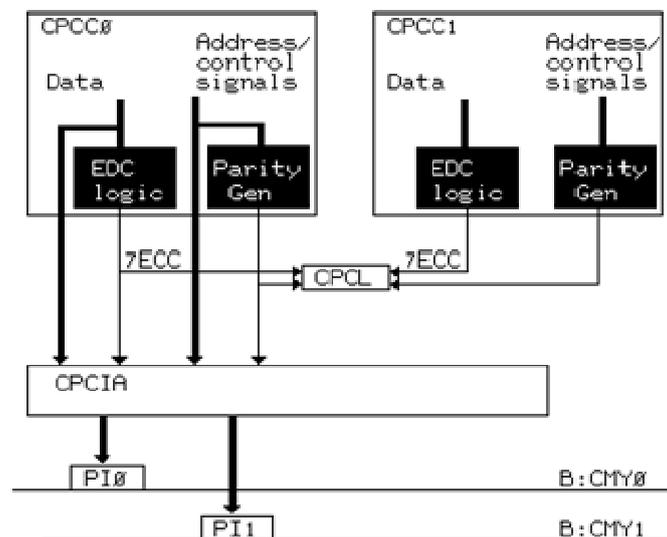


Рисунок 11

- в цикле чтения из процессорного интерфейса PI на шине В:СМУ полученные данные и ECC-биты подключаются только одним В:СМУ к

обоим половинам (0-й и 1-й) блока обработки (PU), как показано на рис. 12.

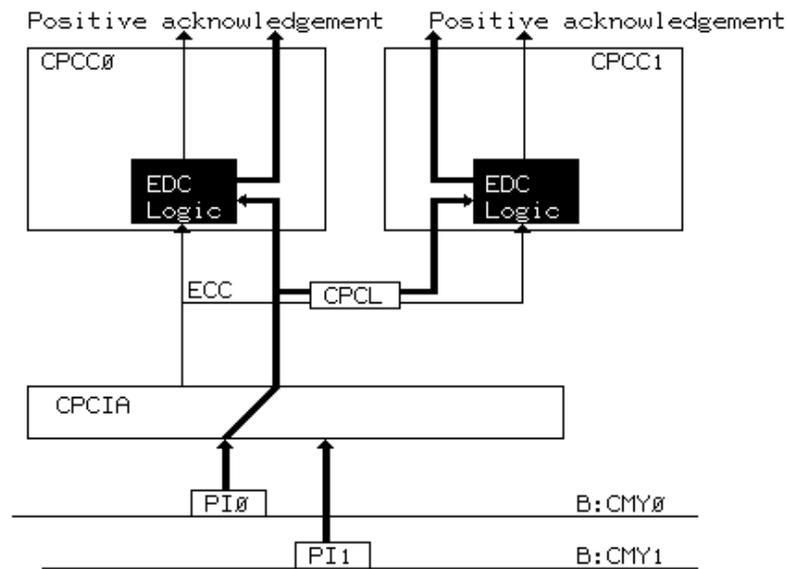


Рисунок 12

- В:СМУ выбирается при запуске системы и изменяется, если случается ошибка.

Свободные от ошибок данные переключаются EDC - логикой к CPX / IOCIF с положительным подтверждением (positive acknowledgement).

2. Логика повторения работает следующим образом. В случае ошибочного цикла чтения содержимого В:СМУ логика повторения пытается закончить эти циклы без ошибок . Это показано на следующей диаграмме (см. рис. 13).

Контрольный вопрос 7. Какие блоки обнаружат ошибку при чтение В:СМУ?

- EDC – логика;
- контроль ожидания;
- оба этих устройства запускают логику повторного цикла.

4. Контроль ожидания

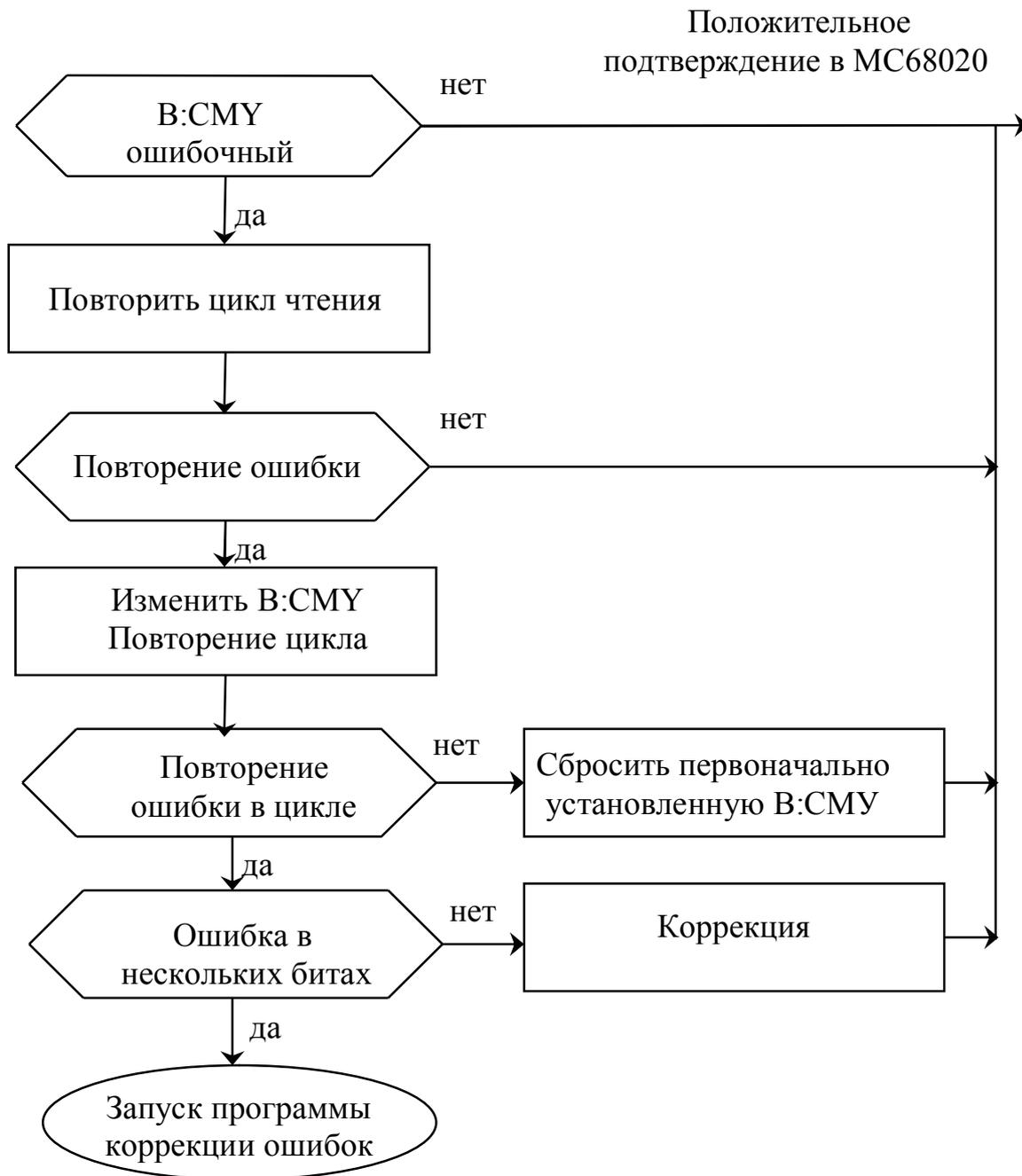


Рисунок 13

Контроль ожидания запускается во время каждого цикла чтения содержимого V:CMU. Контроль ожидания выполняет функцию контроля времени занятия V:CMU во время каждого цикла чтения.

5 . Контроль LMY

Бит данных LMY адресуются (обозначаются) контролем LMY (LMY control) 0-й половины блока обработки (PU0). ECC биты в LMY адресуются контролем LMY 1-й половины блока обработки (PU1) как показано на рис 14.

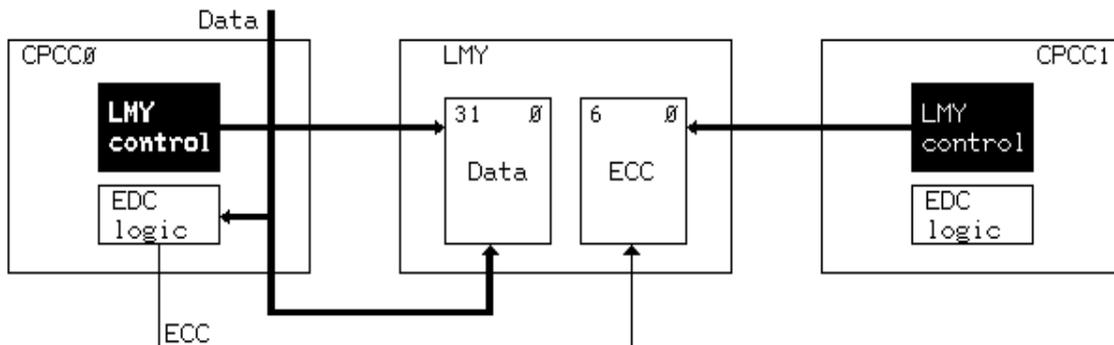


Рисунок 14

Во время цикла записи LMY EDC логика формирует проверочные биты ECC. Во время цикла чтения LMY EDC - логика проверяет считанные ECC.

Функции логического соединения (CPCL) описываются следующим образом.

Логика связи имеет следующие функции:

- снабжение обеих частей блока обработки (0-й и 1-й) одинаковой информацией;
- сравнение выбранных сигналов;
- генерация сигналов (импульсов) тактовой частоты и сигналов сброса;
- обнаружение обширного повреждения (через логику повторной загрузки процессора);
- инициализация процедуры рутинного (обычного) восстановления.

Далее рассмотрим функции логических схем CPCL:

- Логика связи;
- Логика сравнения;
- Логика сброса;

- Логика повторной загрузки.
- Логика связи (coupling logic).

Вследствие взаимной синхронизации обе половины PU снабжаются одной и той же информацией (см. рис. 15.)

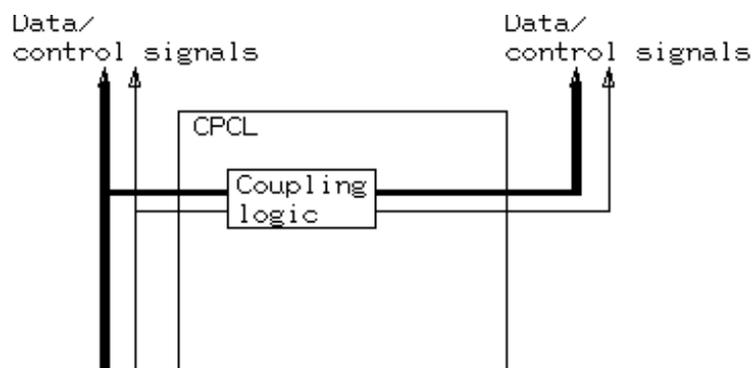


Рисунок 15

С помощью логики сравнения (comparison logic) выбранные сигналы сравниваются. Ошибки сравнения переправляются в логику сброса (см. рис. 16).

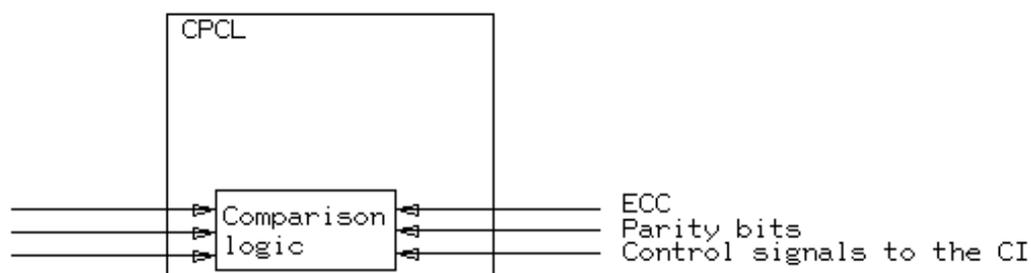


Рисунок16

Логика сброса (ruset logic) функционирует следующим образом. На базе входного сигнала генерируется импульс сброса. Причина сброса сохраняется в регистре состояния (status register). Импульс сброса устанавливает аппаратные составляющие обеих половин блока обработки (PU) в определённое состояние. Процессор MC 68020 запускает программу сброса (см. рис. 17.)

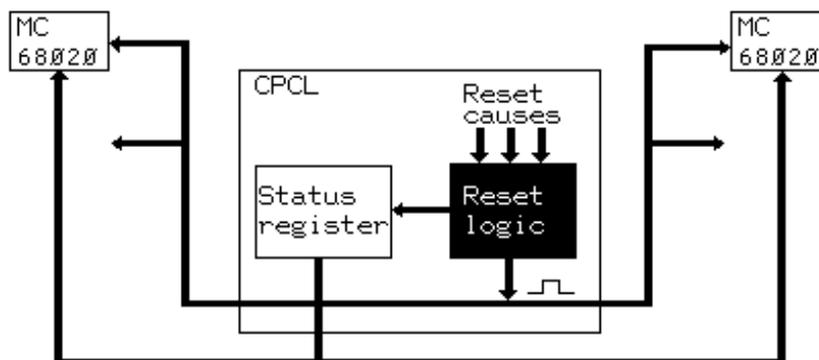


Рисунок 17

Во время процедуры сброса считывается регистр состояния. В зависимости от причины сброса (reset causes) предпринимаются соответствующие действия.

Логика повторной загрузки (restart logic) существует во всех процессорах, но используется только в ВАР. Для того, чтобы восстановилось состояние процессоров, оба ВАР соединяются посредством двух линий восстановления. Восстановительная линия по направлению к другому процессору активна, если:

- рассматриваемый MC68020 находится в режиме удержания (хранения);
- установлены (в «1») оба бита запрещения в рассматриваемом процессоре;
- система находится в режиме разделения операции и другой процессор, который находится на линии восстановления, находится в режиме запрещения переключений операций.

Если активны обе восстановительные линии, т.е. восстановительная линия рассматриваемого процессора и восстановительная линия другого ВАР, то условия восстановления выполнены. Как только условия восстановления выполнены, активизируется логика сброса и регистр состояния загружается через логику повторения в оба ВАР. Следуя содержанию ре-

гистра состояния, осуществляются восстановительные меры, которые выполняются после сброса.

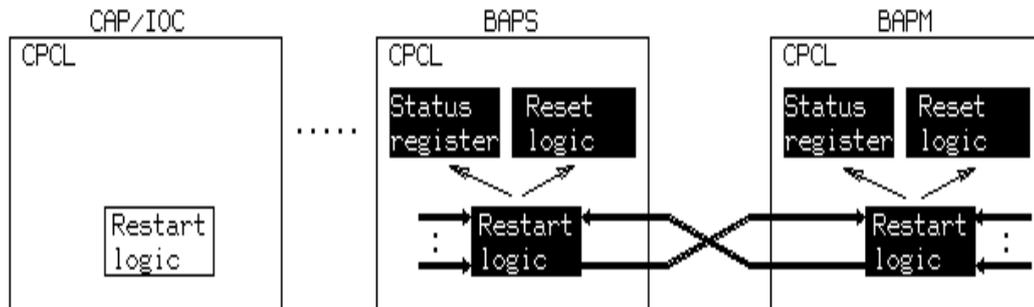


Рисунок 18

Панель данных модуля процессора и операционная панель содержат следующие клавиши, индикаторы и переключатели:

- 4 шестнадцатиричных индикатора показывают информацию о 1 или 0 половинки PU;
- тестовый переключатель (проверочный);
- клавиша загрузки;
- клавиша сброса;
- переключатель режима диагностики для выбора отображаемой информации по PU 0 / PU 1.

Клавиши и переключатели не будут действовать при нормальных режимах работы. Они предназначены для настройки.

Функции локальной памяти (LMY) следующие. В локальной памяти процессора хранятся следующие сведения:

- динамические важные программы;
- данные, которые требуются только этому процессору.

В зависимости от требований LMY содержит 1 или 2 модуля памяти МУН. Их число зависит от емкости процессора. Ответьте на контрольные вопросы:

Контрольный вопрос 7.

Какие виды данных не сравниваются в CPCL?

- Адреса;
- Биты четности;
- ECC;
- Управляющие сигналы CPCL.

Контрольный вопрос 8. Какое условие должно выполняться для того, чтобы началось аппаратное восстановление в CP 113?

- Одна из двух восстановительных линий была активной;
- Обе восстановительные линии были активны.

В целом структура LMY основана на слове длиной 39 битов, из которых:

- длина данных - 32 бита;
- длина ECC - 7 бит.

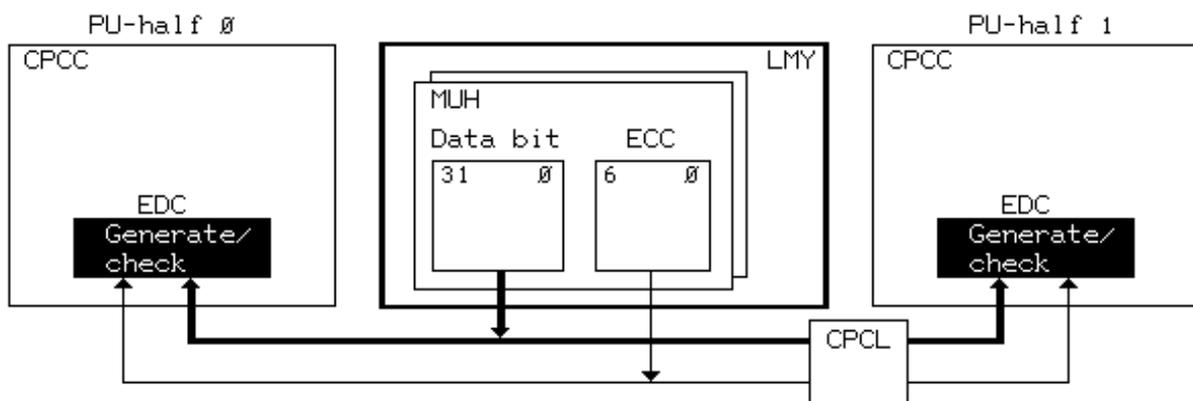


Рисунок 19

Контрольные биты генерируются (generate) или проверяются (check) в цикле контроля координационного процессора (CPCC), как показано на рис. 19.

Контрольный вопрос 9. С помощью контрольных битов сгенерированных CPCL - логикой связи координационного процессора, возможно выполнить следующие операции :

- Скорректировать однобитовую ошибку, обнаружить многобитовую;

- Скорректировать многобитовую ошибку, сохранение используемых данных.

Два отдельных блока управления локальной памятью (LMY) назначают для компонентов ОЗУ(RAM) биты данных (data bit) и контрольные биты (ECC) как показано на рис. 20.

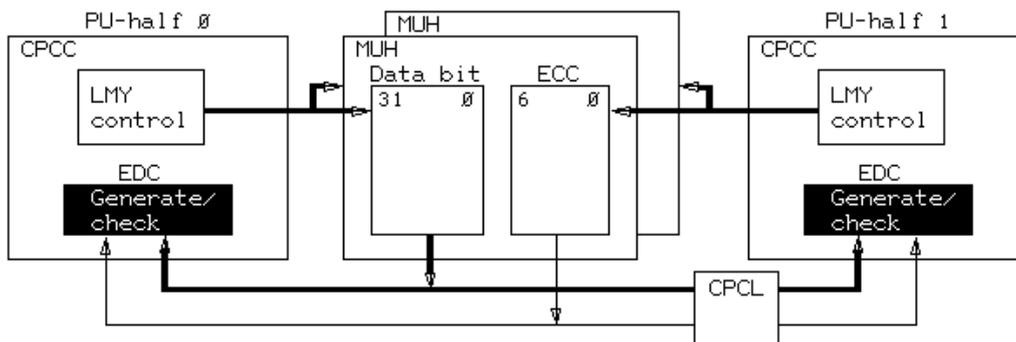


Рисунок 20

Если управление LMY не действует - это немедленно обнаружится .
Рассмотрим следующий пример (см. рис. 21.)

1. Положительный случай. Оба блока управления локальной памятью LMY свободны от ошибок, назначаются (адресуются) биты данных и соответствующие им контрольные биты.

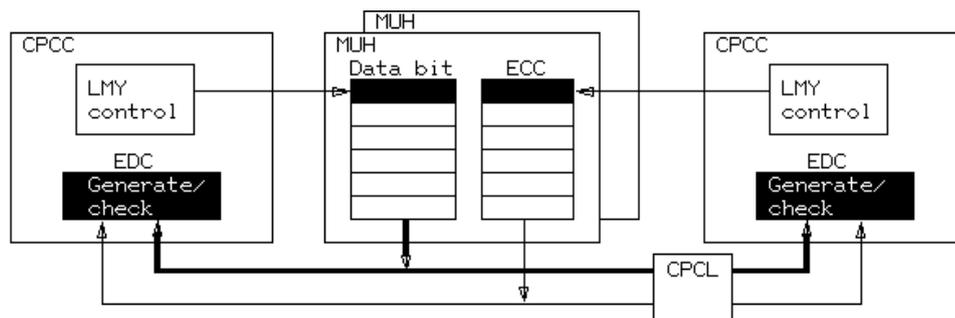


Рисунок 21

Если здесь нет ошибки в средней части памяти, то цикл управления воспринимает биты данных и ECC-биты как безошибочные.

2. Отрицательный случай (см. рис. 22). Если блок управления локальной памятью поврежден, биты данных и контрольные биты назначить (адресовать) невозможно.

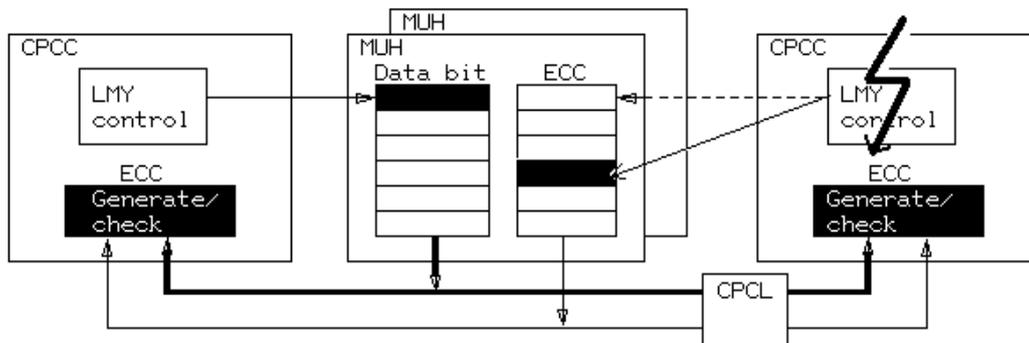


Рисунок 22

Ошибка обнаружится во время проверки контрольных битов в цикле контроля координационного процессора. Функции общего интерфейса (CI) следующие.

Процессор присоединяется к обеим шинам В:СМУ через общий интерфейс (CI). CI используется всегда для доступа к общей памяти СМУ а также для межпроцессорной связи. Аппаратный трейсер (отладчик) может быть присоединен для специальных операций по устранению ошибок.

Микросхема логики CI содержит:

- регистры сигнализации блока интерфейса процессора (PI) для В:СМУ;
- средства обнаружения ошибок блока интерфейса процессора PI;
- буферы адресов и данных;
- логику для обмена данными.

Перед тем как рассмотреть CI и его компоненты, мы рассмотрим принципы межпроцессорных связей.

В межпроцессорной системе каждый процессор должен уметь соединиться с любым другим процессором. Это достигается благодаря:

- аппаратным устройствам, через которые в приемном процессоре может быть задействовано прерывание (логика прерывания, interrupt logic);
- специальная зона (область) связи (СА) в общей памяти СМУ (см. рис. 23).

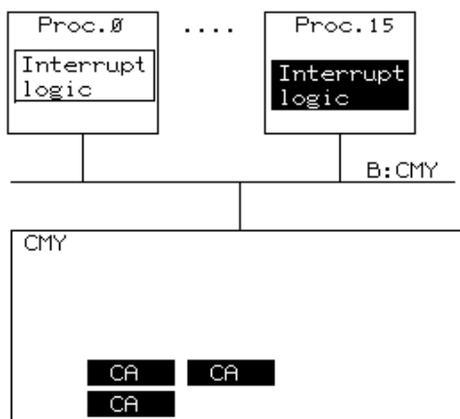


Рисунок 23

Связь между процессорами происходит следующим образом :

Например: процессор №15 (Proc. 15) посылает сообщение процессору 0 (Proc 0). Для этого процессор №15 резервирует область связи в общей памяти (XXXX). Процессор 15 записывает свое сообщение в эту область.

Для каждого процессора имеется таблица указателей с 16-ю адресными зонами (связанными с 16-ю прерываниями), как показано на рис. 24.

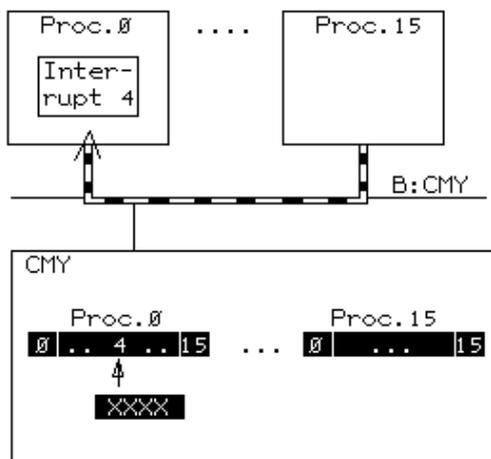


Рисунок 24

Процессор 15 занимает область связи (СА), которая заносится в таблицу указателей процессора 0 (в нашем примере зоной связи назначается зона 4). Далее, процессор №15 инициирует прерывание в процессоре 0 (в соответствии с зоной связи, т.е. 4), посылая ему сообщение средствами межпроцессорной коммуникации (IPC). В результате этого прерывания процессор 0 читает начальный адрес области связи СА и обрабатывает сообщение.

Следует отметить, что данный процессор не может напрямую получать доступ к ЛМУ других процессоров. Межпроцессорная связь может иметь место только через СМУ.

Рассмотрим индивидуальные компоненты общего интерфейса СИ.

1. Регистр сообщения о неисправности модуля интерфейса процессора (PI) и определения ошибки в PI. Сообщение о неисправности PI - может быть обнаружено в PI или в СИ.

Всегда имеет место сохранение в регистре сообщения о неисправности (alarm register) PI0/PI1 в модуле В центрального интерфейса координационного процессора CPCIB (см. рис. 25).

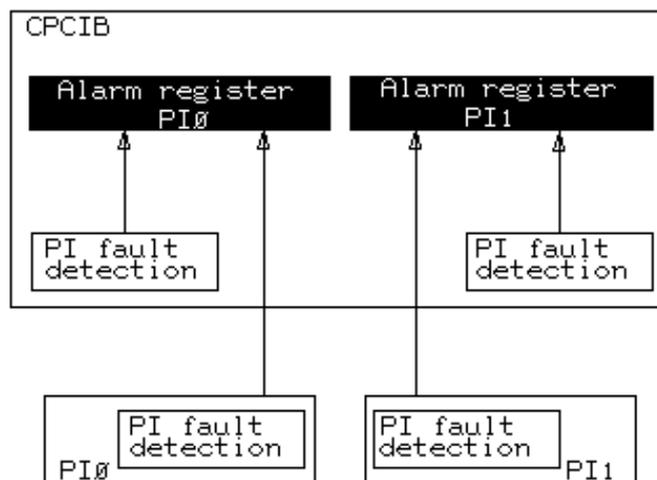


Рисунок 25

Контрольный вопрос 10.

Может ли быть в следующих функциональных блоках обнаружена ошибка интерфейса процессора В:СМУ? (общий интерфейс СІ, интерфейс процессора РІ)

– Да; Нет.

2. Буфер адреса и буфер данных в качестве индивидуальные компоненты общего интерфейса СІ работают следующим образом. Адреса и данные передаваемые из/в В:СМУ синхронизируются с помощью системой синхронизации самого буфера общего интерфейса координационного процессора и записываются в буфер. Эта буферизация возможна в цикле записи в МС 68020, чтобы потом получить подтверждение перед записью данных в СМУ.

Далее МС 68020 может немедленно продолжить операции, как показано на рис. 26.

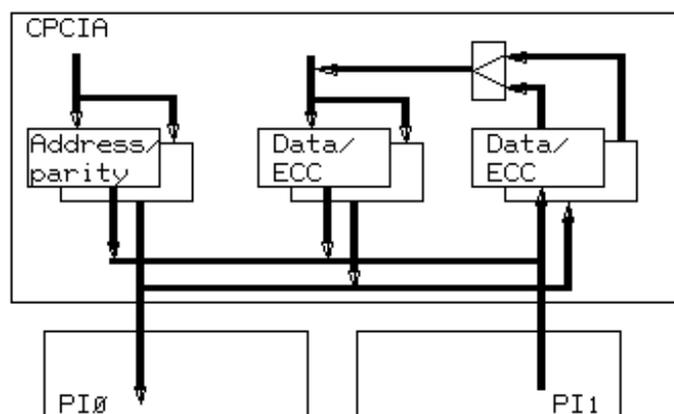


Рисунок 26

Между общим интерфейсом (СІ) и интерфейсом процессора (РІ) данные и адреса передаются через одни и те же линии.

В процессорном интерфейсе РІ происходит другое разделение между шинами данных и адресами. В цикле записи сначала передаются сначала адреса (адресные биты), затем данные (биты данных).

3. Логика обмена информацией.

Логика обмена информацией управляет передачей информации в синхронизированном буфере и реализует подключение к шине общей памяти В:СМУ или локальной шине.

Функции интерфейса для процессоров ввода/вывода IOP (IОCIF) следующие. Для каждой половины (ветви) блока управления вводом-выводом (IОC) есть свой модуль интерфейса блока управления вводом-выводом (IОCIF), как показано на рис. 27.

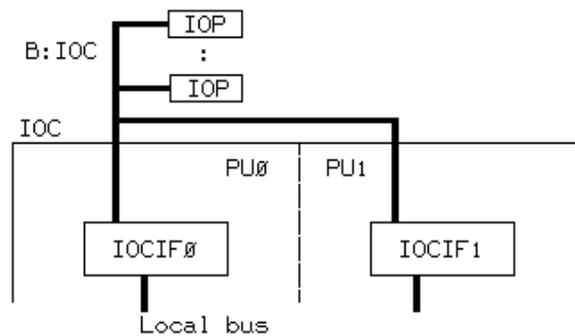


Рисунок 27

Модуль интерфейса блока ввода/вывода (IОCIF) управляет передачей данных между шиной блока управления вводом/выводом (В: IОC) и локальной шиной блока управления вводом/выводом (IОC) и осуществляет их синхронизацию. Оба IОCIF работают параллельно. Информация из IOP (адреса или данные) принимается обоими IОCIF, как показано на рис. 28.

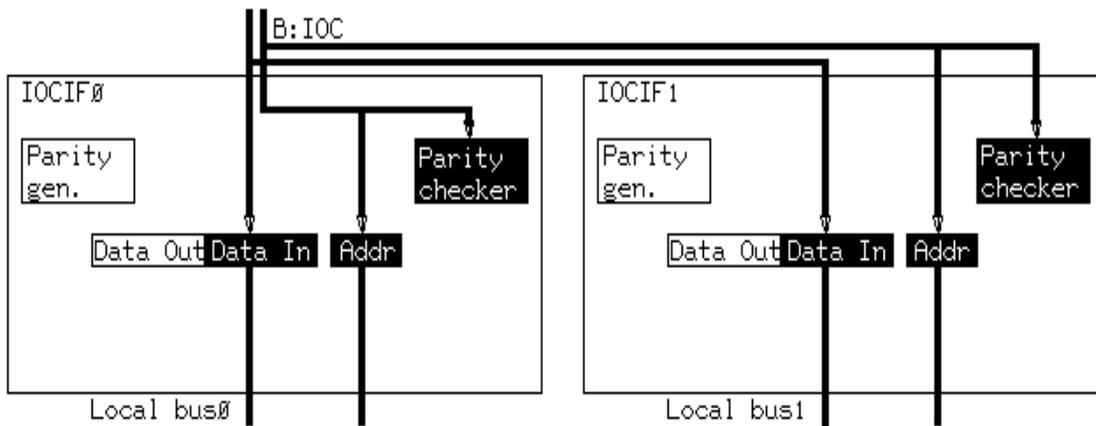


Рисунок 28

Чтение данных и управляющие сигналы передаются в IOP только через IOCF 0, как показано на рис. 29.

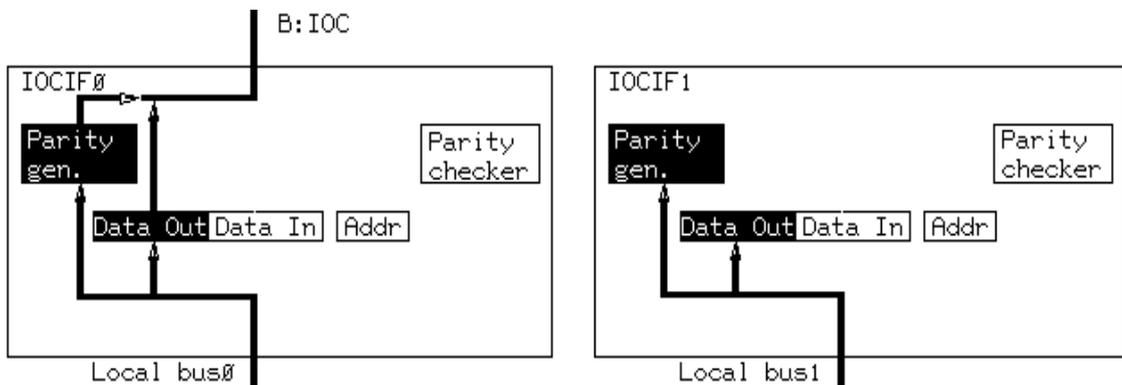


Рисунок 29

Логика контроля и наблюдения для IOP основана на следующих составных частях IOCF :

- блок проверки четности (parity checker);
- наблюдение и контроль напряжения IOP (voltage supervision);
- наблюдение и контроль за постоянными запросами (permanent request).

Ошибки помещаются в регистр ошибок IOP (IOP error register).

Как следствие, возникает следующая ситуация:

- IOP или группы IOP с обнаруженной ошибкой блокируются;

- прерывание 4 устанавливается в ИОС, как показано на рис. 30.

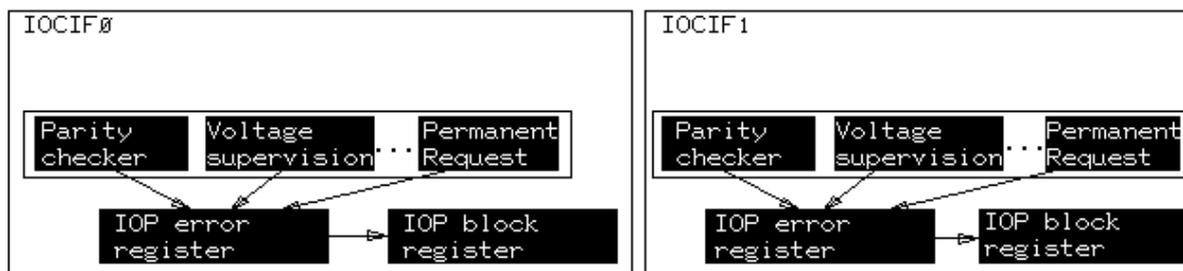


Рисунок 30

Контрольный вопрос 11.

Что случится, если линии контроля и наблюдения для IOP обнаружат ошибку в IOP?

- Неверный IOP немедленно блокируется, прерывание 4 устанавливается ИОС;
- ИОС присоединяется к неверному IOP, который немедленно блокируется.

Рассмотри далее локальную шину, которая соединяет процессорные блоки. Эта шина состоит из:

- шины логического (виртуального) адреса;
- шины физического адреса;
- битов проверки четности;
- шины данных;
- битов коррекции ошибок в данных (ECC - битов);
- шины передачи управляющих (функциональных) сигналов.

Контрольный вопрос 12.

Каков максимальный объем адресации с помощью шины В:СМУ?

- 1 Гбайт; 2 Гбайт; 4 Гбайт; 8 Гбайт; 16 Гбайт.

Итак, процессор CP113 состоит из следующих компонентов:

1. Блок выполнения программ (CPX) со следующими функциями:

- логика прерывания СРЕХ, которая поддерживает 16 прерываний, устанавливаемые аппаратно или программно на 6 уровнях;
- каждые 5 мс таймер СРЕХ возбуждает периодическое программное прерывание для управления временем программного обеспечения и наблюдения за циклом выполнения программ;
- диагностические, восстановительные программы, программы обработки ошибок блока управления вводом/выводом хранятся в РПЗУ (EPROM) СРЕХ.

2. Блок контроля доступа (СРАС) со следующими функциями:

- преобразование адресов, наблюдение и контроль доступа, распределение доступа к локальной шине;
- в случае конфликта доступа и в зависимости от вида доступа, запускается программа обнаружения ошибки шины или устанавливаются биты запрещения в IOP.

3. Блок контроль цикла координационного процессора (СРСС) со следующими функциями:

- СРСС проверяет и управляет циклами работы LMY и В:СМУ;
- СРСС пытается завершить ошибочные циклы В:СМУ без ошибок путем перезапроса (повторения) или переключением В:СМУ.

4. Блок логической связи (СРСЛ) со следующими функциями:

- СРСЛ постоянно сравнивает выбранные сигналы;
- после начала цикла записи/чтения шины общей памяти (В:СМУ), биты проверки четности и биты ЕСС также сравниваются между собой;
- через СРСЛ обе половины блока обработки (PU0 и PU1) получают одинаковые до бита данные.

5. Локальная память (LMY) со следующими функциями:

- LMY хранит важные программы и данные, такие, например, как данные, требующиеся каждому процессору;
 - данные представлены в виде совокупности 32-х битных слов данных, дополненных 7-ю проверочными битами (ЕСС).
6. Общий интерфейс (CPIC) со следующими функциями:
- доступ к общей памяти (СМУ) и межпроцессорный обмен, который осуществляется через CPIC;
 - CPIC всегда посылает адреса и данные для записи в память на обе шины В:СМУ, но читает(принимает) данные, поступающие из памяти, только с одной шины (В:СМУ).
7. Интерфейс ИОС (IOCIF) со следующими функциями:
- IOCIF управляет и синхронизирует передачу данных через В:ИОС и локальную шину ИОС;
 - в IOCIF процессоры ИОР отслеживаются на предмет наличия ошибки и задержек.
8. Локальная шина со следующими функциями:
- локальная шина состоит из отдельных адресных линий, линий данных и линий передачи функциональных сигналов.

7. Содержание отчета по лабораторной работе №1

Содержание отчета включает ответ на вопросы итогового теста по лабораторной работе №1.

Вопрос 13.

В каком компоненте аппаратной части процессора находится модуль синхронизации обоих PU?

- LMY; CL; Один из двух PU; CI; IOCIF.

Вопрос 14.

Сколько прерываний может быть назначено логикой прерывания процессора на шести уровнях прерываний?

- 1; 2; 4; 8; 16.

Вопрос 15.

Какие программы или части программ хранятся в РПЗУ (EPROM) модуля СРЕХ?

- Обработка вызова;
- Обработка ошибок;
- Диагностика процессора;
- Восстановление.

Вопрос 16.

В каком функциональном устройстве расположен регистр обнаружения неисправности (сигнализации) интерфейса процессора (PI)?

- в общем интерфейсе (CI);
- в интерфейсе процессора (PI).

Вопрос 17.

Как часто цикл СМУ может повторяться логикой повторения в случае ошибки?

- 1; 2; 3; 4; 5.

Вопрос 18. Какие области ОЗУ имеют доступ к циклам работы IOP?

- только зона окна;
- только зона сегментов;
- обе зоны.

Вопрос 19. Какова функция битов отображения?

- преобразование логических адресов в физические;
- выбор адресной зоны;
- запрос логической шины;
- инициализация обработки ошибок в ВАРМ.

Лабораторная работа № 2 «Функции логических схем в шины общей памяти В:СМУ»

1 Цели лабораторной работы

Целью лабораторной работы является получение учебно–научной информации о процессах функционирования, составе и схемотехнике:

- модулей (функциональных блоков) В:СМУ;
- режима работы В:СМУ.

2 Учебная литература

1. Гребешков А. Ю. Вычислительная техника, сети и телекоммуникации–Самара: ИНУЛ ПГУТИ, 2014.–218 с.
2. Проектирование и техническая эксплуатация цифровых телекоммуникационных систем и сетей: учебное пособие для студентов вузов/ Е.Б. Алексеев, В.Н. Гордиенко, В.В. Крухмалев, А.Д. Моченов, М.С. Тверецкий; под ред. В.Н Гордиенко и М.С. Тверецкого.– М.: Горячая линия – Телеком, 2014. – 392 с.
3. Гребешков А.Ю. Управление сетями связи по стандартам TMN: учебное пособие для студентов вузов.– М.: Радио и связь, 2004 г. – 155 с.

3 Подготовка к лабораторной работе

1. Изучить рекомендованную литературу.
2. Подготовить ответы на контрольные вопросы.

4 Контрольные вопросы

1. Согласны ли Вы со следующим утверждением: в нормальном режиме работы, резервированные шины В:СМУ функционируют параллельно друг другу и передают идентичную информацию.

2. Согласны ли вы с утверждением, что В:СМУ и СМУ поддерживаются одним и тем же генератором тактовой частоты.
3. Согласны ли вы с утверждением, что процедура мультиплексирования позволяет одновременно управлять доступом к памяти для 16-ти процессоров.
4. Согласны ли вы с утверждением, что в разделенном режиме работы различные блоки данных могут одновременно передаваться через дублированные шины к общей памяти.
5. Согласны ли вы с утверждением, что шина к общей памяти соединяет процессор управления вводом/выводом с 16-ю процессорами ввода/вывода.

5 Порядок выполнения работы

1. Ответить на контрольные вопросы по указанию преподавателя.
2. Выполнить лабораторную работу согласно меню компьютерной программы.

6 Методические указания по изучению аппаратных составляющих В:СМУ

Перечислим основные особенности В:СМУ:

- Тактовая частота В:СМУ - 8 МГц
- Если доступ к СМУ одинаково распределен среди всех 4 банков памяти, то максимальная пропускная способность В:СМУ следующая:
 - 32 Мбайт/с для чтения данных;
 - 32 Мбайт/с операции для записи данных в 32-х разрядном режиме обработки;
 - 8 Мбайт/с операции для записи данных в 16-ти разрядном режиме обработки;

- 4 Мбайт/с операции для записи данных в 8-ми разрядном режиме обработки.

Далее следует краткий обзор аппаратной части В:СМУ:

1. Интерфейс процессора (PI), где каждый процессор имеет интерфейс процессора PI, processor interface.
2. В:СМУ буфер, где имеется один буфер шины общей памяти, buffer.
3. Интерфейс памяти, где, имеется только один интерфейс к общей памяти, memory interface.
4. Арбитр В:СМУ, где существует 1 центральный арбитр (central arbiter) и на каждые 4 процессора существует по одному децентрализованному арбитру (D–arbiter).
5. Контроллер В:СМУ.

Имеется один контроллер В:СМУ, В:СМУ controller, который имеет модульную структуру (см. рис. 31).

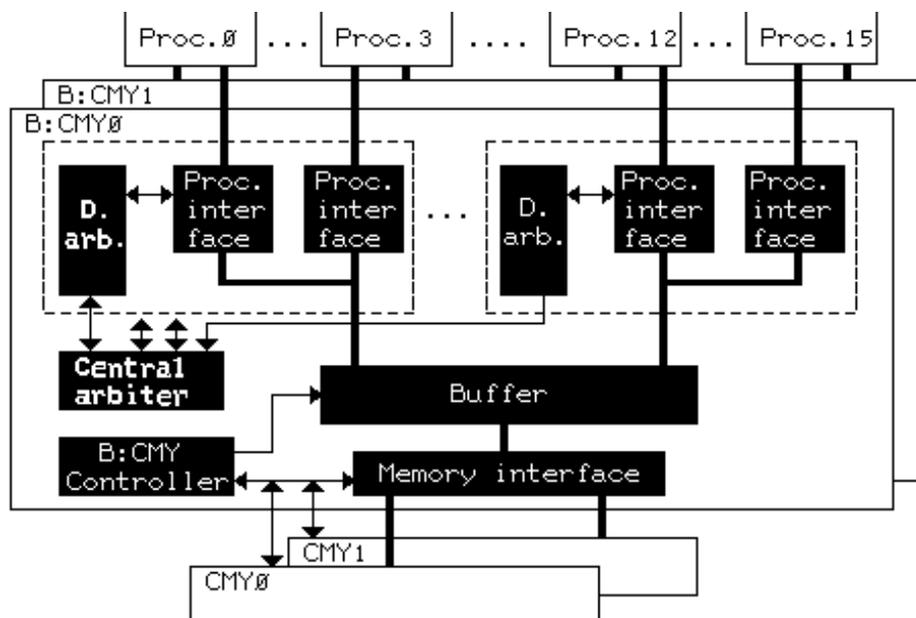


Рисунок 31

Это дает возможность В:СМУ шаг за шагом адаптироваться к любой емкости (числу процессоров) процессора CP113.

Первый функциональный модуль интерфейса, который обсуждается далее - интерфейс процессора (PI). Каждый интерфейс процессора включает шины адреса интерфейса процессора (модуль PIADR) с регистром адресов address register и шины данных интерфейса процессора (модуль PIDAT) с регистром данных data register.

Каждый интерфейс процессора передает адреса и данные, перемещаемые от процессора к В:СМУ согласно установленному алгоритму работы. Обратное, через В:СМУ передаются данные для процессора (см. рис. 32).

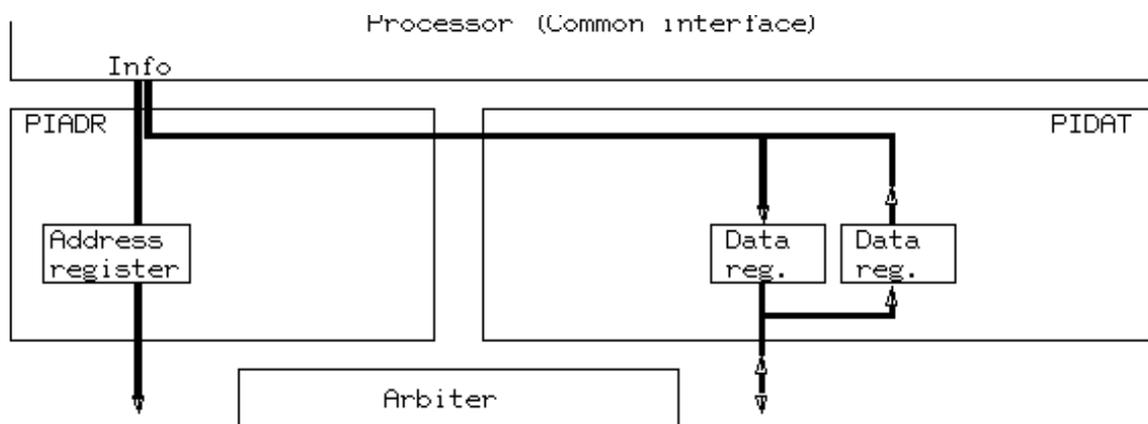


Рисунок 32

Контрольный вопрос №1.

Какой из модулей PI передает адреса к В:СМУ?

- PIADR;
- Arbiter.

Логическая схема запроса (request logic) посылает запрос (1 импульс, request) для распределения шины общей памяти арбитру В:СМУ если:

- существует запрос из процессора и
- временной интервал (time slot) и запрашиваемый банк памяти (адресуемый битами 2 и 3) соответствуют один другому.

Если распределение доступа к В:СМУ возможно, то арбитр (arbiter) посылает сигнал «ПРЕДОСТАВЛЕНИЕ» (GRANT), см. рис. 33.

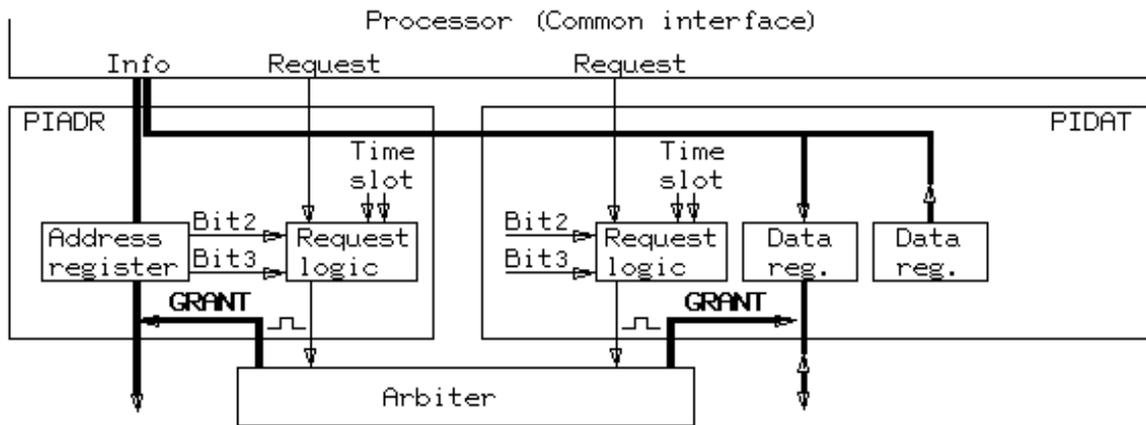


Рисунок 33

Если на этой стадии распределение доступа к В:СМУ невозможно, то запрос на доступ повторяется через каждые 4 тактовых импульса.

Каждый процессор может быть заблокирован шиной к общей памяти в интерфейсе процессора с помощью битов запрещения (inhibit bits). Блокированный процессор обозначен красным светодиодом (&) на лицевой панели PI, см. рис. 34.

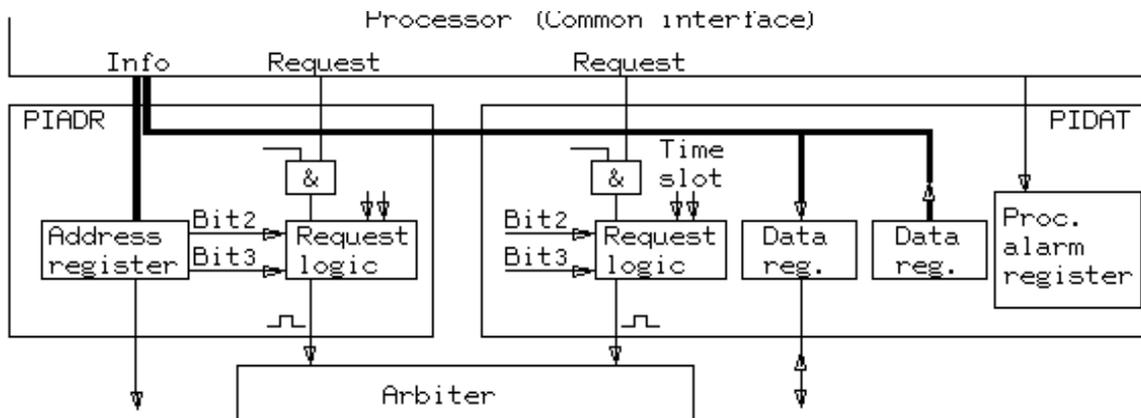


Рисунок 34

Тревоги (сообщения об ошибках) процессора сохранены в регистре тревог (processor alarm register) процессора в PI.

Контрольный вопрос №2.

Какие биты, ответственные за выбор банка общей памяти ?

- Биты 0 и 1;
- Биты 2 и 3;

– Биты 30 и 31.

Функции арбитра следующие. Арбитр В:СМУ распределяет шину для доступа банков памяти к процессорам от временного интервал 0 до временного интервала 15.

Арбитр подразделяется на центральный арбитр (central arbiter) и максимум на 4 децентрализованных арбитра для группы процессоров (decentral arbiter for processor group).

Алгоритм выбора гарантирует, что процессорам доступны одинаковые по размеру области памяти, см. ри. 35.

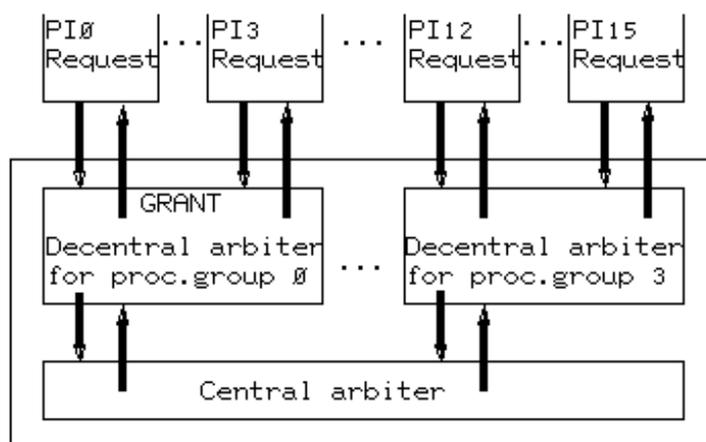


Рисунок 35

Контрольный вопрос №3.

Каково максимальное число процессоров, запросы которых могут быть обработаны децентрализованным арбитром?

– 2; 4; 8.

С целью обнаружения и локализации ошибки, логические схемы арбитра дублирована в обоих уровнях арбитра. Дублированные логические схемы получают через PI входные сигналы из процессора. Хотя эти сигналы не зависят друг от друга, они одинаковы, см. рис. 36.

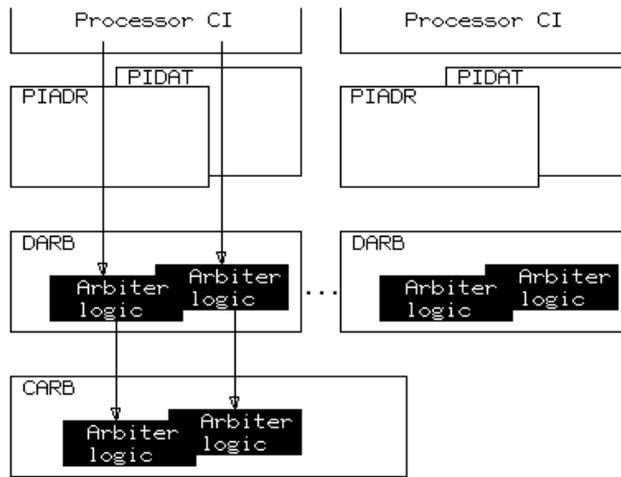


Рисунок 36

В обратном направлении логические комплексы также дублируют сигналы вывода к PI. Эти сигналы не зависят друг от друга и контролируются в интерфейсе процессора схемой компаратора (схемой сравнения) на рис 37.

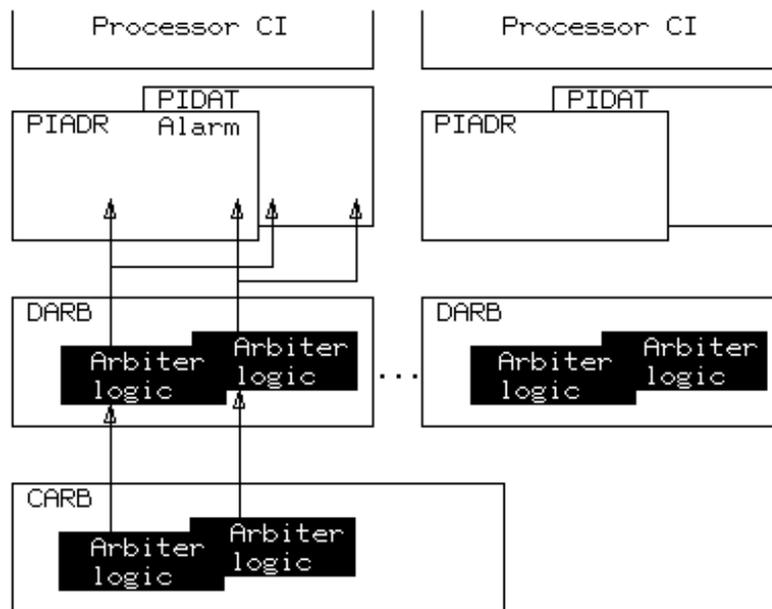


Рисунок 37

Контрольный вопрос №4.

В чем преимущество дублирования сигналов управления и их сравнения?

- Непосредственное обнаружение аппаратных ошибок;

- В случае ошибки, возможно продолжение действия с помощью свободного от ошибок сигнала управления.

Функции буфера следующие. Буфер В:СМУ содержит приемопередатчики для адресов, данных и управляющих сигналов. Группа процессора включается через 2 модуля BBFR (бит 0-15 и 16-31) без каких-либо потерь времени.

На каждом модуле BBFR, две группы процессора разделены на 0-ю и 1-ю ветвь. Если существует более двух групп процессоров, то буфер В:СМУ расширяется, как показано на рис. 38.

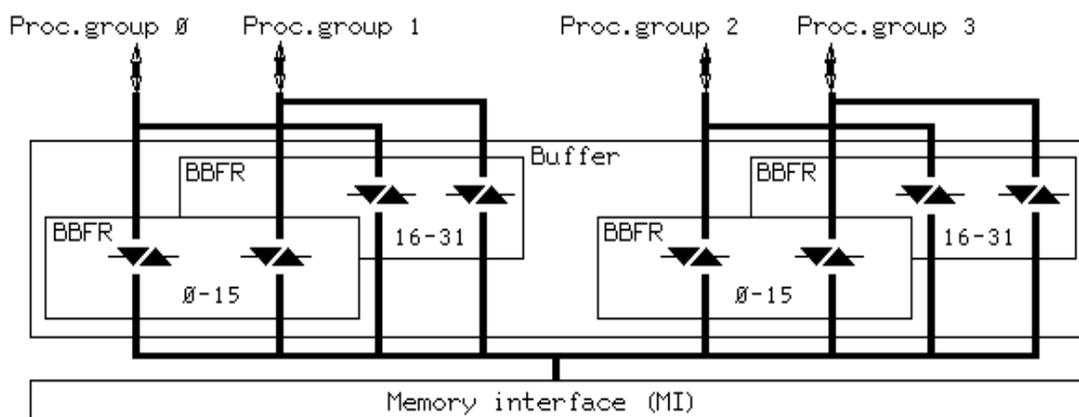


Рисунок 38

Контрольный вопрос №5.

Сколько модулей BBFR должно входить в состав В:СМУ, если СР 113 оборудован 9-ю процессорами?

- 2; 4; 8.

Контроллер В: СМУ имеет в своем составе:

- модуль управления буфером;
- счетчик временных интервалов;
- звено (канал) обнаружения неисправности;
- звенья (каналы) концентрации и распределение сигналов управления.

Для быстрого обнаружения ошибок перечисленные логические схемы дублированы и реализованы на нескольких модулях.

Функции интерфейса к общей памяти (МІ) могут быть описаны следующим образом.

Интерфейс МІ представляет собой линию передачи информации между В:СМУ и обеими ветвями общей памяти. Данные (data) и адреса (address) во время цикла записи передаются в обе ветви СМУ с помощью мультиплексов MUX.

Считывание данных осуществляет только одна ветвь СМУ, как показано на рис. 39.

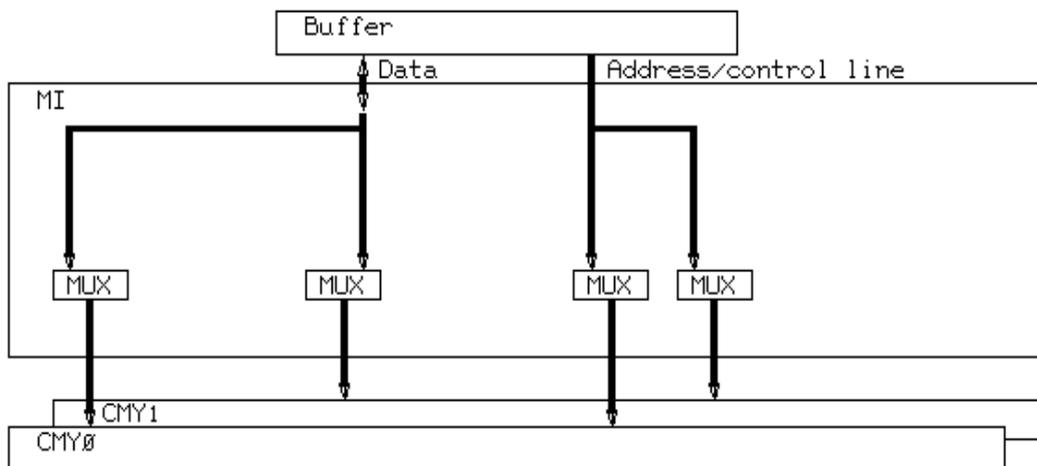


Рисунок 39

Общая память СМУ для считывания данных выбирается программным обеспечением. В случае ошибки СМУ переключение на другую ветвь общей памяти происходит при помощи аппаратного обеспечения.

Контрольный вопрос №6.

При нормальном режиме работы к какой ветви СМУ будет подключен интерфейс к общей памяти для считывания данных?

- Это зависит от предпочтения программного обеспечения при выборе маршрута считывания данных (СМУ 0 или СМУ 1);
- Данные считываются с В:СМУ–0 и В:СМУ–1;
- МІ–1 считывает данные с В:СМУ–1, МІ–0 считывает данные с В:СМУ–0.

MI содержит устройство контроля (последовательный копировщик, copy sequencer) для копирования данных из одной ветви СМУ в другую.

Последовательный копировщик обеспечивает копирование адреса и установку мультиплексора (MUX) таким образом что данные переносятся из активной т.е. рабочей (active) ветви СМУ в пассивную т.е. резервную (inactive) ветвь, как это показано на рис. 40.

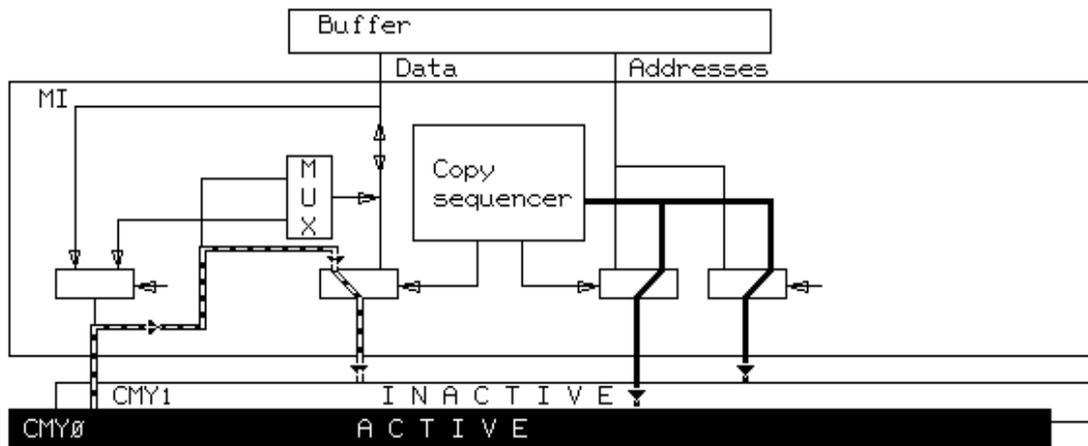


Рисунок 40

Посредством команд ввода/вывода (IO команд) процессор ВАР–М передает: копию начального адреса;

- копию конечного адреса;
- команду начала копирования.

Максимальная скорость при копировании - 16 Мбит/с.

Контрольный вопрос №7

Возможен ли доступ к памяти во время копирования?

- Да; Нет.

Интерфейс к общей памяти содержит регистры сообщений о неисправностях (alarm register СМУ) общей памяти СМУ. Эти регистры считываются процессором ВАР–М через шину к общей памяти для обработки ошибок на рис.41.

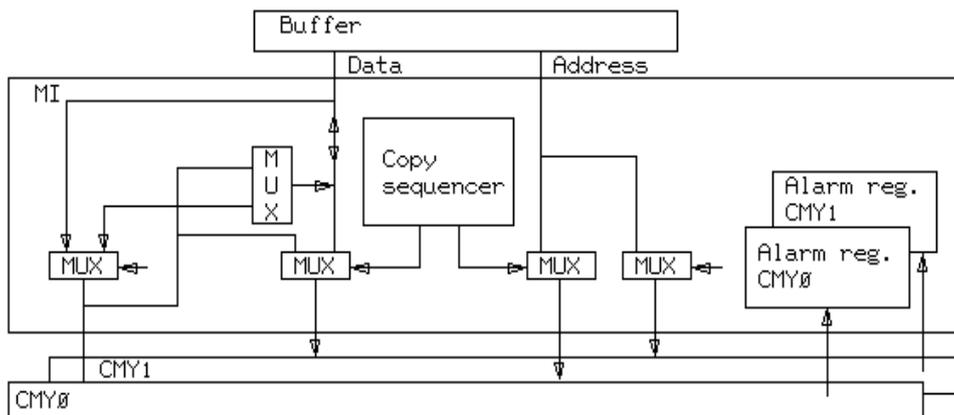


Рисунок 41

Краткие выводы по лабораторной работе №2 следующие.

- В:СМУ допускает адресацию до 4 Гбайт.
- Цикл считывания содержит 4 байта, цикл записи от 1 до 4 байт.
- Размер передаваемой информации содержит:
 - контрольный сигнал; 32 адресных бита с 5-ю битами проверки четности; 32 бита данных с 7 проверочными битами (ЕСС), передаваемых в обоих направлениях.
- Интерфейс процессора PI посылает запрос к арбитру на распределение шины доступа к общей памяти. Это повторяется через каждые 4 тактовых импульса до тех пор, пока это распределение не будет иметь место.
- Каждый процессор может быть отключен от В: СМУ устанавливаемыми в PI значениями бит.
- Арбитр подразделяется на 4 децентрализованные арбитра и один центральный.
- Арбитр выбирает запросы через алгоритм.
- Для обнаружение ошибок логические схемы В:СМУ дублированы.
- Контроллер коммутирует адресную шину, шину управления и шину данных в передатчике буфера.

- Интерфейс памяти МІ передает адреса и данные в оба СМУ, считывание происходит только из одного СМУ.
- Копирование интерфейсом памяти производится независимо.
- Сигнализация сообщений об ошибках СМУ сосредоточено в МІ.

7 Содержание отчета по лабораторной работе №2

Отчет по лабораторной работе №2 включает ответы на следующие вопросы:

Вопрос №8. Какие методы сохранения данных используются при передаче информации через В:СМУ?

- проверка четности; корректирующие биты ЕСС; нет методов.

Вопрос №9. Какой элемент канала передачи информации РІ выдаст REQUEST LOGIC (Запрос логической схемы) чтобы передать запрос арбитражу?

- адресные биты 2 или 3;
- биты данных 2 или 3;
- временной интервал.

Вопрос №10. Какие сигналы сообщений об ошибках хранятся в РІ?

- сигнал тревоги СМУ;
- сигнал тревоги РІ;
- сигнал тревоги процессора.

Вопрос №11. Сколько центральных арбитров требуется для СР113 при минимальной конфигурации процессора?

1; 2; 4.

Вопрос №12. Сколько нецентральных арбитров требуется для СР 113 при минимальной конфигурации процессора?

1; 2; 4.

Лабораторная работа № 3 «Состав и назначение общей памяти СМУ»

1 Цели лабораторной работы

Целью лабораторной работы является получение учебно–научной информации о процессах функционирования, составе и схемотехнике:

- запоминающих устройств;
- средств управления памятью;
- конструкции модулей запоминающих устройств.

2 Учебная литература

1. Гребешков А. Ю. Вычислительная техника, сети и телекоммуникации–Самара:ИНУЛ ПГУТИ, 2014.–218 с.
2. Проектирование и техническая эксплуатация цифровых телекоммуникационных систем и сетей: учебное пособие для студентов вузов/ Е.Б. Алексеев, В.Н. Гордиенко, В.В. Крухмалев, А.Д. Моченов, М.С. Тверецкий; под ред. В.Н Гордиенко и М.С. Тверецкого.– М.: Горячая линия – Телеком, 2014. – 392 с.
3. Гребешков А.Ю. Управление сетями связи по стандартам TMN: учебное пособие для студентов вузов.– М.: Радио и связь, 2004 г. – 155 с.

3 Подготовка к лабораторной работе

1. Изучить рекомендованную литературу.
2. Подготовить ответы на контрольные вопросы.

4 Контрольные вопросы

1. Согласны ли вы с утверждением что СМУ дублировано и оба СМУ содержат одинаковую информацию.

2. Согласны ли вы с утверждением, что в СМУ содержится общая база данных всех процессоров.

3. Согласны ли вы с утверждением что СМУ объединяет банки памяти и модуль управления памятью.

4. Согласны ли вы с утверждением что СМУ содержит коды постоянных программ.

5 Порядок выполнения работы

1. Ответить на контрольные вопросы по указанию преподавателя.

2. Выполнить лабораторную работу согласно меню компьютерной программы.

6 Методические указания по изучению памяти СМУ

Каждая из двух ветвей СМУ содержит:

- запоминающую среду (storage medium);
- управление СМУ, которое подразделяется на:
 - управление запоминающей средой (medium control);
 - контроллер для обеспечения надежности запоминающей среды (controller for safeguarding) см. рис. 42.



Рисунок 42

Запоминающая среда состоит из аппаратного обеспечения - модулей памяти МУН. Она охватывает:

- область хранения данных (запоминающая среда данных, data area medium);



- область хранения кода исправления ошибок (запоминающая среда ECC, ECC medium), см. рис. 43.

Рисунок 43

Запоминающая среда данных и запоминающая среда ECC разделены на области, которые называются банками памяти МУВ.

Следующий рисунок показывает банки памяти (МУВ), на которые разделены две области запоминающей среды, см. рис. 44.

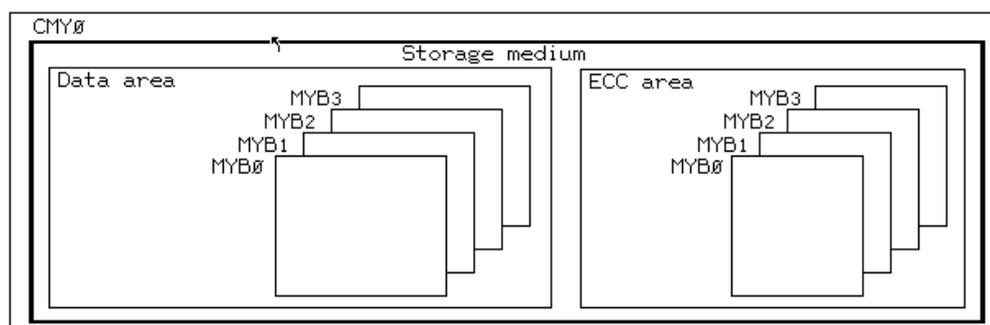


Рисунок 44

Емкость памяти может быть точно обозначена требованиями вставить 1,2,3,4 модулей МУН на банк.

Минимальный элемент, который может быть адресован в запоминающей среде одно длинное логическое слово с

- 32-мя битами данных в области данных;
- 7-ю корректирующими битами в области ECC.

Контрольный вопрос №1.

На сколько банков разделена запоминающая среда СМУ?

Управление запоминающей средой также разделяется на два модуля управления; поэтому каждая из двух областей запоминающей среды имеет свой собственный модуль управления.

Различают:

- управление данными (data control);
- управление корректирующими битами ECC (ECC control).

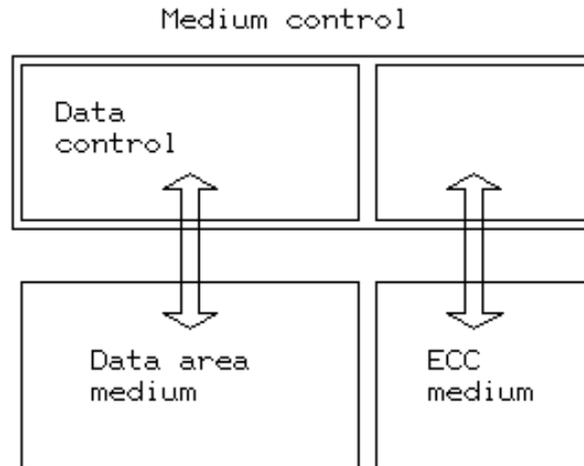


Рисунок 46

Какие функции осуществляются модулем управления данными и модулем управления корректирующими битами ECC?

- Эти модули управляют циклами записи и считывания;
- Эти модули начинают цикл регенерации;
- Эти модули используются для обнаружения ошибок.

Кроме модулей управления данными и корректирующими битами (ECC) в СМУ также используется дублированный контроллер защиты запоминающей среды. Он состоит из:

- микропроцессора SAB 8031;
- EPROM (ППЗУ);
- дисплея на панели (display).

Контроллер защиты запоминающей среды используется для таких функций, как:

- диагностика модулей управления данными или ECC-бит;
- диагностика области хранения данных и области хранения ECC-бит;
- форматирование запоминающей среды;
- вывод результатов диагностики на дисплее (см. рис. 47).

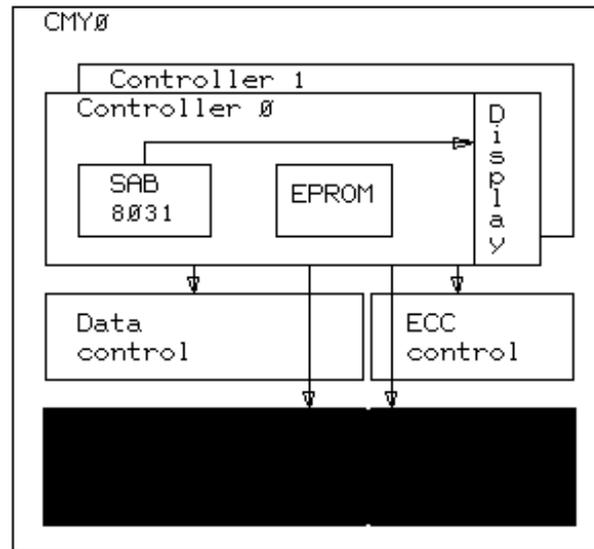


Рисунок 47

Кроме того, доступна off-line диагностика посредством ключей переключения.

Отметим наиболее важные моменты:

- каждая из дублированных СМУ содержит область запоминающей среды, общее управление (управление данными / управление корректирующими битами ECC) и дублированный контроллер для защиты запоминающей среды;
- в зависимости от требуемой емкости СМУ может комплектоваться от 1 до 4 МУН модулей на банк.

7 Содержание отчета по лабораторной работе №3

Отчет по лабораторной работе №3 включает ответы на следующие тестовые вопросы:

Вопрос №4.

Сколько запоминающих сред, содержащих области хранения данных и область хранения корректирующих бит ЕСС, имеется в СМУ?

- 1;
- 2;
- ни одной.

Вопрос №5.

Какие функции выполняет микропроцессор САВ 8031 в контроллере защиты запоминающей среды?

- диагностика областей хранения информации СМУ;
- диагностика управления СМУ;
- управление циклами считывания, записи и регенерации.

Вопрос №6.

Что не указывают DIP-переключатели на модуле МУН?

- число МУН-модулей в СМУ;
- тип используемой микросхемы ЗУ (1 или 4 Мбайтная микросхема ЗУ);
- используемую для хранения информации емкость модуля МУН.

Вопрос №7.

Сколько видов управления позволяет осуществлять общее управление запоминающей средой?

- 1;
- 2;
- 3.

Лабораторная работа № 4 «Циклы работы СМУ»

1. Цели лабораторной работы

Целью лабораторной работы является получение учебно–научной информации о процессах функционирования, составе и схемотехнике:

- соединения СМУ и В:СМУ;
- циклов записи и чтения СМУ.

2. Учебная литература

1. Гребешков А. Ю. Вычислительная техника, сети и телекоммуникации–Самара:ИНУЛ ПГУТИ, 2014.–218 с.

2. Проектирование и техническая эксплуатация цифровых телекоммуникационных систем и сетей: учебное пособие для студентов вузов/ Е.Б. Алексеев, В.Н. Гордиенко, В.В. Крухмалев, А.Д. Моченов, М.С. Тверецкий; под ред. В.Н Гордиенко и М.С. Тверецкого.– М.: Горячая линия – Телеком, 2014. – 392 с.

3. Гребешков А.Ю. Управление сетями связи по стандартам TMN: учебное пособие для студентов вузов.– М.: Радио и связь, 2004 г. – 155 с.

3. Подготовка к лабораторной работе

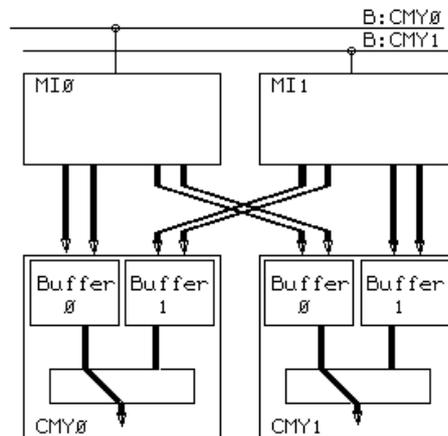
1. Изучить рекомендованную литературу.
2. Подготовить ответы на контрольные вопросы.

4. Порядок выполнения работы

1. Ответить на контрольные вопросы по указанию преподавателя.
2. Выполнить лабораторную работу согласно меню компьютерной программы.

5. Методические указания к изучению циклов работы памяти СМУ

Обе ветви СМУ соединены с обоими В:СМУ через 2 интерфейса памяти (МІ), которые являются независимыми один от другого. Циклы чте-



ния и записи выполняются через МІ следующим способом (см. рис. 48):

Рисунок 48

1. Запись. Каждый СМУ всегда получает и хранит в буфере обмена адреса и данные записи от обоих МІ. В зависимости от приоритетного маршрута, передачи данных для последовательности циклов записи информация поступает из буфера (buffer) 0 или 1.

2. Чтение. Считываемые данные передаются от каждого СМУ до каждого МІ. В зависимости от приоритетного маршрута внутри МІ, считываемые данные подключаются к В:СМУ, см. рис. 49.

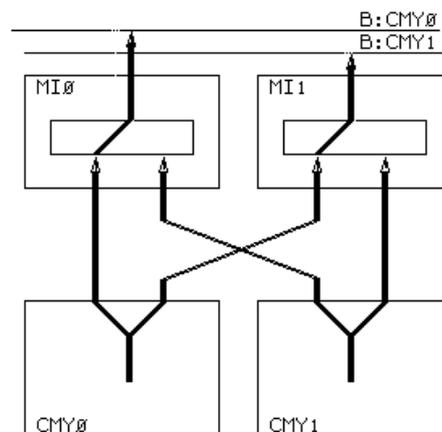


Рисунок 49

Цикл чтения информации из СМУ выглядит следующим образом. По получении тактового импульса шины (8 МГц, 125 нс), буферы передачи адресов EAP0 и EAP1 загружаются информацией из В:СМУ0 и В:СМУ1 через шину передачи адресов. Если запрос цикла чтения активизирован, EAP0 или EAP1 проключаются к буферам адресов банков памяти APB 0 ...

3. Данные и корректирующие биты (ECC) посылаются через буфера чтения данные (LDP) к обоим ветвям В:СМУ.

Контрольный вопрос №1. Как часто загружаются полученные буферы адресов EAP0/EAP1?

- Каждые 125 нсек; Каждые 600 нсек; Только в случае активизации запроса цикла чтения.

Ошибки в течение цикла чтения могут иметь различные причины:

- ошибки контроля по четности в адресе чтения;
- ошибка чтения данных.

Каждая из этих ошибок имеет различные способы устранения.

1. Ошибки контроля по четности в считываемом адресе.

Ошибка контроля по четности в адресе чтения имеет следующий эффект:

- Принудительное окончание цикла чтения из СМУ;
- Инициирование повторения чтения в процессоре;

Постоянное переключение приоритетного маршрута чтения данных из СМУ, вследствие чего цикл чтения повторяется.

2. Ошибка чтения данных имеет следующий эффект:

- однобитовая ошибка изменяет приоритетный маршрут в МІ только для этого цикла чтения;
- в случае многобитовой ошибки, приоритетный маршрут в МІ переключается постоянно и запускается обработка сигнала об ошибке в

СМУ, вследствие чего цикл чтения данных из СМУ не должен повторяться.

Контрольный вопрос №2. Циклы чтения информации из СМУ всегда должны быть повторены процессором, если обнаружена ошибка контроля по четности адреса? Да; или Нет.

Контрольный вопрос №3. Когда происходит постоянное переключение приоритетного маршрута в МП, в цикле чтения СМУ?

- в случае однобитовой ошибки в СМУ;
- в случае многобитовой ошибки в СМУ.

Управления циклом записи в память СМУ различает циклы записи между собой, которые бывают:

- Циклы перезаписи поверх всех 4 байтов длинного слова данных.
- Циклы, которые записывают поверх 1, 2 или 3 байтов длинного слова.

1. Перезаписываются все 4 байта длинного слова. В этом случае адрес принимается так же, как в цикле чтения информации из СМУ. Кроме того, буферы приема данных (EDP 0/1) обоих модулей управления циклом загружены записываемой в память информацией. Данные и вновь сформированные корректирующие биты (код с исправлением ошибок - ЕСС) сохранены в памяти.

2. Перезапись 1, 2 или 3 байтов длинного слова. В этом случае, хотя длинные слова (32 бита) могут адресоваться в памяти, этот тип цикла записи включает 3 стадии:

Стадия 1: Чтение из памяти длинного слова, которое будет изменено.

Стадия 2: Изменение считанных данных посредством данных из В:СМУ, которые находятся в буфере записи данных в память.

Стадия 3: Запись измененного длинного слова в память.

Описание принципа модификации данных рассмотрим на примере. Байт 2 недавно записан в память. Данные для записи из В:СМУ (Data from the В:СМУ) буферизированы в буфере записи данных в память (Write data buffer), и считывается длинное слово, которое нужно изменить (см. рис. 50).

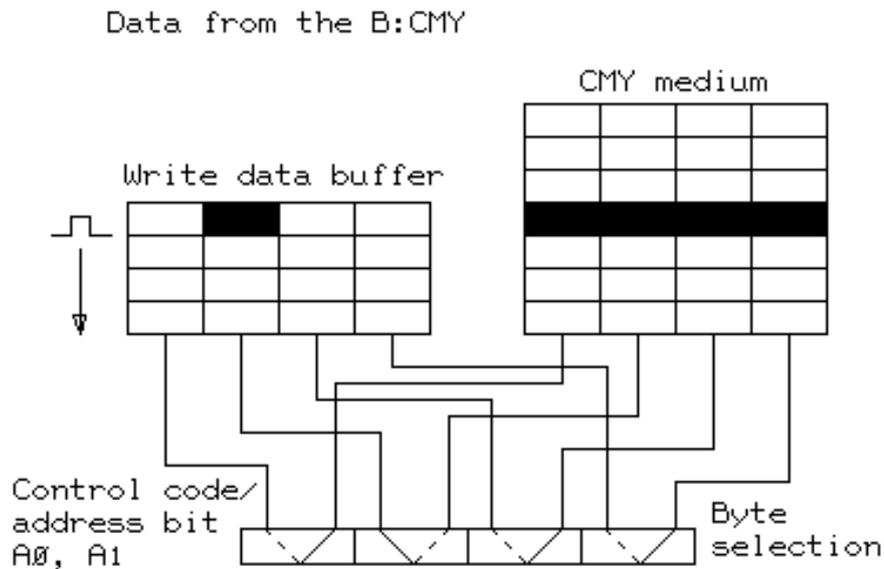


Рисунок 50

Модификация осуществляется посредством выделения байтов (byte selection). Выделение байта для модификации определяется:

- числом байтов, которые будут изменены (управляющий код, control code);
- первым байтом, который будет изменен в длинном слове (адресуется битами A0, A1 - address bit A0, A1).

Измененное длинное слово будет храниться с новыми корректирующими битами ECC (см. рис. 51).

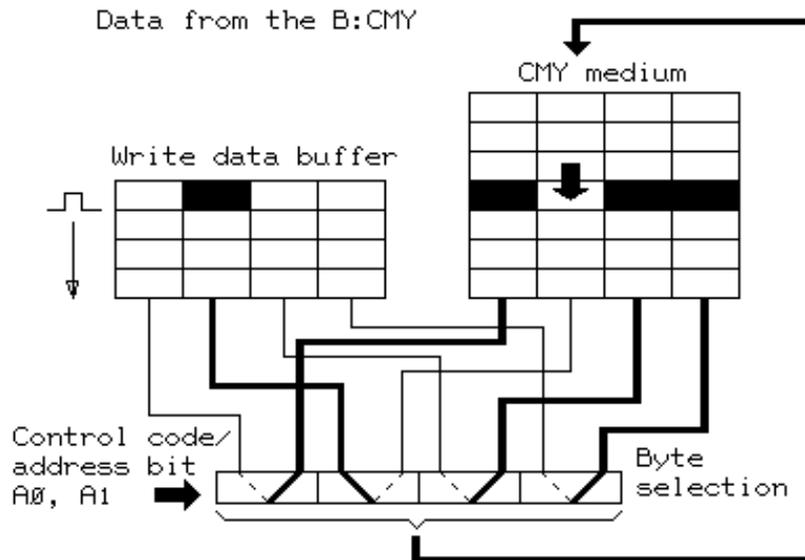


Рисунок 51

Ошибки в цикле записи могут быть вызваны следующими причинами:

- Ошибки контроля четности в адресе записываемой информации.
- Ошибки записываемых данных.

В каждом случае принимаются различные меры. Ошибка контроля по четности в адресе записываемой информации приводит к следующему:

- Вынужденное прекращение цикла записи в СМУ.
- Переключение приоритетного маршрута с сохранением адрес свободной от ошибки шины В:СМУ и повторение цикла записи после 4 тактовых импульсов.

Если данные записи ошибочны, СМУ реагирует следующим образом:

- при наличии однобитовой ошибки преимущественный маршрут для этого цикла записи изменяется без повторения цикла;
- если изменение невозможно, потому что вторая В:СМУ неактивна, или данные от другой В:СМУ ошибочны, то данные исправляются.

Если данные записи содержат ошибку, то СМУ реагирует следующим образом: при многобитовой ошибке приоритетный маршрут переключается и шина В:СМУ, в которой произошла ошибка, блокируется.

Краткие выводы по лабораторной работе №4 следующие:

- Каждая ветвь памяти СМУ имеет доступ к обеим В:СМУ.
- Приоритетный маршрут в МІ и СМУ может быть переключен программным обеспечением или сообщениями об обнаружении ошибок.
- Область хранения данных и область хранения корректирующих бит имеет отдельные модули управления.
- В каждом модуле управления, адрес и записываемые данные сохраняются обеими В:СМУ.
- В случае ошибки при чтении данных, приоритетный маршрут в СМУ переключается и цикл повторяется процессором.
- В случае ошибки в адресе записи, приоритетный маршрут в СМУ переключается и цикл повторяется модулем управления СМУ после 4 тактовых импульсов.

6. Содержание отчета по лабораторной работе №4

Содержание отчета по лабораторной работе №4 включает ответы на следующие вопросы:

Вопрос №7. Какие меры не принимаются после сообщения об ошибках (например, многобитовая ошибка)?

- Приоритетный маршрут в МІ переключается, если данные, полученные из СМУ, допускают появление тревоги;
- Биты запрещения СМУ установлены в обоих В:СМУ;
- Приоритетный маршрут в СМУ включен.

Вопрос №8. Сколько буферов-получателей адресов(EAP) загружаются в общей памяти каждый 8-ми МГц тактовый импульс? Выберите верную цифру:

- 2;
- 4;
- 8.

Вопрос №9. Ошибка контроля по четности адреса появляется в течение цикла чтения из памяти. Какие меры принимаются?

- Логика повторения процессора повторяет цикл чтения.
- Только для этого цикла в СМУ переключается приоритетный маршрут.
- Цикл с обнаруженной ошибкой прекращается.

Вопрос №10. Если ошибка контроля по четности адреса возникает в течение цикла записи, повторяется ли цикл логикой повторения? Ваш вариант ответа:

- Да;
- Нет.

Приложение А. Список сокращений к лабораторным работам

ВAPm/ВAPs (base processor, master/slave) –основной процессор ведущий / ведомый

В:СМУ (bus for common memory) – шина общей памяти СР113(с)

ВВFR (bus buffer for common memory) - буфер шины общей памяти

СА (communication area) – область межпроцессорной связи в СМУ

САРВ (central bus arbiter for common memory) – центральный арбитр шины доступа к общей памяти

СL (coupling logic) – логика связи блоков обработки РU

CCG (central clock generator) - центральный генератор тактовой частоты

CCNC (common channel signaling network control – module) – управляющее устройство сети сигнализации по общему каналу (в виде группы функциональных модулей)

CI (common interface) – общий интерфейс

CMY (common memory) – общая память CP113

CMYC (common memory controller) – контроллер общей памяти CP113

CPЕХ (coordination processor, execution) – блок выполнения программ координационного процессора(модуль)

CPАС (coordination processor, access control) – управление подсистемой доступа координационного процессора (модуль)

CPСС (coordination processor, cycle control) – управление подсистемой циклов работы координационного процессора (модуль)

CPСIA/CPСIВ)coordination processor, central interface for CP113, module A) - центральный интерфейс координационного процессора, модуль типа А/модуль типа В

CP113(c) (coordination processor - compact) – координационный процессор, компактный

DLU (digital line unit) – цифровой абонентский модуль

EWSD (Digital Electronic Switching System) – цифровая электронная коммутационная система

EDC (error detection and correction) - процесс обнаружения и коррекции ошибки

ECC (error correction code) – код коррекции ошибки, контрольные биты.

IOР (input/output processor, module) – процессор ввода/вывода для управления доступом периферийных устройств

IOС (input/output control) – управление процессами ввода/вывода, модуль/процессор

IOCIF ((input/output controller, interface) – интерфейс процессора ввода-вывода

IPC (inter-processors communication) – межпроцессорный обмен

MI (memory interface) – интерфейс памяти

MUH (memory unit, module H) - блок/банк памяти, модуль типа H

MUX (multiplexer) – мультиплексор

MYB (memory bank) – банк (блок) памяти процессора

MYC (memory control) – управление памятью процессора

OMT (operation and maintenance terminal OMT) – терминал эксплуатации и техобслуживания

PU (processor unit) – блок обработки, модуль процессора

PI (peripheral interface) – периферийный интерфейс

PIADR (processor interface, address bus) – интерфейс процессора, шина адреса

PIDAT (processor interface, data bus) – интерфейс процессора, шина данных.

