ФГБОУ ВО
Поволжский государственный университет
телекоммуникаций и информатики

# Лекция 1. Телекоммуникационные системы и элементы аппаратных средств

Лектор :

с.н.с., доцент кафедры АЭС ПГУТИ,

к.т.н. Гребешков А.Ю.

Самара
2017 год

кафедра
автоматической электросвязи

# Основные источники информации-1

**Гребешков, А. Ю.**
**Аппаратные средства телекоммуникационных систем** [Электронный ресурс] : учеб. пособие / А. Ю. Гребешков ; ПГУТИ, Каф. АЭС. - Электрон. текстовые дан. (1 файл: 5,72 Мб). - Самара : ПГУТИ, 2017. - Режим доступа: **http://elib.psuti.ru/Grebeshkov_Apparatnye_sredstva_telekommunikacionnyh_sistem_uchebnoe_posobie.pdf**, свободный.

**Гребешков, А. Ю.**
**Применение аппаратных средств в локальных вычислительных сетях** [Электронный ресурс] : метод. указания к лаб. работам / А. Ю. Гребешков ; ПГУТИ, Каф. АЭС. - Электрон. текстовые дан. (1 файл: 1,04 Мб). - Самара : ПГУТИ, 2017. - Режим доступа: **http://elib.psuti.ru/Grebeshkov_Primenenie_apparatnyh_sredstv_v_lokalnyh_vychislitelnyh_setyah.pdf**, свободный

**Гребешков, А. Ю.**
**Координационный процессор управления CP113 системы EWSD** [Электронный ресурс] : метод. указания к лаб. работам / А. Ю. Гребешков ; ПГУТИ, Каф. АЭС. - Электрон. текстовые дан. (1 файл: 404 Кб). - Самара : ПГУТИ, 2017. - Загл. с титул. экрана. - Режим доступа: **http://elib.psuti.ru/Grebeshkov_Koordinacionny_processor_upravleniya_CP113_sistemy_EWSD.pdf**, свободный

# Основные источники информации-2

**Гребешков, А. Ю.**

**Синтез и оценка показателей надежности схем резервирования аппаратных средств телекоммуникационных систем** [Электронный ресурс] : метод. указания к лаб. работам / А. Ю. Гребешков ; ПГУТИ, Каф. АЭС. - Электрон. текстовые дан. (1 файл: 266 Кб). - Самара : ПГУТИ, 2017. - Загл. с титул. экрана. - Режим доступа: **http://elib.psuti.ru/Grebeshkov_Sintez_i_ocenka_pokazatelej_nadezhnosti_shem_rezervirovaniya_apparatnyh_sredstv_telekommunikacionnyh_sistem.pdf**, свободный

**Гребешков, А. Ю.**

**Техника микропроцессорных систем в коммутации [Электронный ресурс]** : учеб. / Александр Юрьевич Гребешков ; ПГУТИ, Каф. АЭС. - Электрон. текстовые дан. (1 файл : 4,51 Мб). - Самара : ИНУЛ ПГУТИ, 2011. - Загл. с титул. экрана. - Электрон. версия печ. издания 2011 г. - Доступ свободный http://elib.psuti.ru/Grebeshkov_Tehnika_mikroproz_sistem_v_kommutazii_uchebnik_dlya_vuzov_2011.pdf

# Основные понятия - I

***Телекоммуникационная система*** – упорядоченная совокупность методов, правил, протоколов, технических и программных средств в их взаимосвязи и взаимодействии, обеспечивающих передачу электронного сообщения от источника к получателю по сетям электросвязи.

***Сеть электросвязи*** –технологическая система, включающая в себя средства и линии связи и предназначенная для электросвязи.

***Коммуникационный узел*** (коммутационный узел) – совокупность технических средств, предназначенных для обработки вызовов или заявок на обслуживание, поступающих по абонентским и соединительным линиям сети, для предоставления инициаторам этих вызовов/заявок основных и дополнительных услуг связи, а также для учета информации о предоставлении услуги.

***Терминальное оборудование пользователя, терминал (абонентское устройство, оконечное оборудование пользователя )*** – оборудование, подключенное к сети электросвязи, для обеспечения доступа к одной или нескольким определенным службам.

# Основные понятия - II

***Глобальная информационная инфраструктура*** – это совокупность сетей связи, оконечного оборудования пользователей, информации, которая может быть использована для коммуникации пользователей и передается по доступным ценам с заданным качеством

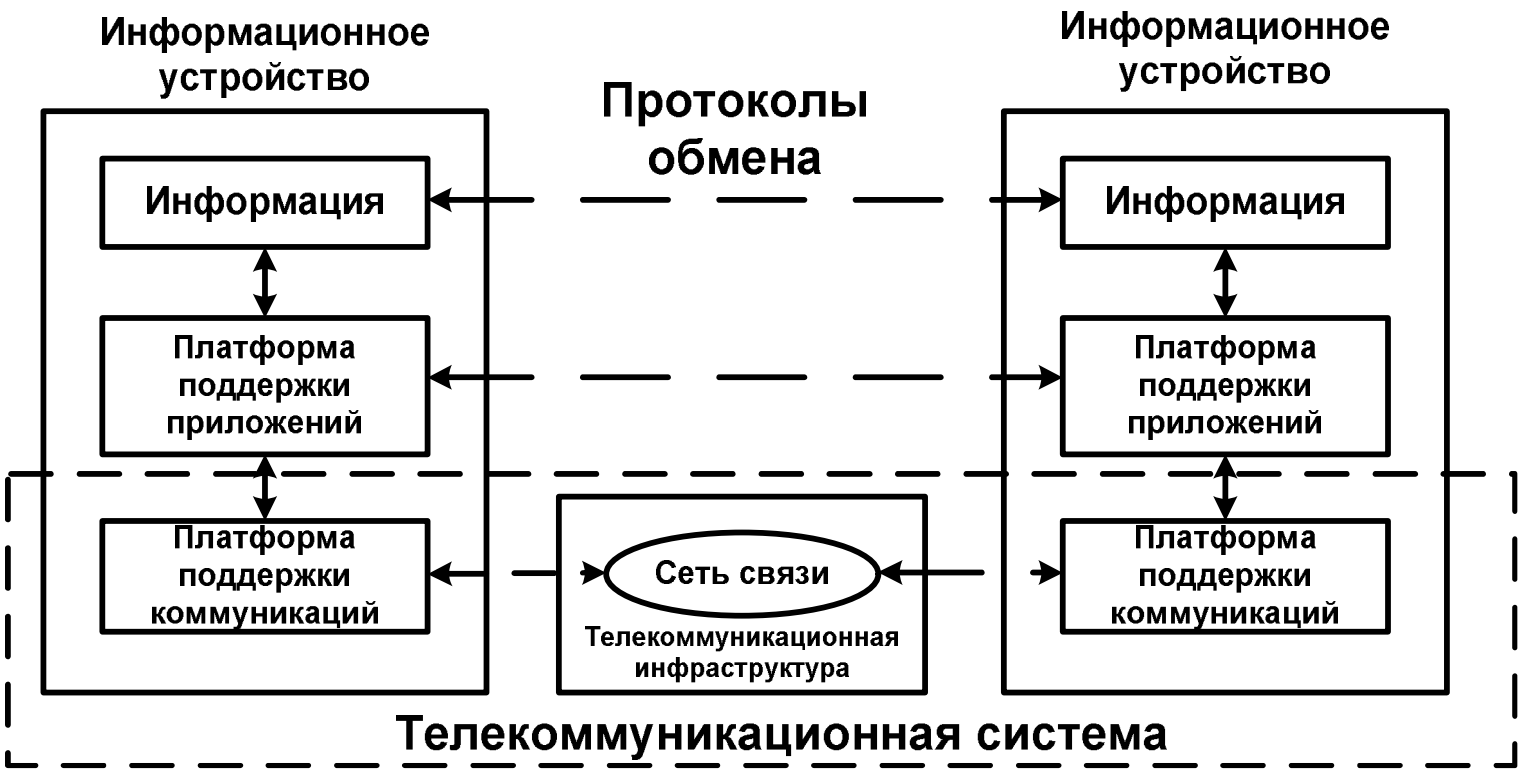
***Платформы поддержки коммуникаций*** – это оконечное оборудование данных, модемы, устройства доступа различного назначения, которые непосредственно преобразуют данные для передачи по сетям связи

***Протоколы обмена*** – это набор правил и форматов представления информации, которая определяет взаимосвязанное поведение взаимодействующих объектов

***Сеть доступа*** – совокупность абонентских линий и станций местной сети, которые обеспечивают доступ оконечного оборудования пользователей (ООП) транспортной сети, а так же местная связь без выхода в транспортную сеть.

***Интегральная (микро)схема*** – микроэлектронное изделие окончательной или промежуточной формы, предназначенное для выполнения функций электронной схемы, элементы и связи которой нераздельно сформированы в объеме и (или) на поверхности материала, на основе которого изготовлено изделие.

# Телекоммуникационная система в составе глобальной информационной инфраструктуры



# Обобщенная структура сетей электросвязи

# Понятие о сети Интернет как элементе ГИИ

***Интернет*** – это глобальная информационная сеть, которая:

- логически объединена посредством единого адресного пространства, основанного на протоколе IP (Internet Protocol) версии 4 или 6;
- способна поддерживать передачу данных посредством протокола TCP (Transmission Control Protocol) или заменяющих его протоколов;
- обеспечивает, использует или делает доступными услуги по передаче данных и мультимедиа с помощью соответствующей инфраструктуры.

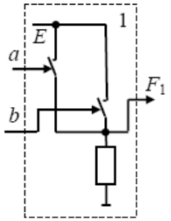
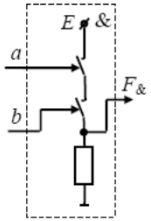
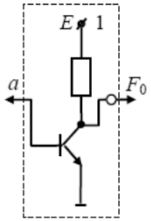
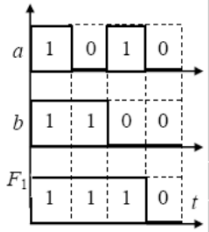
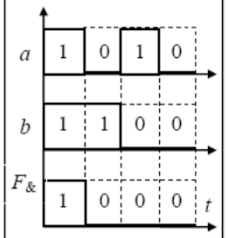
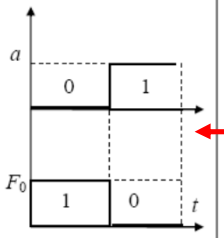
# Базовые понятия дискретных элементов аппаратных полупроводниковых средств

***Логический элемент*** – это часть электронной схемы, которая реализует элементарную логическую функцию, описывающую работу цифровых устройств телекоммуникационных систем.

***Технологическая или проектная норма производства*** – это значение максимального смещения границы топологического элемента на кремниевой подложке при изготовлении транзистора.

***Топологический элемент*** – элемент микросхемы, определяемый своим трехмерным расположением в интегральной схеме, предназначенной для производства.

# Описание логических элементов (вентилей)

| | 1 ИЛИ | 2 И | 3 НЕ |
|---|---|---|---|
| Схемы $F(R)$ |  |  |  |
| Таблицы $F(T)$ | $a$ $b$ $F_1$<br>0 0 0<br>1 0 1<br>0 1 1<br>1 1 1 | $a$ $b$ $F_\&$<br>0 0 0<br>1 0 0<br>0 1 0<br>1 1 1 | $a$ $F_0$<br>0 1<br>1 0 |
| Формулы $F(\Phi)$ | $F_1 = a + b$<br>$0 + 0 = 0$<br>$1 + 0 = 1$<br>$0 + 1 = 1$<br>$1 + 1 = 1$ | $F_\& = ab$<br>$0 \cdot 0 = 0$<br>$1 \cdot 0 = 0$<br>$0 \cdot 1 = 0$<br>$1 \cdot 1 = 1$ | $F_0 = \bar{a}$<br>$\bar{0} = 1$<br>$\bar{1} = 0$ |
| Диаграммы $F(\varepsilon)$ |  |  |  |

**Электрическая схема**

**Таблица истинности**

**Аналитическая запись (булева алгебра)**

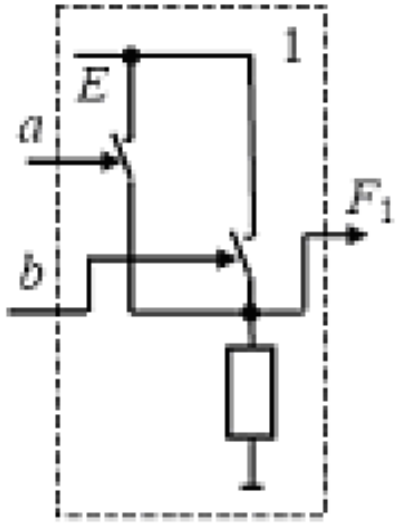
**Диаграмма уровней**

**Е.И.Глинкин,**

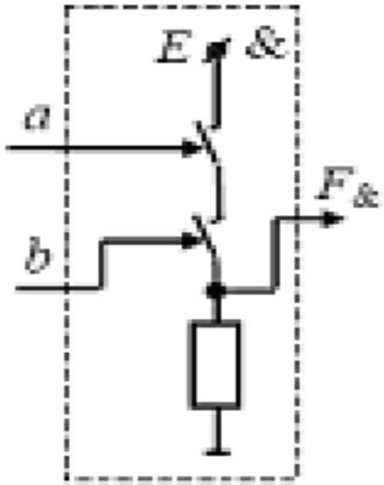
кафедра автоматической электросвязи

# Физическая работа вентилей - 1

**«ИЛИ»**




**«И»**

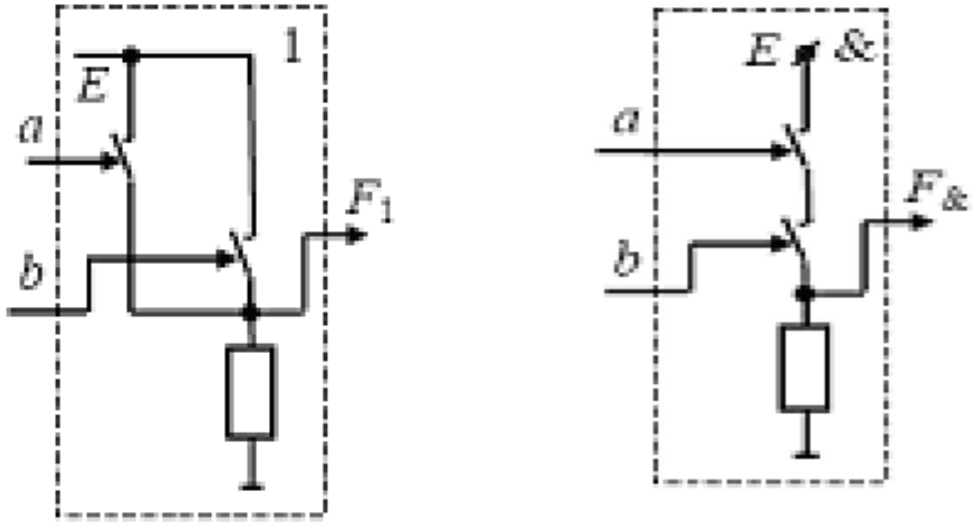



Для функций F двух переменных {a, *b*} физическим состояниям «включено» и «выключено» сопоставляют логическую «1» и «0.

При выключенных ключах {a, *b* } = {уровень 0, уровень 0} через резистор ток от единичного источника E не течет, на выходах схем ИЛИ и И в исходном состоянии присутствует нулевой потенциал «земли», что соответствует логическому нулю: $F_1 = 0$ и $F_\& = 0$

# Физическая работа вентилей - 2

«ИЛИ» «И»

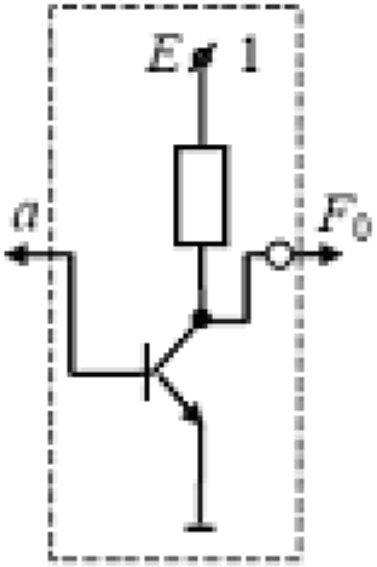



На выходе $F_1$ = 1, если включить ИЛИа, ИЛИb ключи, что обусловлено параллельным электрическим соединением, организующим элемент ИЛИ (дизъюнктор).

Инверсно логическому сложению на выходе $F_\&$ конъюнктора (элемента И) появится потенциал Е тогда и только тогда, если замкнуть ключи И*а* , И*b* за счет их последовательного соединения, формирующего элемент И

# Физическая работа вентилей - 3

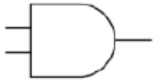
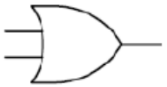
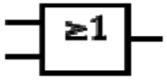
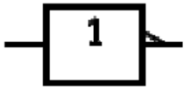
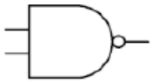
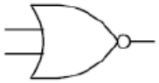
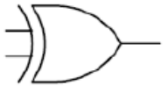
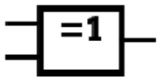
«НЕ»




Инвертор «НЕ» можно синтезировать с помощью транзистора по схеме с общим эмиттером (истоком), преобразующей входной сигнал а на выходе $F_0$ со сдвигом по фазе на 180° или изменением входного потенциала инверсно на противоположный.

При низком потенциале на базе транзистор переход *n-p-n* закрыт, имеет бесконечно высокое сопротивление, а на коллекторе присутствует потенциал.

# Условные обозначения вентилей

| Тип логической функции | Символ логического элемента (вентиля) | | Таблица истинности |
|---|---|---|---|
| AND, «И» |  | | |
| OR, «ИЛИ» |  |   | |
| NOT, «НЕТ» | |   | |
| NAND, «НЕ–И» |  | | |
| NOR, «НЕ–ИЛИ» |  | | |
| XOR, «ИСКЛЮЧА-ЮЩЕ ИЛИ » |  |   | |

| *a* | *b* | *a AND b* |
|---|---|---|
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

| *a* | *b* | *a OR b* |
|---|---|---|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

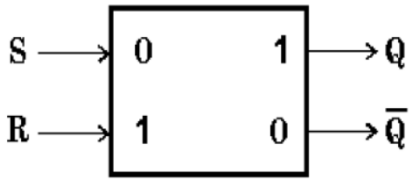
| *a* | *NOT a* |
|---|---|
| 0 | 1 |
| 1 | 0 |

| *a* | *b* | *a NAND b* |
|---|---|---|
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

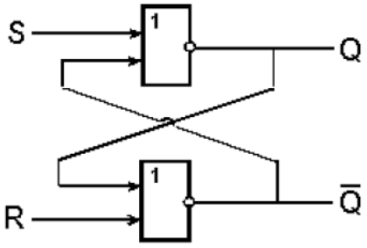
| *a* | *b* | *a NOR b* |
|---|---|---|
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

| *a* | *b* | *a XOR b* |
|---|---|---|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

# Триггер и его свойства



а)

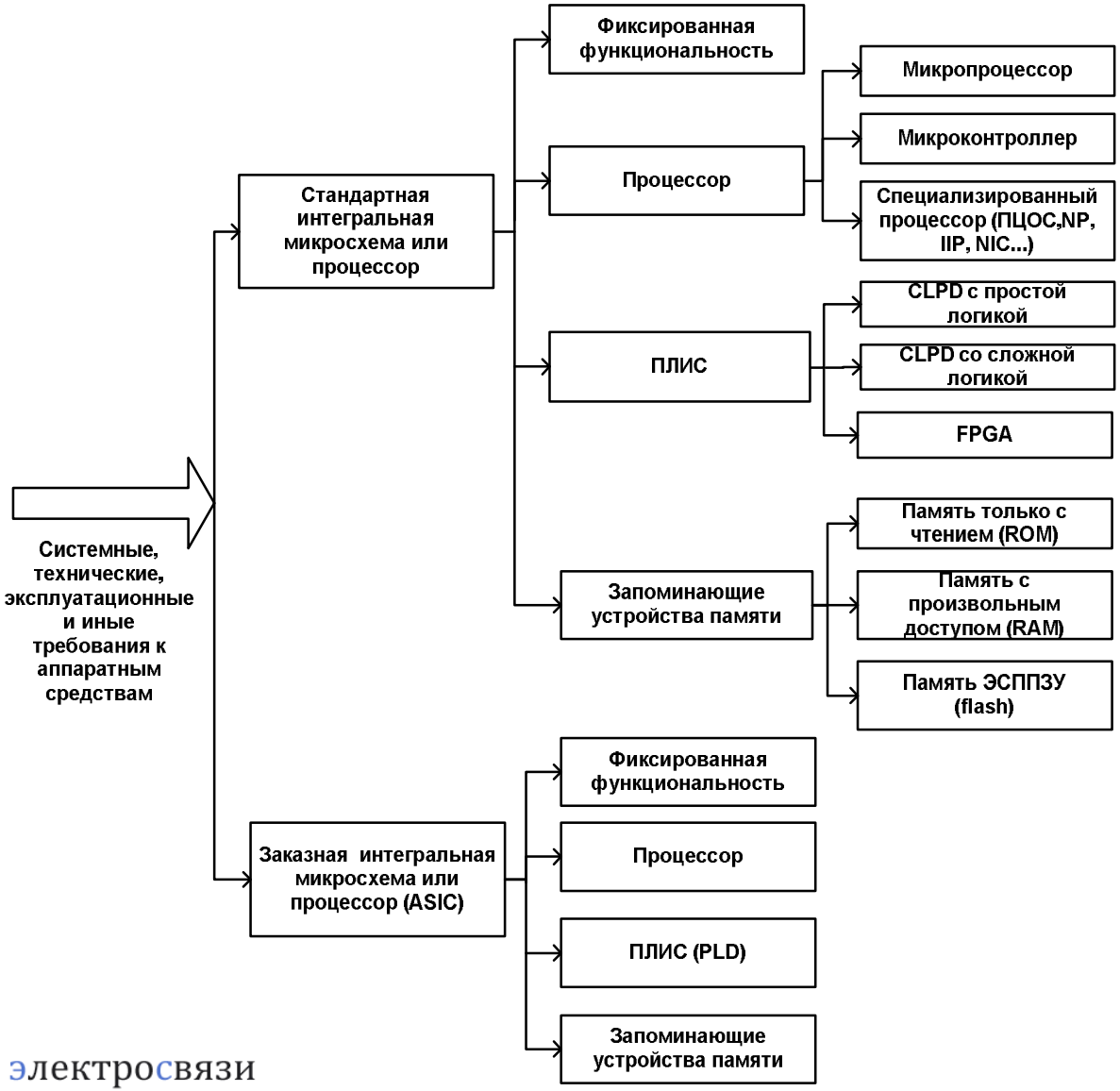


б)

**Триггер — это электронная схема, широко применяемая в регистрах для запоминания одного разряда двоичного кода. Триггер имеет два устойчивых состояния, соотв. «1» или «0».**

1. Если на входы триггера подать S=«1», R=«0», то (независимо от состояния) на выходе Q верхнего вентиля появится «0». После этого на входах нижнего вентиля окажется R= «0», Q= «0» и выход Q̄ станет равным «1».
2. При подаче «0» на S и «1» на R на выходе Q̄ появится «0», а на Q= «1».
3. Если на входы R и S подана логическая «1», то состояние Q и Q̄ не меняется.
4. Подача на оба входа R и S логического «0» может привести к неоднозначному результату, поэтому эта комбинация входных сигналов запрещена.

# Общая классификация компонентов аппаратных средств по видам реализации



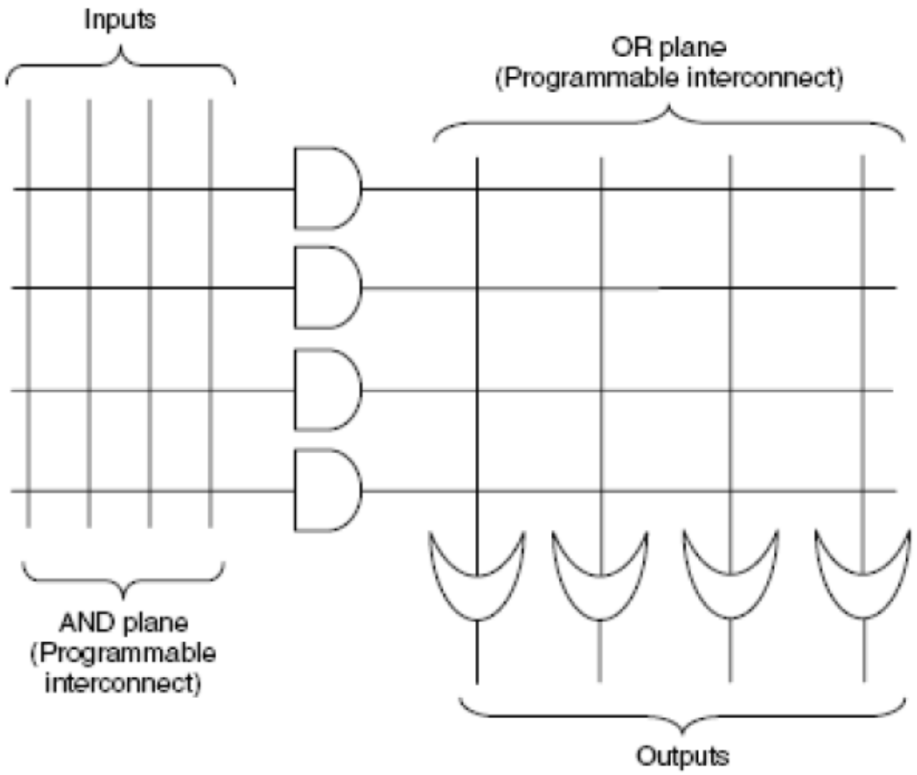
# Программируемые логические интегральные схемы, ПЛИС

***Микросхемы CPLD*** (complex programmable logic device) и ***микросхемы FPGA*** (field-programmable gate array).

***Технология устройства с программируемой логикой,*** CPLD содержат простые или относительно крупные программируемые логические блоки — макроячейки, соединённые с внешними выводами и внутренними шинами.

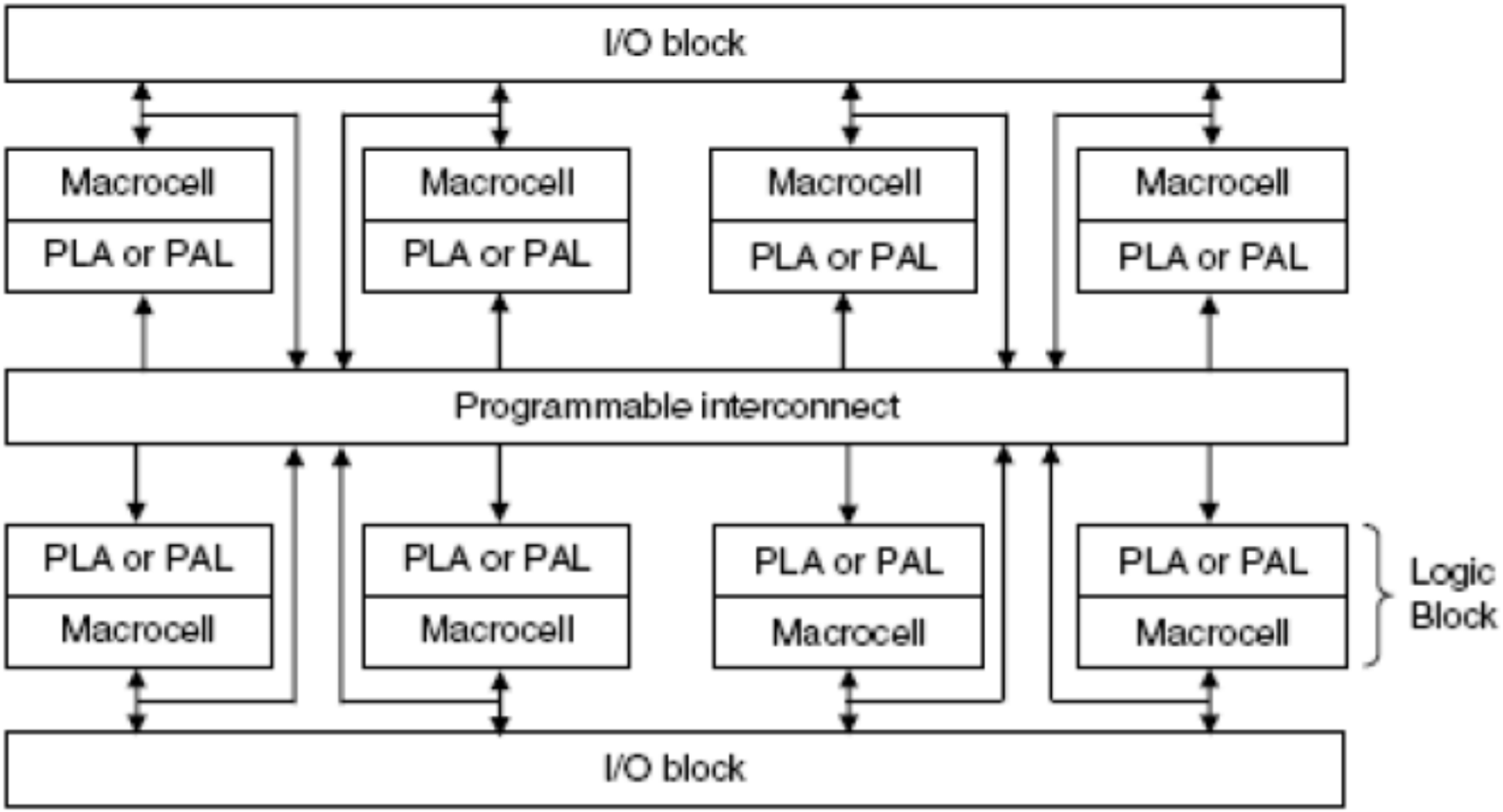
В CPLD с простой логикой существует три вида простых ячеек – ***программируемая логическая матрица PLA*** (programmable logic array), ***программируемая матрица логических элементов PAL*** (programmabe array of logic) и ***базовая матрица логических элементов GAL*** (generic array of logic).

# Архитектура аппаратных средств ПЛИС PLA с простой логикой



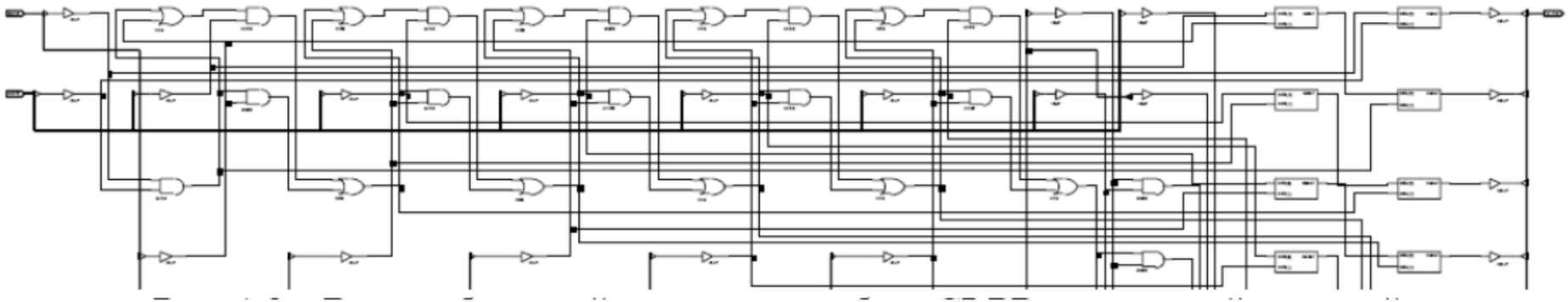

**Batcmutsky, A., 2010 (c)**

# Архитектура аппаратных средств ПЛИС CLPD со сложной логикой

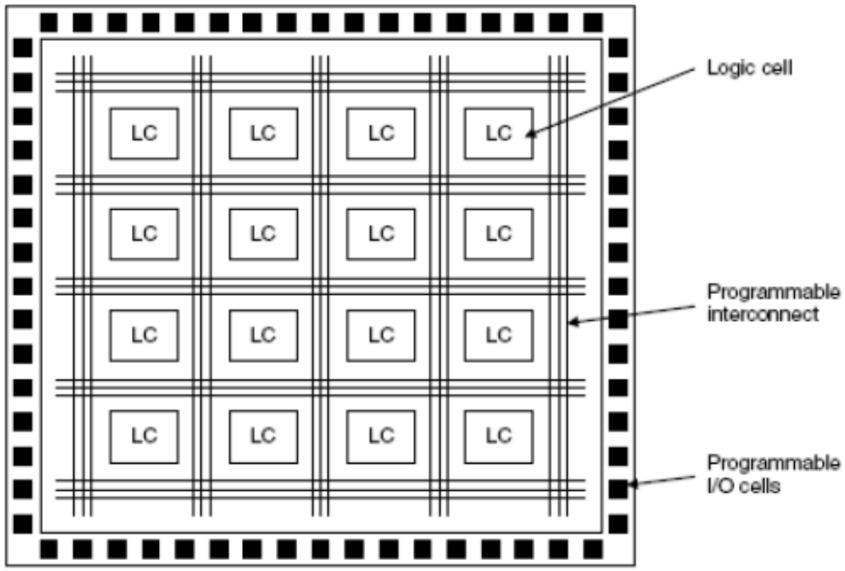


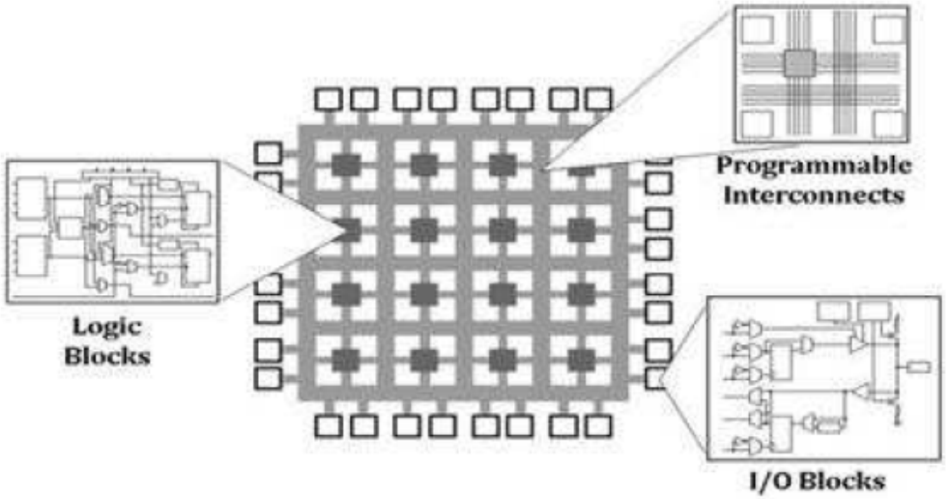

**Batcmutsky, A.(c)**

# Пример схемы восьмибитового сумматора на ПЛИС CLPD со сложной логикой



# Архитектура аппаратных средств ПЛИС FPGA




FPGA-устройство состоит из программируемых логических ячеек **LC (logical cell)** или логических блоков **LB (logic blocks),** которые связаны между собой программно реконфигурируемыми соединениями. Каждая такая ячейка/блок предназначены для программирования некоторой функции или ее части, однако может быть использован для других целей, например, в качестве памяти.

С помощью соответствующей комбинации входных и выходных значений можно имитировать действие логической схемы. При этом логика работы ячейки/блока и состояние входов–выходов может быть задано программным образом.

# Основные понятия микросхемотехники

***Подложка*** – заготовка из диэлектрического материала в виде кремния, предназначенная для нанесения на неё элементов микросхем, межэлементных или межкомпонентных соединений, а также контактных площадок. При изготовлении ИС будущая полупроводниковая структура последовательно формируется на поверхности кристалла кремния в 15–25 слоях из поликремния, металла, диэлектрика.

***Кристалл*** – часть полупроводниковой пластины, в объёме и на поверхности которой сформированы элементы полупроводниковой микросхемы, межэлементные соединения и контактные площадки.

***Полупроводниковая пластина*** – заготовка из полупроводникового материала, предназначенная для изготовления полупроводниковых интегральных микросхем.

# Этапы производства интегральных микросхем

1) физический этап – определяет базовую технологию изготовления ИС, в т.ч. материал и способ изготовления;

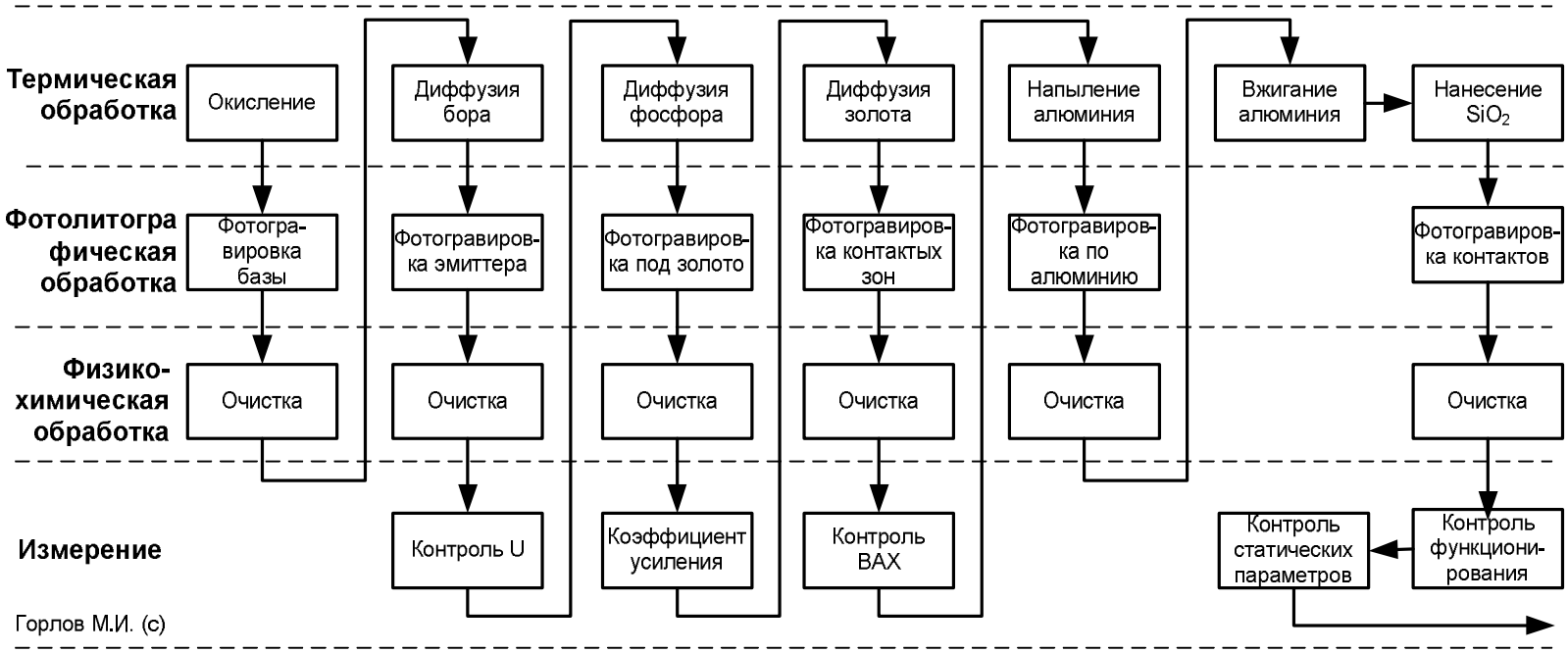
2) схемотехнический этап – осуществляется разработка логической и принципиальной электрической схемы будущей ИС (МПр);

3) топологический этап – проектирование размещения конкретных компонентов или приборов в объеме кремниевой подложки с учётом оптимизации связей и цепей как внутри каждого слоя так и между слоями;

4) программный этап (для МПр) – включает разработку программного обеспечения, реализующей требуемые вычислительные и логические функции;

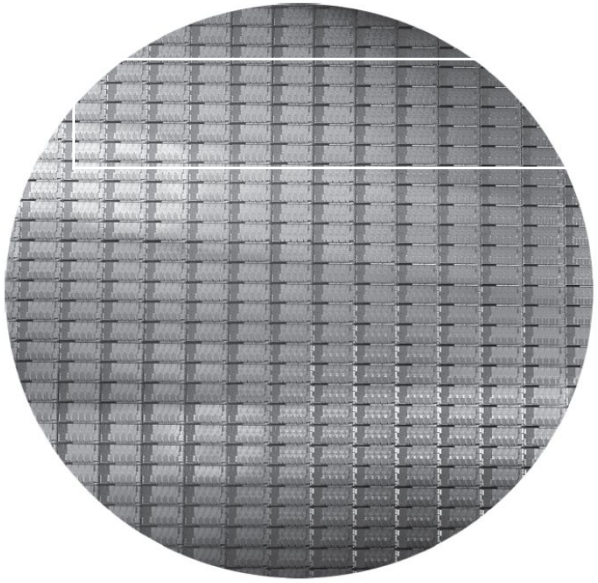
5) конструктивный этап – исполнение микросхемы (чипа) в корпусе, определение количества, типа и назначения внешних проводников для операций ввода/вывода данных.

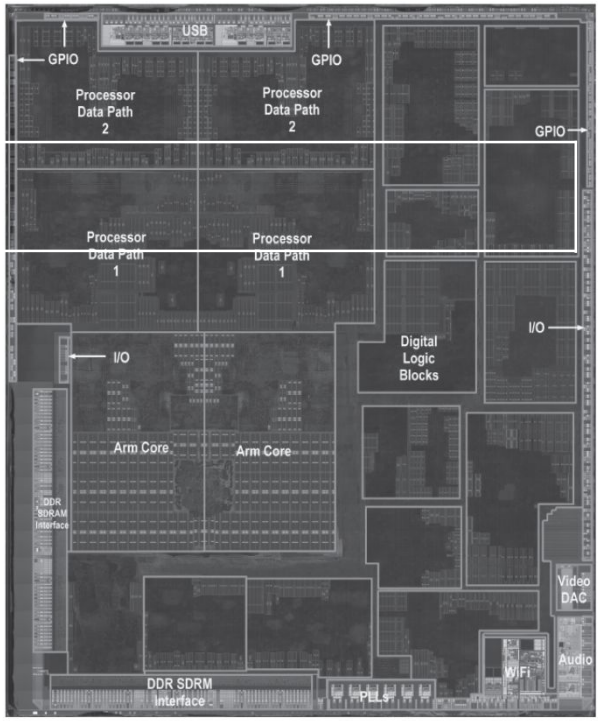
# Последовательность изготовления ИС на пластине кремния с диэлекрической изоляцией




Технологический процесс изготовления ИС также принадлежит к непрерывно-дискретному, так как состоит из двух самостоятельных непрерывно-дискретных процессов изготовления полупроводниковых кристаллов со структурой ИС и их сборки. Изготовление структуры на кристалле включает непрерывные и дискретные процессы химической обработки пластины, процессы диффузии, литографии, напыления алюминия, разделения пластин на кристаллы. Каждый из этих процессов включает ряд технологических и

# Изготовление микропроцессора

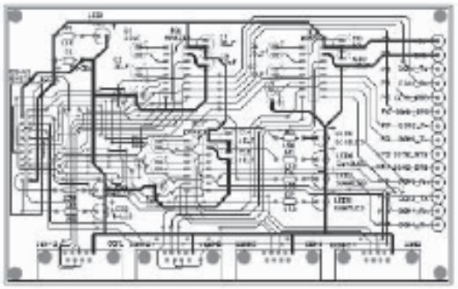




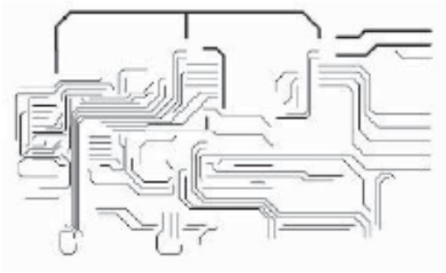

Слева - пример пластины диаметром 300 мм (12 дюймов) с 280 готовыми чипами для процессоров Intel iCore 7, каждый размером 20,7 на 10,5 мм по 32 нм технологии. Процент годных МПр в лучшем случае составит 85% от общего числа на пластине.

Справа - фотография бескорпусной микросхемы процессора A5 с выведенными контактами в виде «системы на кристалле» размером 12,1 на 10,1 мм и изготовленной по 45 нн топологической норме.

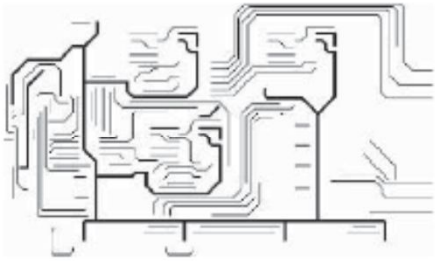
# Монтаж интегральных схем и слои печатной платы



All layers

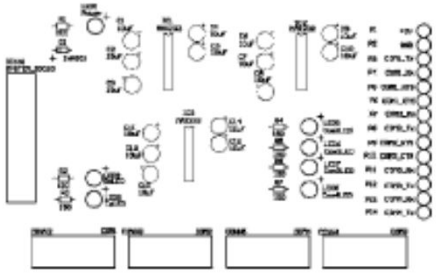


Top metal layer tracks

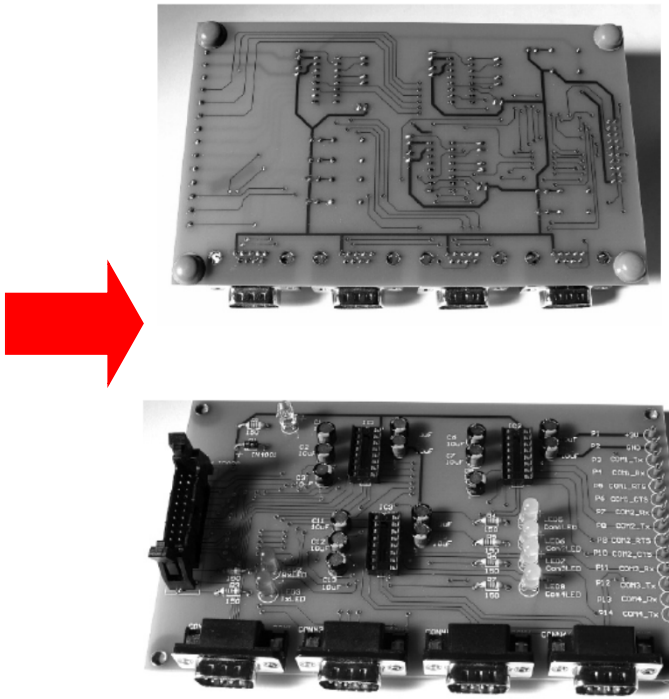


Bottom metal layer tracks

Pads–top and bottom metal layers

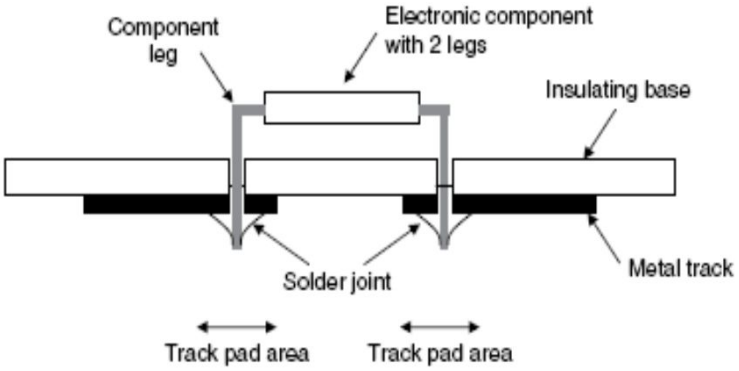


Top overlay layer

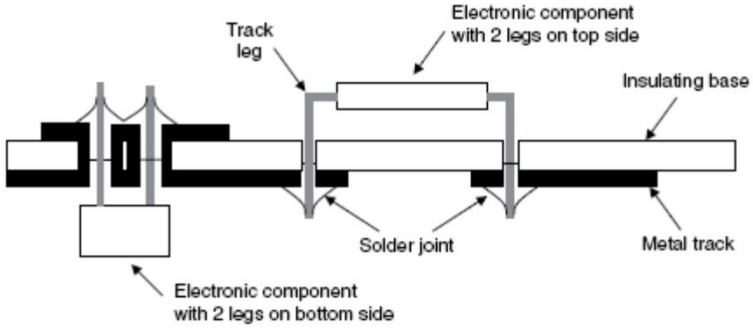


**Grout, I., 2008 (c)**

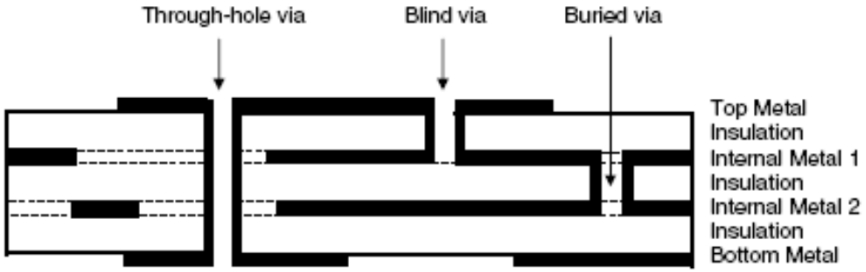
# Способы монтажа интегральных схем на печатной плате




**Односторонняя плата**




**Двухсторонняя плата**




**Многослойная плата**

**Grout, I., 2008 (c)**

# Выводы по лекции 1

1. Глобальная информационная инфраструктура обеспечивает каждому гражданину доступ к глобальным информационным ресурсам. Для этого применяются средства связи, в состав которых входят аппаратные средства.

2. Аппаратные средства телекоммуникационных систем производятся в виде стандартных или заказных (ASIC) интегральных схем. Оба этих решения предусматривают применение ПЛИС.

3. Процесс изготовления интегральных схем для аппаратных средств телекоммуникация является сложным и длительным процессом, включающим 5 этапов и более 250 видов технологических операций.

ФГОБУ ВПО
«Поволжский государственный университет
телекоммуникаций и информатики»

# Лекция 2.
# Аппаратные средства микропроцессоров в составе телекоммуникационных систем

Лектор :

с.н.с. кафедры АЭС ПГУТИ,

к.т.н. Гребешков А.Ю.

Самара
2017 год

кафедра
автоматической электросвязи

# Основные понятия и определения

***Микропроцессор, МПр*** – цифровое вычислительное устройство обработки данных, функционирующее на основе загружаемой программы для электронно-вычислительных машин, ЭВМ. Конструктивно микропроцессор выполняется в виде одной или нескольких интегральных микросхем.

***Вычислительная машина*** – совокупность технических средств, создающая возможность проведения обработки информации и получения результата в необходимой форме.

# Основные понятия и определения (2)

***Архитектура микропроцессора*** – описание способа организации и взаимодействия частей (компонентов) процессора, обусловленный характеристиками этих компонент, принципами их проектирования, связи и развития. Архитектура включает описание логических (программных), функциональных и физических компонент организации МПр в процессе обработки данных.

***Регистр МПр*** – совокупность последовательно расположенных ячеек с возможностью одновременного чтения/записи/хранения данных во все ячейки или в часть ячеек. Разрядность (количество ячеек) регистра составляет 8,16,32,64,128.

# Операции, исполняемые аппаратными средствами микропроцессора

***Арифметические операции*** – это сложение, вычитание, умножение, деление, выполняемые в соответствии с правилами арифметики.

***Логические поразрядные операции*** – это логические сложение, умножение, равнозначность, отрицание равнозначности — сравнение, выполняемые в соответствии с правилами алгебры логики.

***Операции управления*** – передача управления, организация циклов, обращение к внешним устройствам, пересылка данных, прерывание основной программы, изменение режима работы устройств (пуск, останов, чтение, запись).

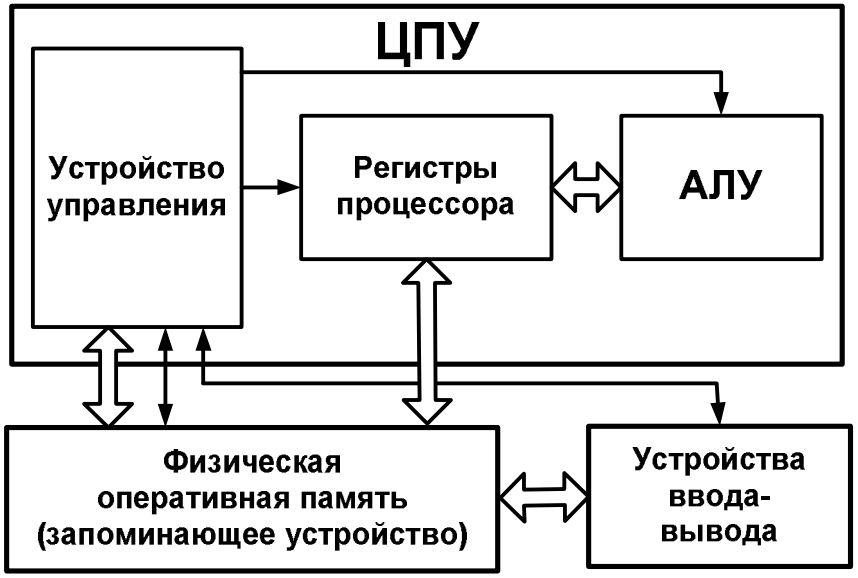
# Принципы фон Неймана

***Принцип программного управления*** – программа для ЭВМ, которую обрабатывает ЦПУ, состоит из последовательности машинных команд, выбираемых из памяти с помощью счётчика команд. ***Счётчик*** – регистр, значение которого либо автоматически увеличивается на единицу, либо его состояние меняется принудительно при выполнении команд условного или безусловного перехода.

***Принцип однородности памяти*** – программы и данные хранятся в одной и той же памяти. Над кодами команд можно выполнять те же действия, что и над кодами данных.

***Принцип адресности*** – основная физическая память процессора состоит из пронумерованных ячеек; процессору в произвольный момент времени доступна любая ячейка. Возможно давать имена областям для обращения к хранящимся в них данным. Каждая команда загружаемой в микропроцессор программы для ЭВМ хранится в ячейке физической памяти с уникальным адресом.

# Состав и структура вычислительной машины по фон Нейману




**Центральное процессорное устройство ЦПУ (CPU)** – выполняет вычислительные операции, которые непосредственно выполняются арифметико-логическим устройством, АЛУ, входящим в состав ЦПУ. АЛУ обрабатывает данные на уровне схемной логики.

***Устройство управления*** – преобразует машинные команды, загруженные в процессор из физической памяти, далее – в (микрокоманды) и наконец – в функциональные/физические сигналы управления отдельными компонентами процессора – логическими схемами.

***Устройства ввода–вывода данных*** — передача данных от внешнего, по отношению к ЦПУ, источника информации в физическую оперативную память или передача данных от ЦПУ в физическую оперативную память и далее к внешним запоминающим устройствам или к внешней аппаратуре.

# Схема последовательности исполнения операций МПр

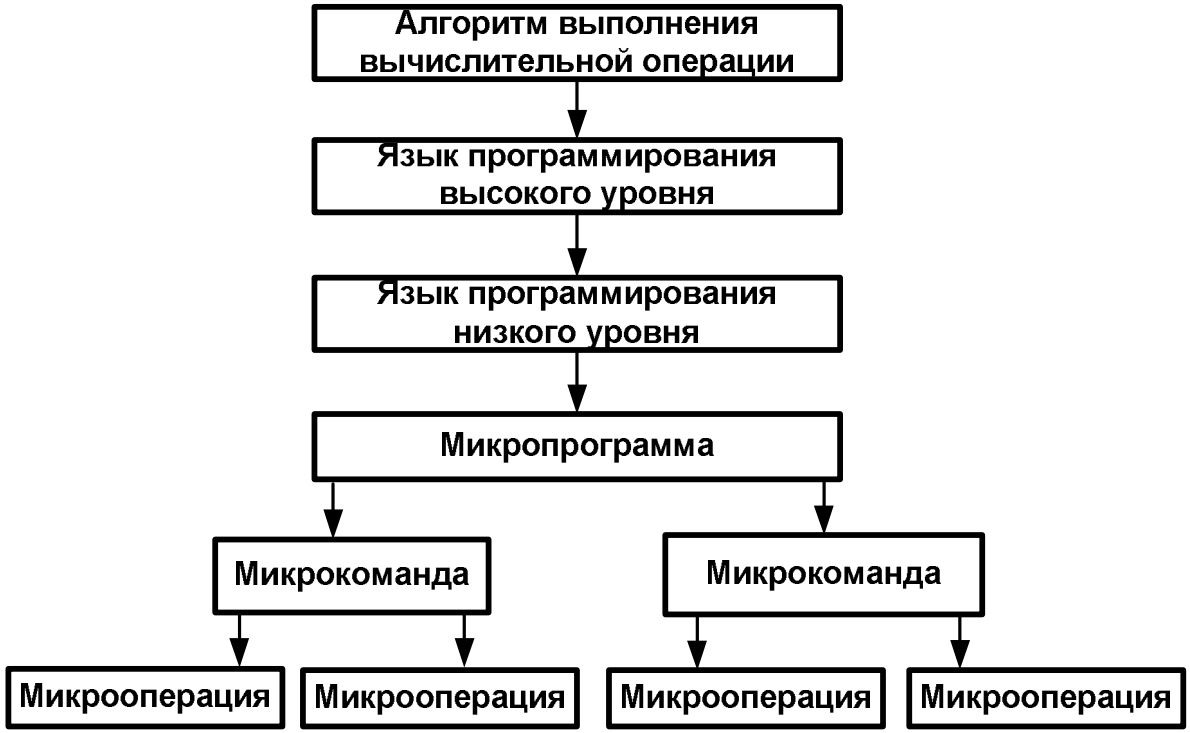



Схема соответствует ***микропрограммному управлению***, также именуемому управлением с хранимой/гибкой логикой управления.

Если последовательность исполнения операций задаётся набором микросхем, вырабатывающих определенные функциональнее сигналы для выполнения микроопераций, то это ***управление с жёсткой логикой.***

# Исполнение машинных команд микропроцессором (1)

Машинная команда исполняется в составе ***микропрограммы*** –последовательности микрокоманд, соответствующая исполнению машинной команды для осуществления требуемой операции обработки данных.

***Микрокоманда (инструкция МПр)*** – это команда управления логическими схемами МПр для обеспечения выполнение микрооперации. Можно выделить следующие микрокоманды: выборка команды из памяти или регистра, расшифровка полей команды, выборка (чтение) необходимых операндов, выполнение команды, сохранение результатов в регистр или в память.

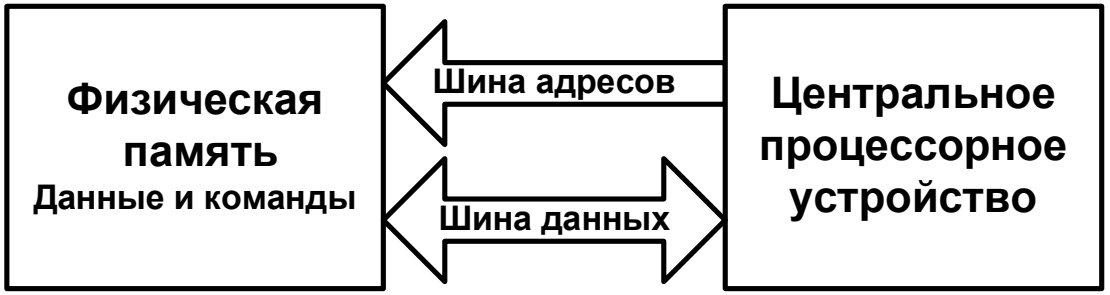
# Исполнение машинных команд микропроцессором (2)

Выполнение микрокоманд разбивается на ***микрооперации*** – это элементарное действие по обработке или передаче данных. например считывание содержимого регистра, сдвиг содержимого регистра на один разряд влево или вправо, запись суммы данных в регистр результата, установка регистра или счетчика в требуемое исходное состояние.

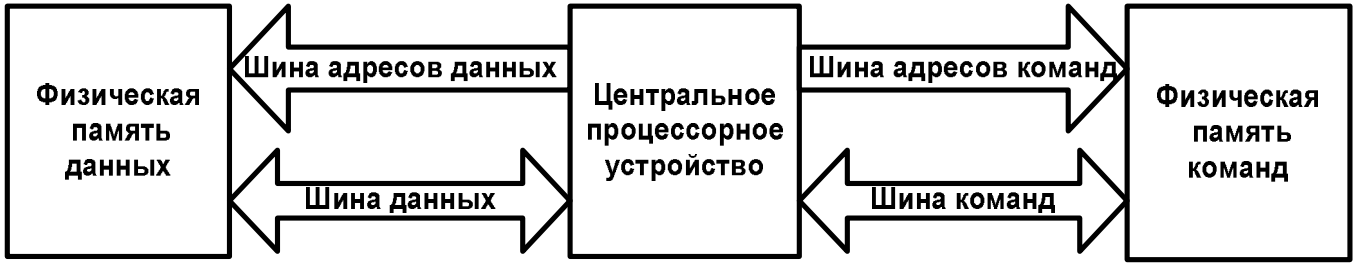
## Порядок работы устройства при микропрограммном управлении

1. **Выборка/чтение микрокоманды** из оперативной памяти или регистра.
2. **Интерпретация команды** с целью анализа формата, служебных признаков и вычисления адреса данных для обработки.
3. **Установление перечня и временной последовательности** всех функциональных управляющих сигналов.
4. **Генерация управляющих импульсов/сигналов** и передача их на управляющие шины функциональных частей МПр и логические элементы между ними.
5. **Анализ результата операции** и изменение своего состояния так, чтобы определить месторасположение (адрес) следующей команды.

# Архитектура процессор - память

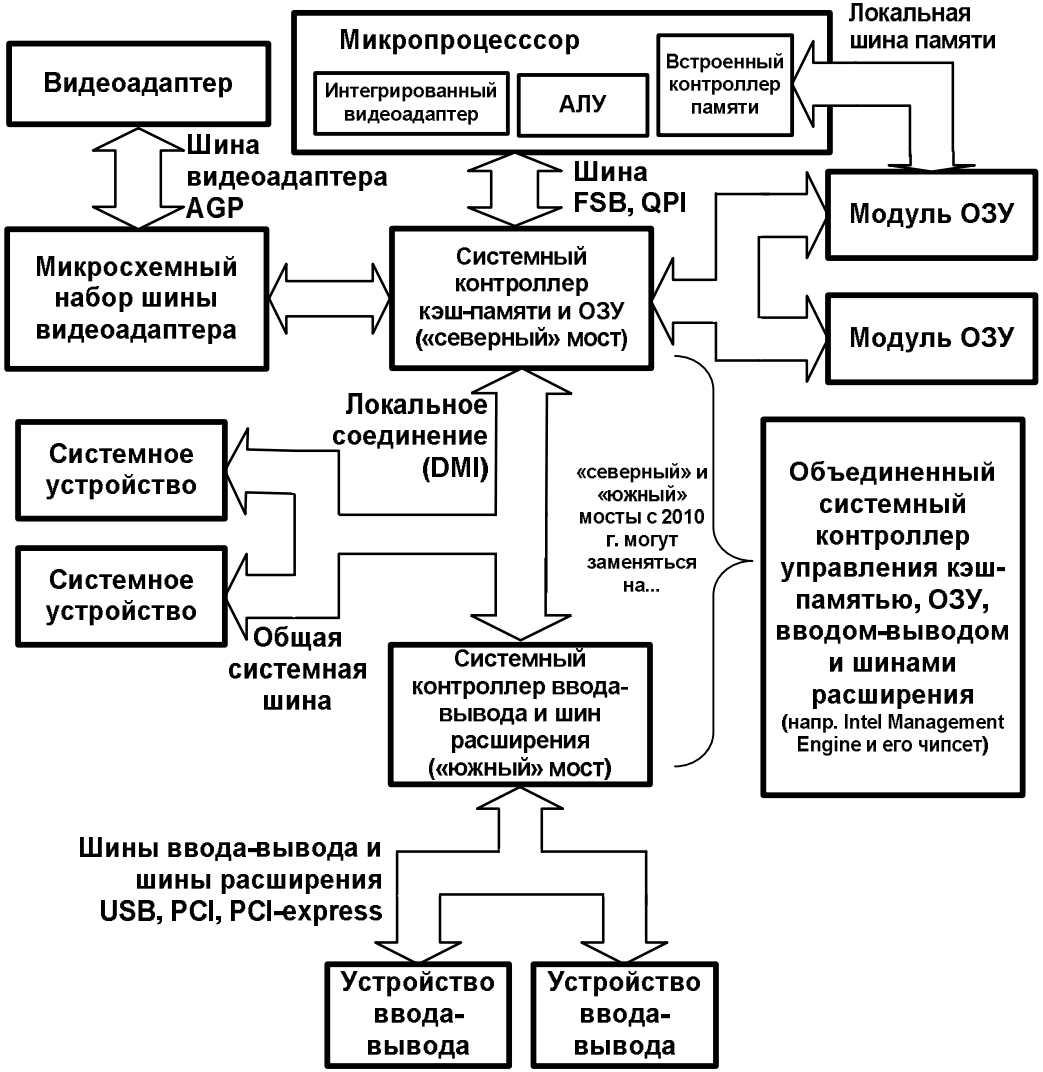



Архитектура фон Неймана (принстонская)




Гарвардская архитектура

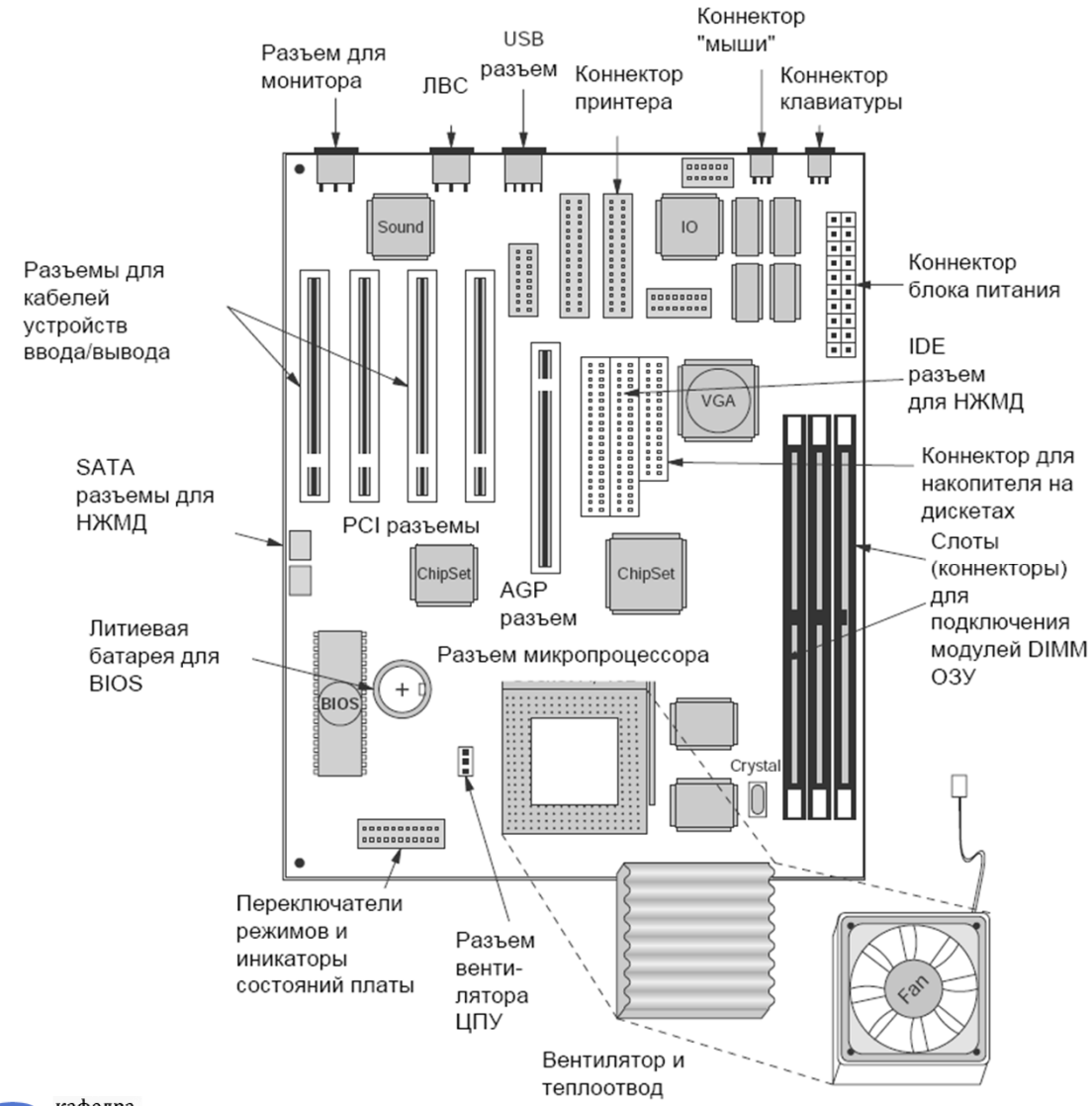
# Шины современной ЭВМ




В современных МПр общая системная шина заменяется на участке между контроллерами внутренним локальным соединением, например высокоскоростным соединение DMI между «северным» и «южным» мостом.

Одновременно «мосты» приобретают функции концентраторов (hub) для высокоскоростных подключений, что позволяет осуществлять высокоскоростную передачу информации между компонентами вычислительной машины без промежуточных преобразований и переприемов.

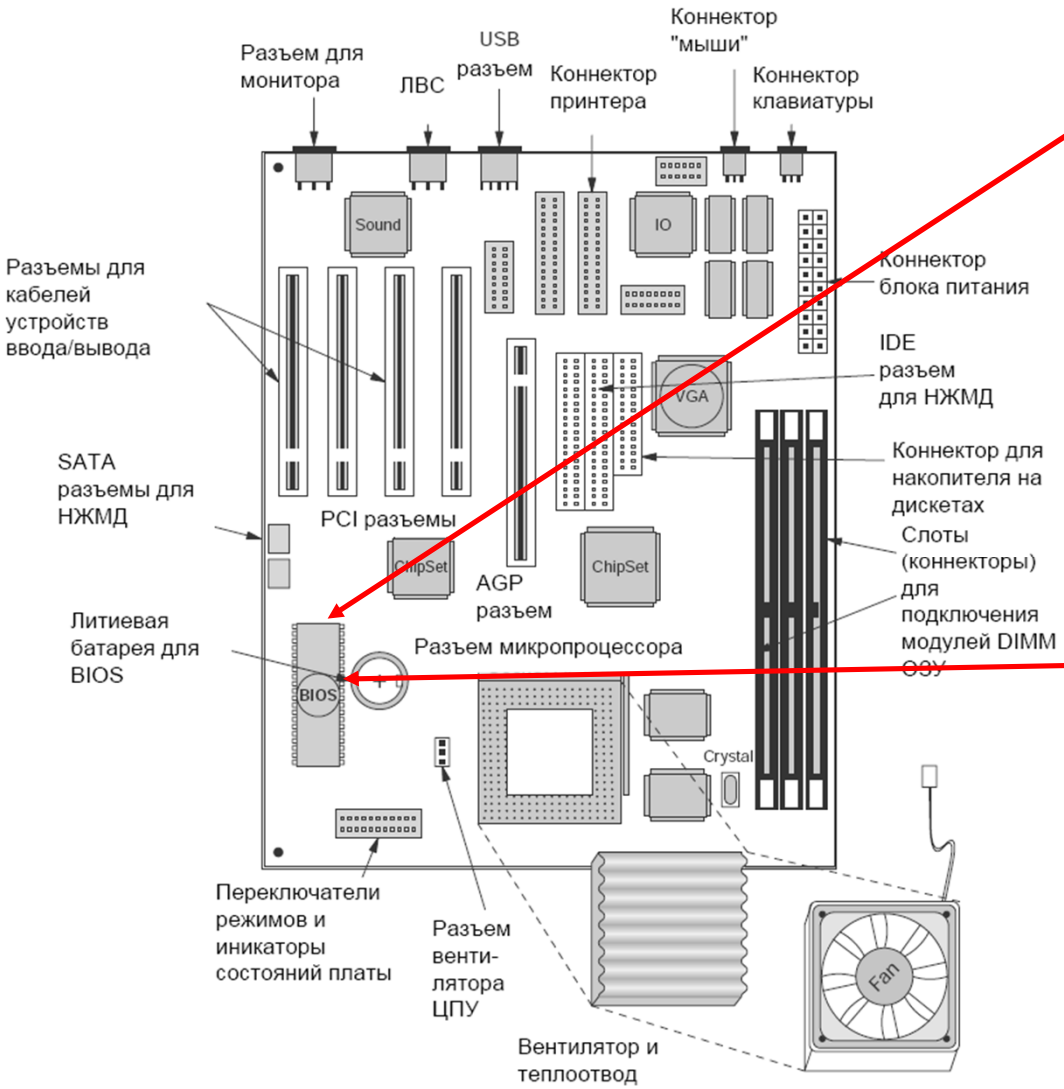
# Расположение компонент вычислительной машины на системной плате (1)




***Материнская или системная плата*** (system board) – печатная плата, которая осуществляет обмен данными и командами от одного устройства к другому.

На материнской (системной) плате осуществляется физическая установка (монтаж) аппаратного обеспечения сервера – микропроцессор, микросхемы оперативной памяти, контроллеры дисков и других внешних устройств, видеоадаптеры.

# Расположение компонент вычислительной машины на системной плате(2)

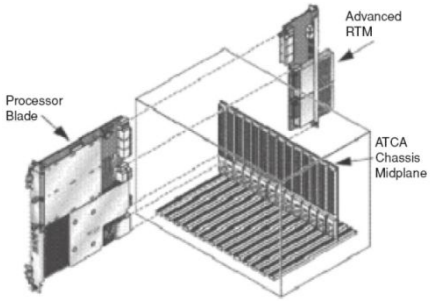



**Постоянное запоминающее устройство (ПЗУ)** с базовой системой ввода-вывода (BIOS, Basic Input Output System) т.е. набор программ, обеспечивающий основные операции взаимодействия всех подсистем компьютера – видеокарты, процессора, памяти, диска и т.д.

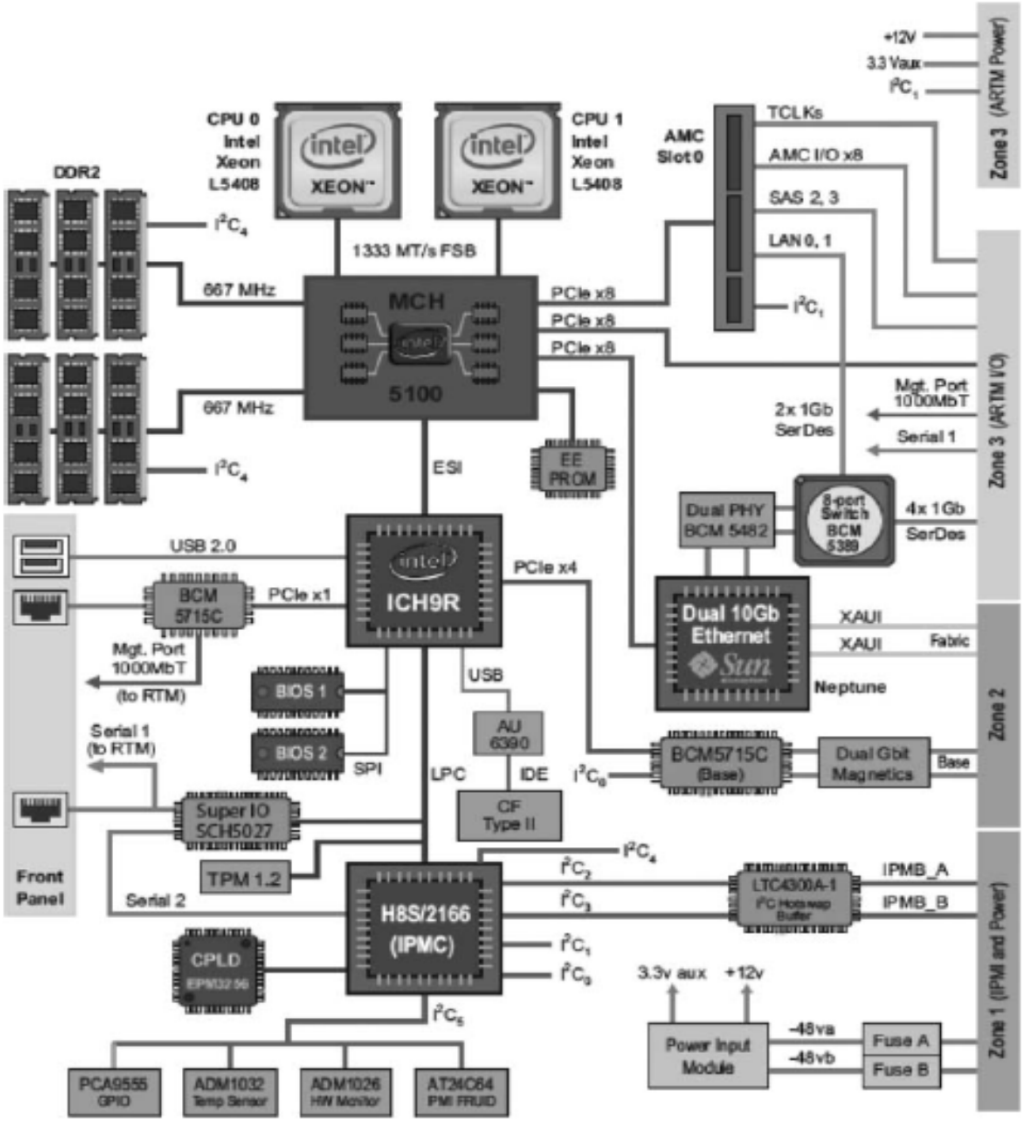
**BIOS проводит определение компонент ЭВМ**, тестирует их работоспособность до запуска операционной системы, а затем обеспечивает загрузку операционной системы.

# Системная плата blade-сервера и компоновка

Общий вид blade-сервера




Компоновка blade-сервера




Компоновка системной платы (blade)

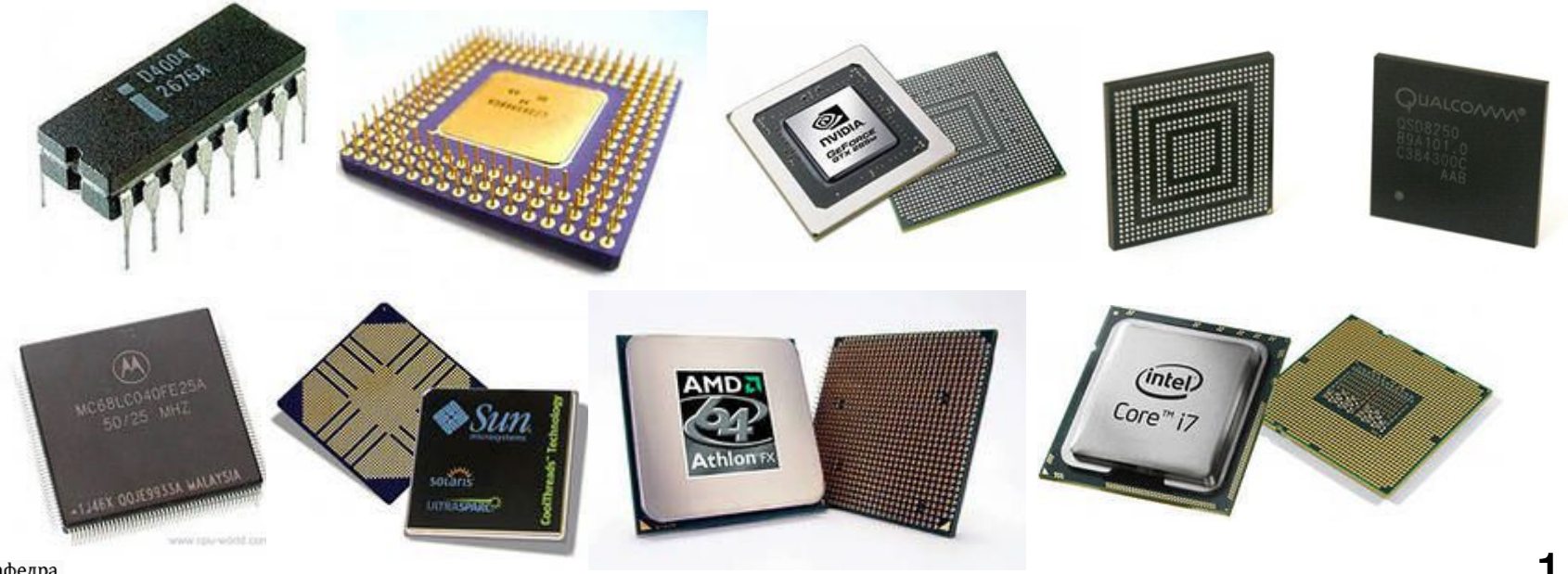
# Общий вид современного микропроцессора

Микропроцессоры выпускаются в специальных корпусах.

**DIP (Dual Inline Package)** — корпус с двумя рядами контактов, представляет собой прямоугольный корпус с расположенными на длинных сторонах контактами.

**QFP (Quad Flat Package)** – плоский корпус с четырьмя рядами контактов

**SPGA (Staggered Pin Grid Array)** – корпус с матрицей штырьковых выводов,
**LGA (Land Grid Array)** – представляет собой корпус, в котором штырьковые контакты заменены на контактные площадки.



# Характеристики микропроцессоров (1)

***Тактовая частота (clock rate)*** – частота синхронизирующих работу МПр «тактовых» импульсов, которые задаются генератором тактовой частоты. Эти импульсы регулируют выполнение циклов выборки и исполнения команд. Измеряется тактовая частота в герцах, Гц и производных от этой единицы кило–($10^3$), мега–($10^6$) и гигагерцах($10^9$).

***Производительность МПр (performance)*** – характеристика МПр, которая выражается в количестве элементарных операций, выполняемых в одну секунду и обозначаемая операций/секунду, оп/с. Различают производительность для обработки данных с фиксированной точкой (целые числа) и производительность для обработки данных с плавающей точкой (повышенная точность вычислений).

# Характеристики микропроцессоров (2)

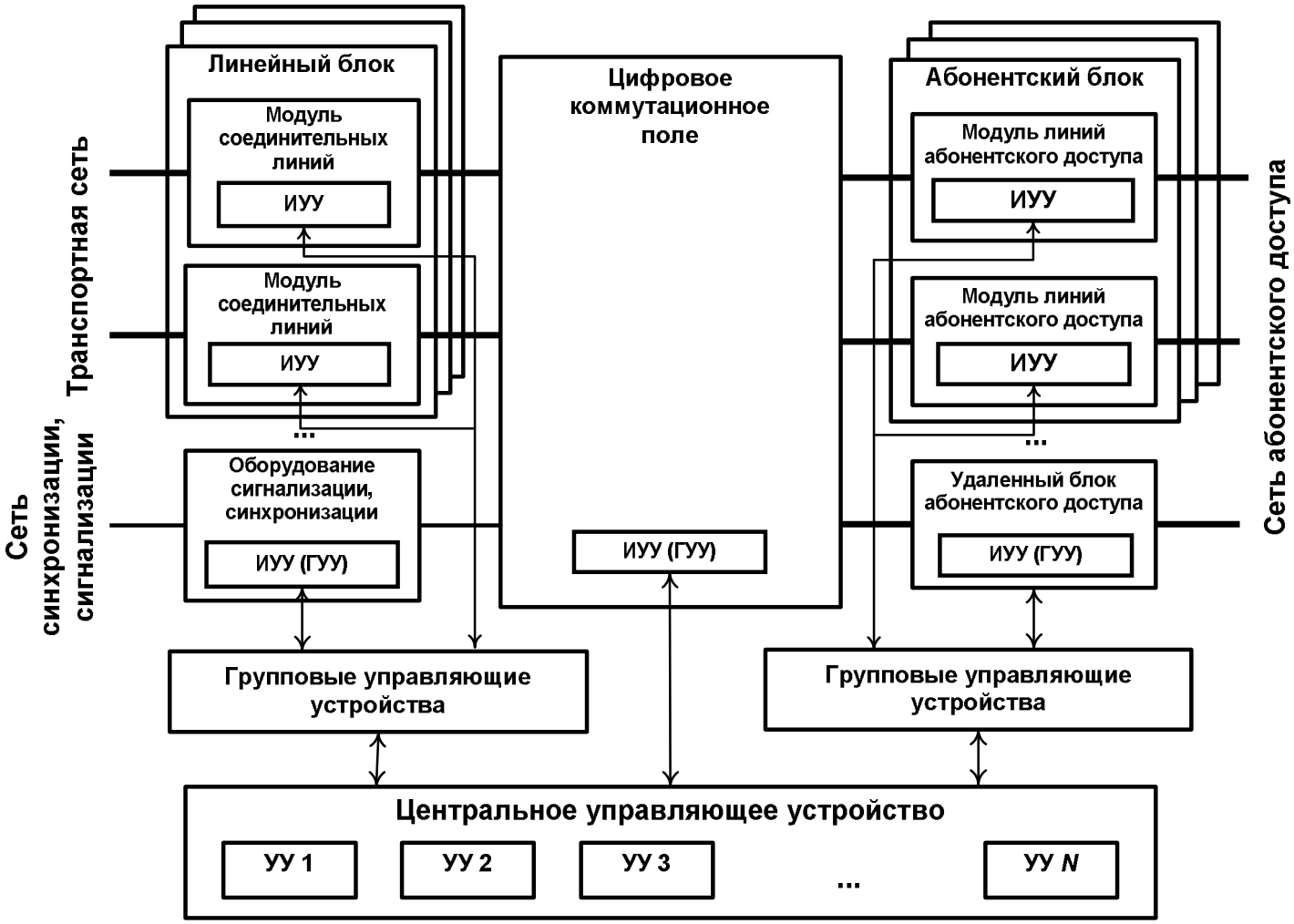
***Разрядность*** т.е. количество бит информации, которое ЦПУ может обработать с помощью одной команды за 1 такт. Разрядность микропроцессора определяется разрядностью арифметико-логического устройства, внутренних регистров данных и шины данных. На сегодняшний день существуют 8-, 16-, 24-, 32- и 64-разрядные микропроцессоры.

# Управляющий комплекс и управляющее устройство коммуникационного узла

***Управляющий комплекс, УК*** коммуникационного узла – совокупность управляющих устройств, предназначенных для целенаправленного воздействия на аппаратуру коммуникационного узла с целью обработки вызовов с заданным качеством, реализации автоматизированных функций технической эксплуатации, управления и учёта трафика.

***Управляющее устройство, УУ*** – функционально и конструктивно законченное изделие, вырабатывающее на основе поступающей информации последовательность функциональных сигналов управления или программных команд управления для целенаправленного воздействия на оборудование коммуникационного узла.

# Функциональная блок-схема коммуникационного узла



# Индивидуальные управляющие устройства

ИУУ предназначены для управления отдельным модулем или блоком. Выполняют ограниченный набор функций:

- отслеживание момента изменения состояния линии или канала/тракта для определения момента занятия, разъединения, поступления новой информации;
- обмен данными по управлению с ГУУ и/или ЦУУ;
- запуск и приём результатов стандартных тестов технического состояния линий, каналов и трактов;
- мультиплексирование и демультиплексирование;
- мониторинг оборудования, самотестирование и самопроверка.

# Групповые управляющие устройства

ГУУ предназначены для управления несколькими функциональными блоками, осуществляют координацию и взаимодействие с другими ГУУ для чего выполняют следующие функции:

- поддержка процедур сетевых и коммуникационных протоколов (запрос–ответ, разбиение и сборка пакетов, анализ заголовков и цифр набора номера);
- поддержка систем сигнализации;
- анализ ошибок приёма-передачи;
- управление и контроль ИУУ;
- взаимодействие с другими ГУУ при занятии свободных путей/трактов между заданными блоками для установления соединения или сеанса связи.

# Центральные управляющие устройства

ЦУУ включает в себя комплекс управляющих устройств (УУ). Выполняют наиболее сложные, «интеллектуальные», функции управления:

- маршрутизация сообщений и пакетов,
- техническое обслуживание и эксплуатация,
- администрирование доступом абонентом или пользователей,
- управление данными о трафике,
- управление процессами ввода-вывода с внешних устройств
- управление обменом с персоналом по эксплуатации.

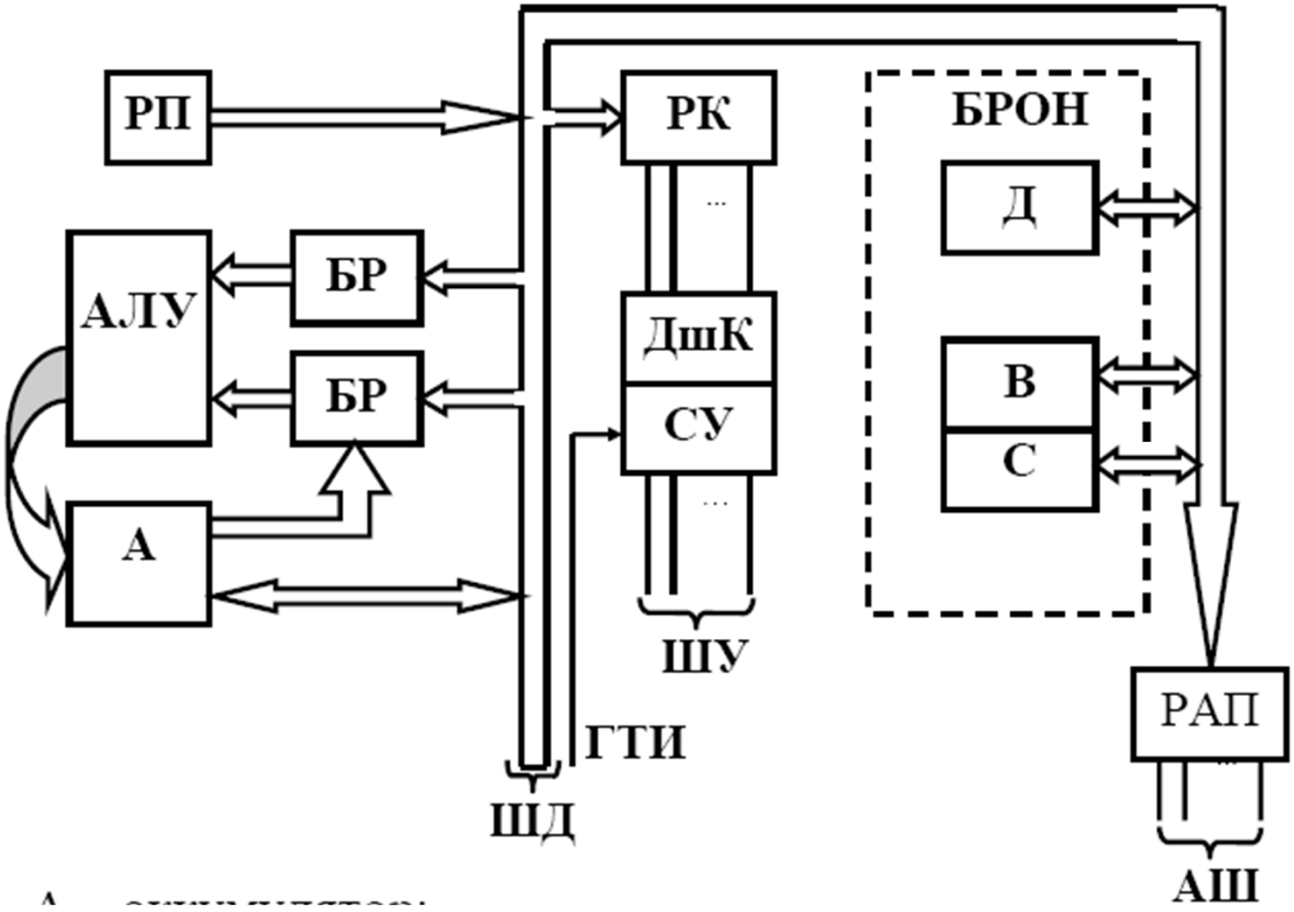
# Функциональная иерархия процессоров коммуникационного узла

**1 группа** – МПр универсальные (МПр общего назначения). Предназначены для выполнения большинства вычислительных операций с фиксирующей и плавающей точкой.

**2 группа** – МПр специальные, например процессоры цифровой обработки сигналов, сетевые процессоры). Предназначены для цифровой обработки сигналов акустических, т.е. речевых, радиосигналов, поддержки функции маршрутизации.

# Обобщенный алгоритм работы микропроцессора

# Простейшая функциональная схема микропроцессора




На примере К580/Z80

# Назначение функциональных блоков схемы микропроцессора - 1

**АЛУ** выполняет функции обработки данных и оперирует одним или двумя словами – операндами.

**БР** – регистры временного хранения данных, обеспечивают временное хранение данных после обработки АЛУ.

**Аккумулятор** – главный регистр МПр при обработки данных , его разрядность м.б. равна двойной разрядности МПр. Хранит результат операции АЛУ а также используется при пересылке данных, например в ОЗУ или из входного порта.

**РП** – регистр признаков, в котором в процессе выполнения команды появляются признаки результата, используемые в командах перехода

**Внутренняя шина данных (информационная шина)** – многопроводная магистраль с разрядностью = разрядности внешней шины данных ШД. Может работать в режиме двунаправленной передачи.

# Назначение функциональных блоков схемы микропроцессора - 2

**ШУ** – двунаправленная шина, содержит 6…10 разрядов, передаёт управляющие сигналы: начальная установка «Сброс» для начала исполнения программ, чтение по ШД, запись на ШД, «Готов» – окончание цикла Зп/Чт, запросы на прерывание от внешних устройств к МПр и сигналы разрешения прерывания от МПр; «Захват» МПр когда МПр отключается от ША и ШД.

**РК** – регистр команд. В него записывается код команды и хранится весь период выполнения команды.

**СчК** – содержит адрес выполняемой команды и следующей команды для выполнения.

**РАП** – подключен к адресной шине, содержит адреса ЯП или адреса портов ввода-вывода. Разрядность = разрядности СчК.

**СУ** – схема управления, преобразует внешние тактовые импульсы во внутренние синхросигналы МПр. Также управляет последовательностью включения питания, управляет процессами прерываний, принимает решения об использовании компонентами МПр внутренней шины данных.

# Отечественные микропроцессоры

**Эльбрус-4С**
0.8 ГГц, 4 Я
3*DDR3-1600
50 Gflops sp
45 Вт
65 nm

2 года

4-5x

**Эльбрус-8С**
1.3 ГГц, 8 Я
4*DDR3-1600
250 Gflops sp
~60…90 Вт
28 nm

3 года

2x+

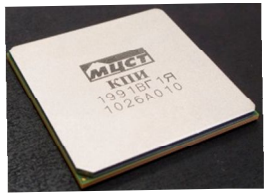
**Эльбрус-8СВ**
1.5 ГГц, 8 Я
4*DDR4-2400
580 Gflops sp
~60…90 Вт
28 nm

3 года

2x+

**Эльбрус-16С**
2.0 ГГц, 16 Я
4*DDR4-3200
1500 Gflops sp
~90…110 Вт
16 nm

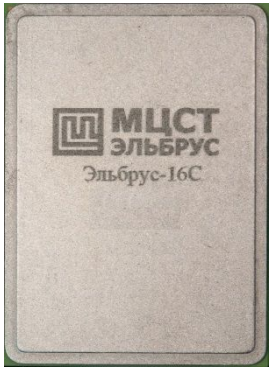
**2013**




**2015**

**2018**

**2021**




**Контроллеры периферийных интерфейсов КПИ-1 и КПИ-2**

**Контроллеры периферийных интерфейсов встроены в МП**

# Отечественные микропроцессор Эльбрус 8СВ

- Госконтракт с Минпромторгом РФ.
- Сроки завершения: 2018 г.
- стадия разработки – готовность к первому tapeout в 2017
- Характеристики МП:
- ✓ производительность - до 580 / 290 Gflops (sp / dp);
- ✓ количество ядер – 8;
- ✓ тактовая частота – 1,5 ГГц;
- ✓ ОЗУ – DDR4-2400, четыре канала (до 76,8 ГБ/с)
- ✓ канал ввода-вывода: 16 Гбайт/с (дуплекс), использует КПИ-2 для связи с внешними устройствами
- ✓ до 4 микропроцессоров с общей памятью
- ✓ потребляемая мощность ~75 Вт;
- ✓ технология – 28 нм;
- ✓ количество транзисторов > 3 млрд;
- ✓ Площадь 332 кв. мм

(с)Волконский, В. ЗАО «МЦСТ»

# Отечественные микропроцессор Эльбрус 16С

**Основные особенности:**

- вся система на одном кристалле, включая контроллеры периферийных устройств
- поддержка виртуализации, в том числе в кодах Intel x86-64
- масштабируемая векторизация
- аппаратная поддержка динамической оптимизации (рост производительности ядра)

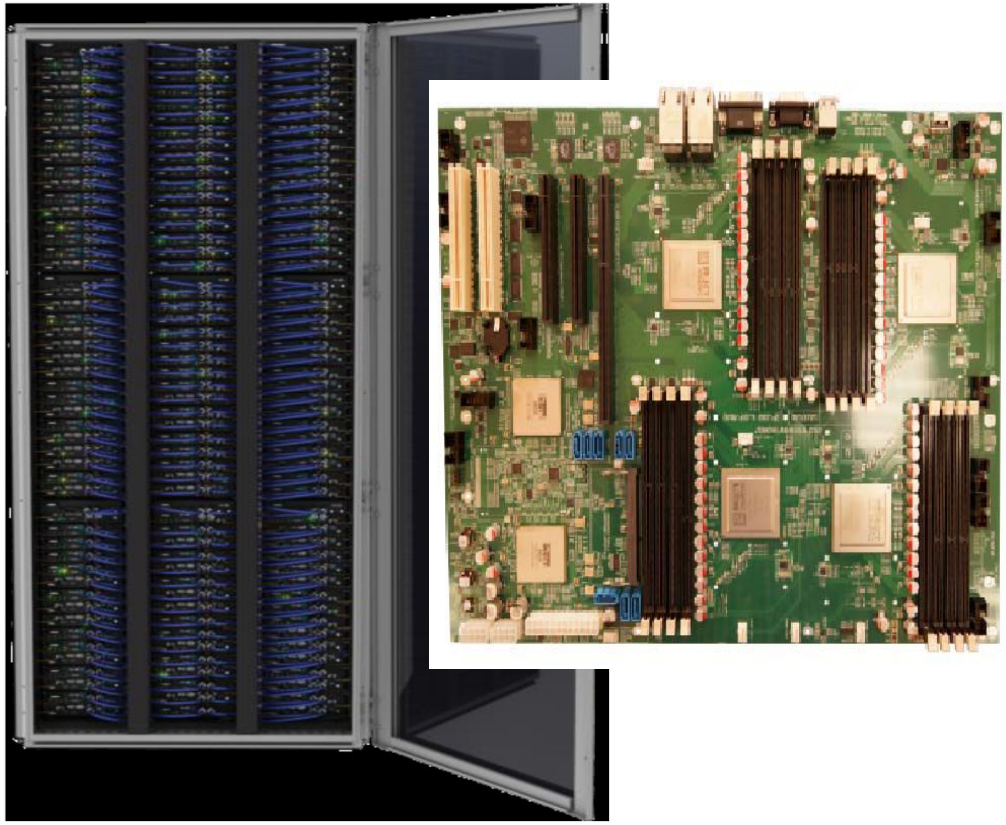
**Характеристики МПр:**

- ✓ производительность - до 1500 / 750 Gflops (sp/dp);
- ✓ количество ядер – 16;
- ✓ тактовая частота – 2 ГГц;
- ✓ Кэш-память (L2 + L3) – 40 Гбайт
- ✓ ОЗУ – DDR4, четыре канала (до 102 ГБ/с)
- ✓ Система на кристалле включает: PCIe 3.0, 1/10 Gb Ethernet, SATA 3.0, USB 3.0
- ✓ до 4 микропроцессоров с общей памятью
- ✓ до 48 ГБ/с межпроцессорный обмен
- ✓ потребляемая мощность ~90 Вт;
- ✓ технология – 16 нм;
- ✓ количество транзисторов ~ 6 млрд;
- ✓ Площадь ~400 кв. мм

**Сроки завершения ОКР: 2021 г., продукция – с 2022 г.**

(с)Волконский, В. ЗАО «МЦСТ»

# Решение «РСК-торнадо»



(с)Волконский, В. ЗАО «МЦСТ»

**Масштабируемая серверная система с водяным охлаждением на Э8С / Э16С**

- **Производительность, Тфлопс – 200+ / 1200+**
- **Объем памяти, Тбайт – 100+ DDR3 / 400+ DDR4**
- **Межузловые связи – Infiniband | СМПО / СМПО**
- **Мощность шкафа, кВт – 200 / 300**

# Выводы по лекции 2

1. Микропроцессоры являются основой для построения управляющих устройств современных коммуникационных узлов и средств связи.

2. Микропроцессоры с точки зрения «процессор-память» имеют две базовые архитектуры – архитектуру фон Неймана и Гарвардскую архитектуру. Архитектура фон Неймана носит более универсальный характер применения; Гарвардская архитектура – более специализирована.

3. В составе типового микропроцессора имеются различные средства обработки данных: арифметико-логическое устройство, регистры различного назначения, внутренние шины данных и адресов, счётчик команд, регистры.

4. Микропроцессоры выполняют единый алгоритм обработки данных. Последовательность выполняемых команд определяется загружаемой в процессор программой, которая транслирована в машинные коды.

ФГБОУ ВО
Поволжский государственный университет
телекоммуникаций и информатики

# Лекция 3.
# Аппаратные средства запоминающих устройств телекоммуникационных систем

Лектор :

доцент кафедры АЭС ПГУТИ,

к.т.н. Гребешков А.Ю.

Самара
2017 год

кафедра
автоматической электросвязи

# Основные понятия и определения

***Логический элемент ЭВМ*** – это часть электронной схемы, которая реализует элементарную логическую функцию, описывающую работу устройств компьютера.

***Запоминающее устройство (ЗУ)*** – совокупность аппаратных средств, предназначенных для хранения информации с возможностью записи или считывания.

***Ячейка памяти –*** группа последовательных бит памяти, содержащая информацию, доступную для обработки отдельной командой процессора по одному адресу.

# Основные характеристики запоминающих устройств

***Разрядность (n)*** – обозначает число бит или ЗЭ, выделяемых одним абсолютным или физическим адресом. $n$ = 8, 16, 32, 64

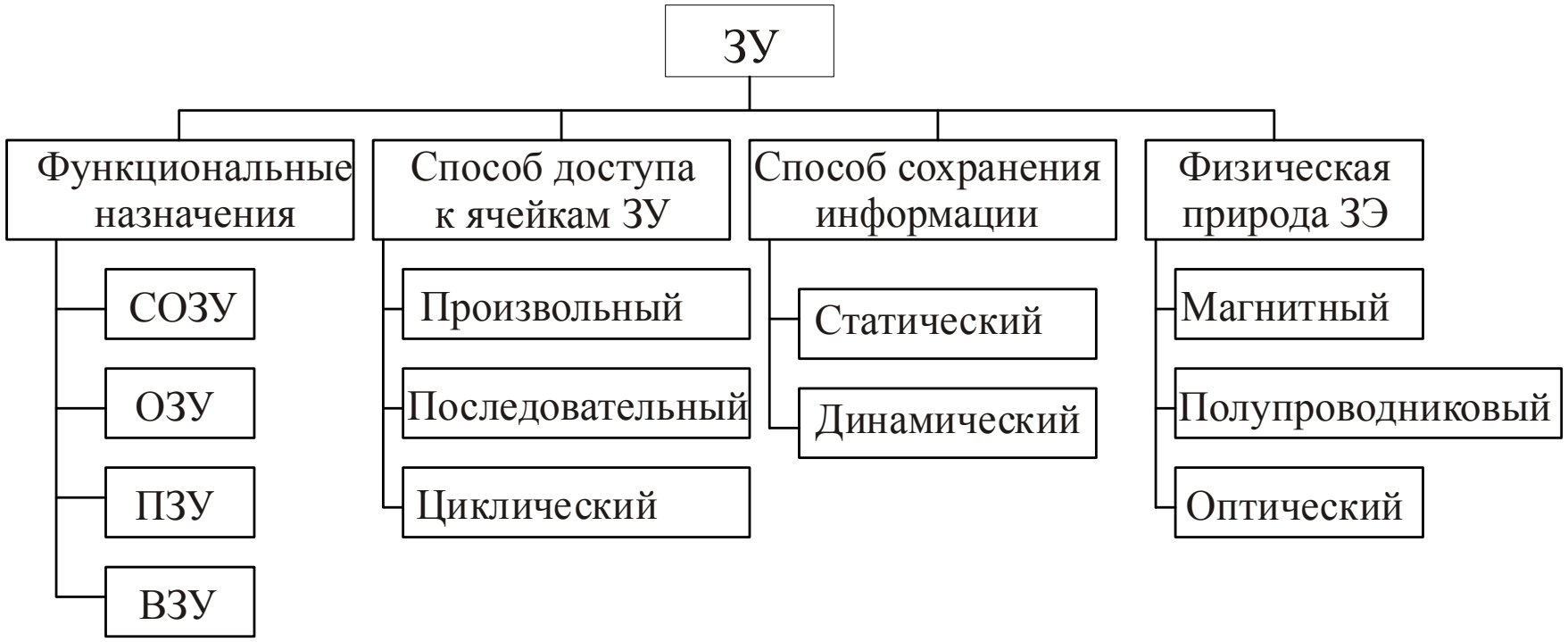
***Емкость ЗУ (E)*** – это предельное количество информации, размещаемая в ЗУ (бит, байт, слово, производные от этих единиц). Для DVD 4Гбайт…8Гбайт

***Быстродействие*** – это время необходимое для поиска, записи или считывания данных по заданному адресу ячейки ЗУ. Быстродействие может измеряться как время обращения к данным: $T_{ОБР} = T_{поиска} + T_{ЗП}$ или $T_{ОБР} = T_{поиска} + T_{СЧ}$

***Надежность ЗУ*** – это количество циклов записи/считывания информации, измеряется Nциклов ЗП/СЧ = $n \times 10^6$.

***Массогабаритные характеристики*** – зависит от вида устройства.

# Классификация запоминающих устройств



# Статическое и динамическое запоминающее устройство

***«Статический»*** означает, что содержимое ЗУ сохраняется при снижении напряжения электропитания микропроцессора до сколь угодно малых значений.

**«Динамический»** означает, что содержимое ЗУЭ не сохраняется даже при штатном напряжении электропитания микропроцессора (большие токи утечки).

## Реализация статического ЗУ

**SRAM, Static Random Access Memory** - в качестве элемента памяти используется RS–триггер. Для реализации ячейки SRAM используется 6...8 транзисторов. Позволяет достичь наименьшего времени доступа к данным 0,8 … 2 нс, но ячейка памяти занимает достаточно большую площадь на кристалле микропроцессора. Используется в кэш-памяти всех уровней.

**КМОП (CMOS)** - используется для хранения конфигурационной информации ЭВМ и системных часов с помощью небольшой батарейки, которая может служить несколько лет. Время доступа к информации на КМОП составляет 100 нс, поэтому такая память используется для хранения BIOS компьютера.

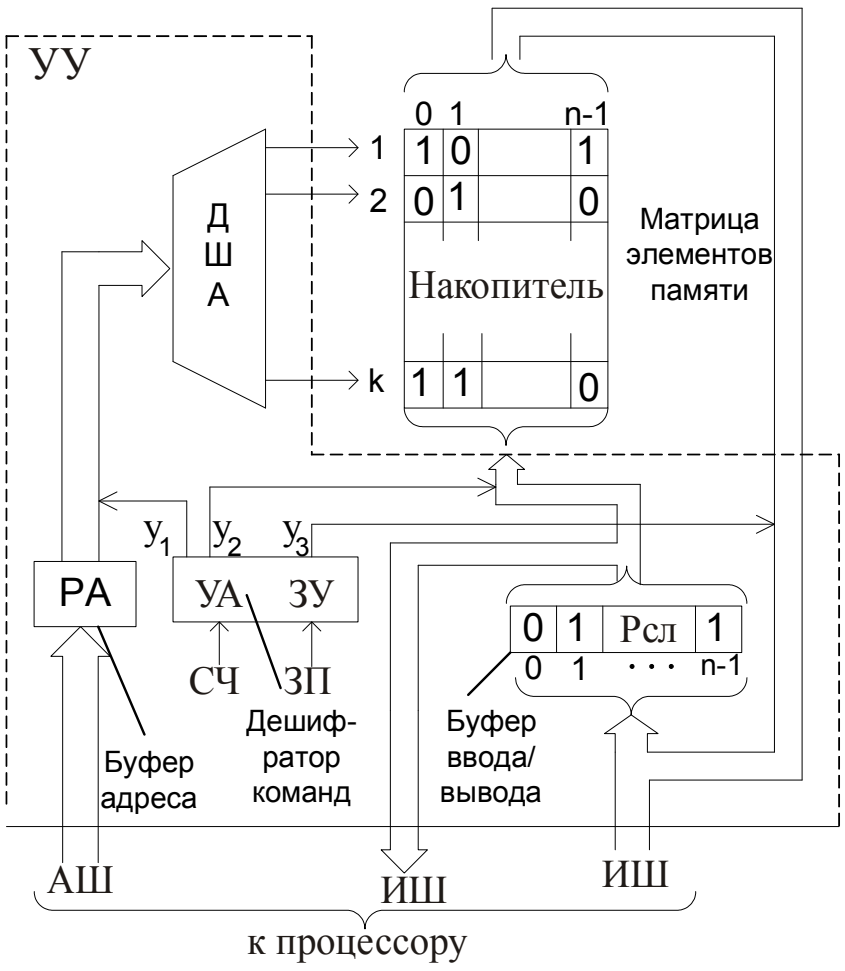
# Реализация динамического ЗУ

В динамической памяти для реализации ячейки памяти используется только один транзистор. При записи логической «1» в ячейку динамического ЗУ **DRAM** конденсатор заряжается, при записи «0» условный конденсатор разряжается. При отсутствии обращения к ЗУ за мс за счет высоких токов утечки, конденсатор разряжается и информация теряется.

Периодически заряд емкостей конденсаторов восстанавливаетсяс помощью сигнала ложной записи. Это процедура регенерации (*refresh*) динамической памяти и позволяет подзарядить ячейки ЗУ, сохранить их содержимое.

Время доступа к данным DRAM составляет 10…12 нс. Самая дешевая память с высоким быстродействием. Недостаток - сложности в управлении динамической памятью.

# Общая схема организации записи, ЗП или считывания информации, СЧ ЗУ




1. Из процессора по АШ поступает адрес накопителя, по которому производится запись или считывание данных.
2. При записи в регистр слова (Рсл) по ИШ поступают данные.
3. По ШУ в УА ЗУ поступает сигнал записи или считывания.
4. Формируются для записи сигналы $y_1+y_2$ (ЗП) для считывания сигналы $y_1+y_3$(СЧ)
5. СВА определяет абсолютный или физический адрес ячейки накопителя для записи/считывания данных (номер/адрес строки и номер/адрес столбца).
6. При записи данные, из Рсл передаются в требуемую ячейку накопителя; при считывании данные из ячейки накопителя переносятся в Рсл, при следующем такте данные из Рсл передаются на шину данных.

# Простейшая микросхема ЗУ и назначение ее выходов

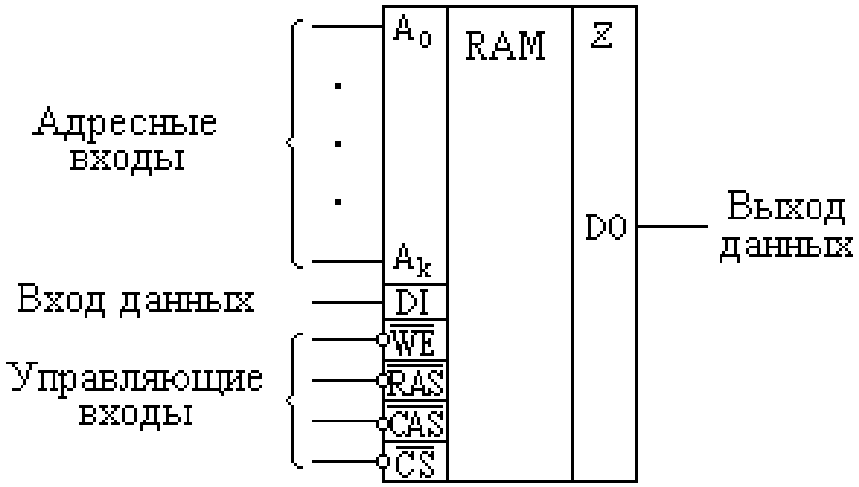



Рис. 9. Условное изображение ОЗУ на функциональных схемах

**Интуит (с)**

***RAS#*** **(*Row Address Strobe)*** – строб адреса строки) и ***CAS#*** **(*Column Address Strobe***– строб адреса столбца или колонки. Сигналы на этих входах переводятся в активное состояние, напр. в «0» в тот момент, когда на адресных входах установлен адрес строки или адрес столбца соответственно.

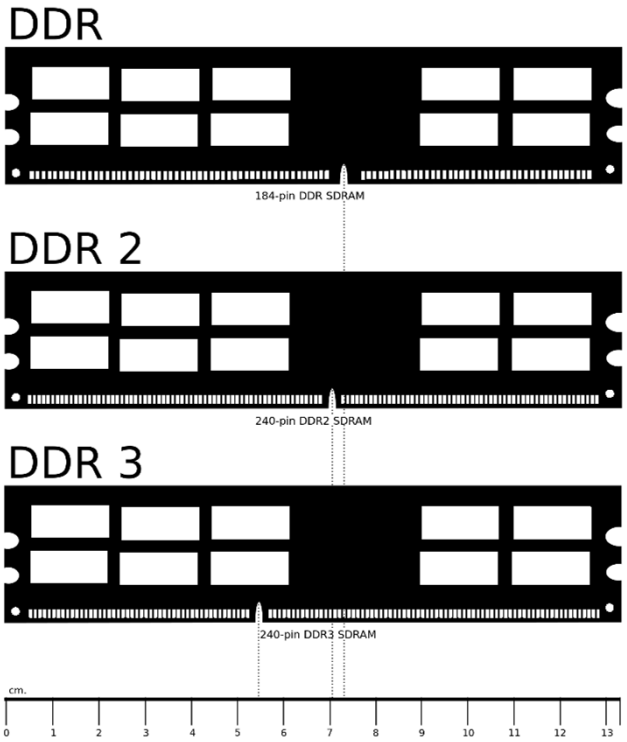
***WE#*** **(*Write Enable)*** – разрешение записи, инверсный вход (что обозначает символ #), т.е. режим записи включается при нулевом значении сигнала на данном входе, а при единице на входе производится чтение.

***DI (Data Input)*** – разрядность информационной шины равно разрядности хранимых слов в памяти.

Количество выходов данных ***DO (Data Output)*** равно разрядности хранимых слов

***CLK*** *(Clock)* – синхросигнал по фронту которого производятся все переключения в микросхеме

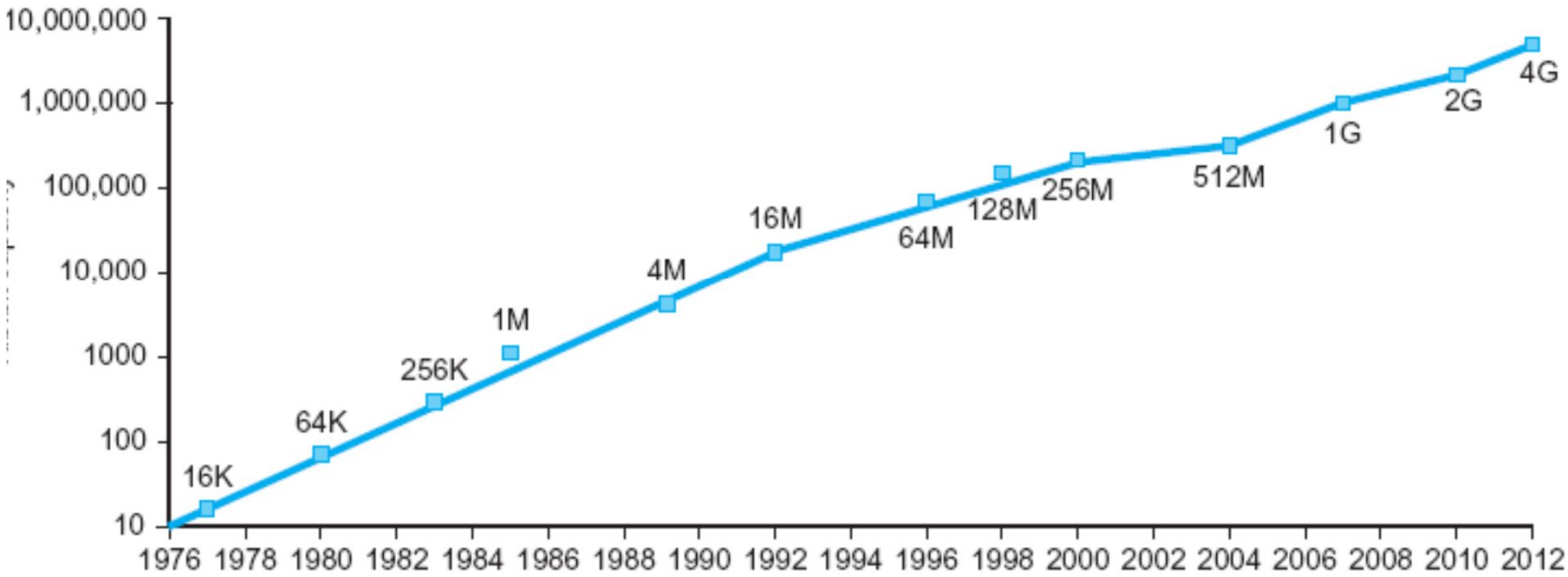
# Набор команд, выполняемый типовой микросхемой ЗУ DDR



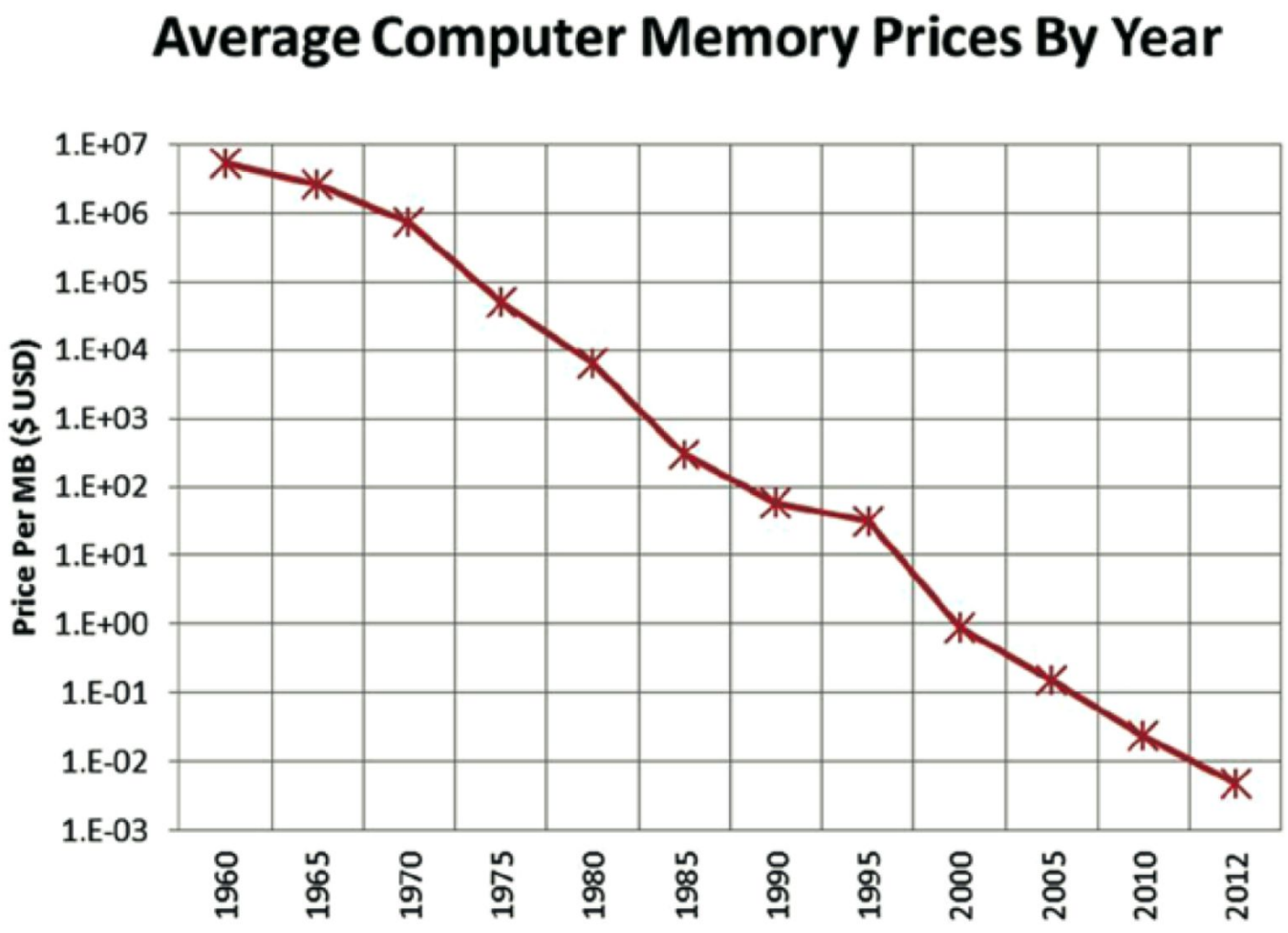

**Форм-фактор модулей DDR оперативной памяти**

1. авторегенерация (CBR)
2. вход в режим саморегенерации
3. выход из режима саморегенерации
4. подзаряд одного банка
5. подзаряд всех банков
6. активация банка
7. запись
8. запись с автоподзарядом
9. чтение
10. чтение с автоподзарядом
11. завершение пакета
12. нет операции
13. снятие выборки устройства
14. вход в режим приостановки синхронизации
15. выход из режима приостановки синхронизации
16. запись/включение выхода
17. маска/выключение выхода
18. вход в режим пониженного энергопотребления
19. выход из режима пониженного энергопотребления.

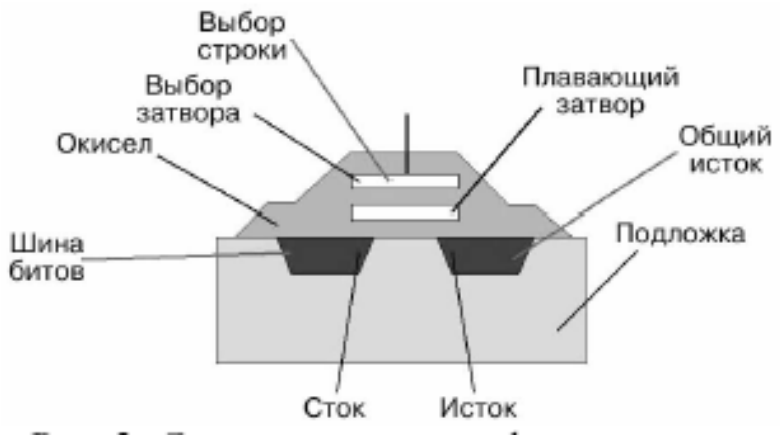
# Увеличение емкости микросхем памяти ОЗУ по годам



# Уменьшение стоимости микросхем ОЗУ компьютеров по годам



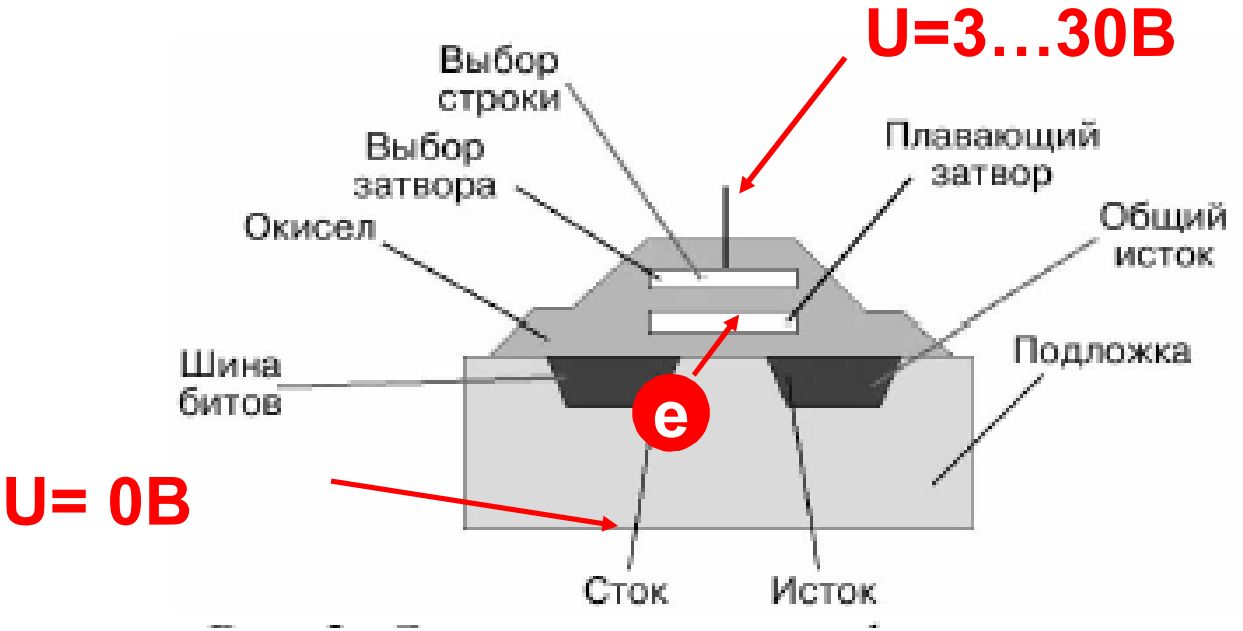
# Электрически стираемое постоянное перепрограммируемое ЗУ




Ячейка ЗУ флэш-памяти состоит из одного униполярного (полевого) транзистора. В специальной электрически изолированной области находятся два затвора — управляющий, осуществляющий выбор строки матрицы ЗУ и плавающий затвор. На подложке расположены исток и сток. Слой диоксида, отделяющий сток от плавающего затвора, имеет малую толщину, около 10 нм.

**Наличие или отсутствие заряда на плавающем затворе** определяет характер информации, хранящейся в ячейке ЗУ, т.е. плавающий затвор является программируемым элементом.

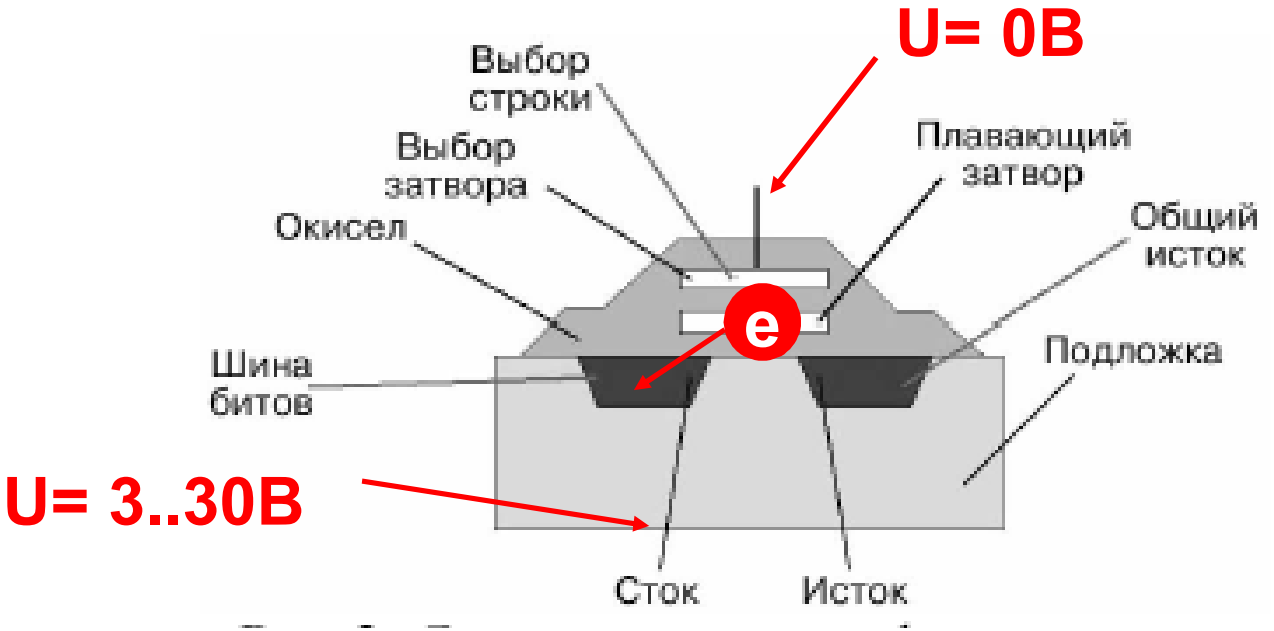
# Запись «1» в ЭСППЗУ




На узел «Выбор затвора» подают положительное напряжения, превышающего критическое значение (около 3…30 В).

Если на плавающий затвор надо ввести заряд (соответствует логической «1»), то на стоке устанавливается нулевое напряжение. Происходит туннелирование электронов на плавающий затвор.

# Стирание «1» из ЭСППЗУ




Для стирания требуется удалить заряд на плавающем затворе.

Для этого на «Выбор затвора» подают нулевое напряжение, а на сток – высокое напряжение. В результате электроны совершают переход из плавающего затвора на сток.

# Организация кэш-памяти

## Кэш-память микропроцессора

| | | | | | | |
|---|---|---|---|---|---|---|
| Адресный тэг | Бит V | Бит D | Слово данных3 | Слово данных2 | Слово данных1 | Слово данных0 |
| Адресный тэг | Бит V | Бит D | Слово данных3 | Слово данных2 | Слово данных1 | Слово данных0 |
| Адресный тэг | Бит V | Бит D | Слово данных3 | Слово данных2 | Слово данных1 | Слово данных0 |
| ⋮ | | | | | | |
| Адресный тэг | Бит V | Бит D | Слово данных3 | Слово данных2 | Слово данных1 | Слово данных0 |

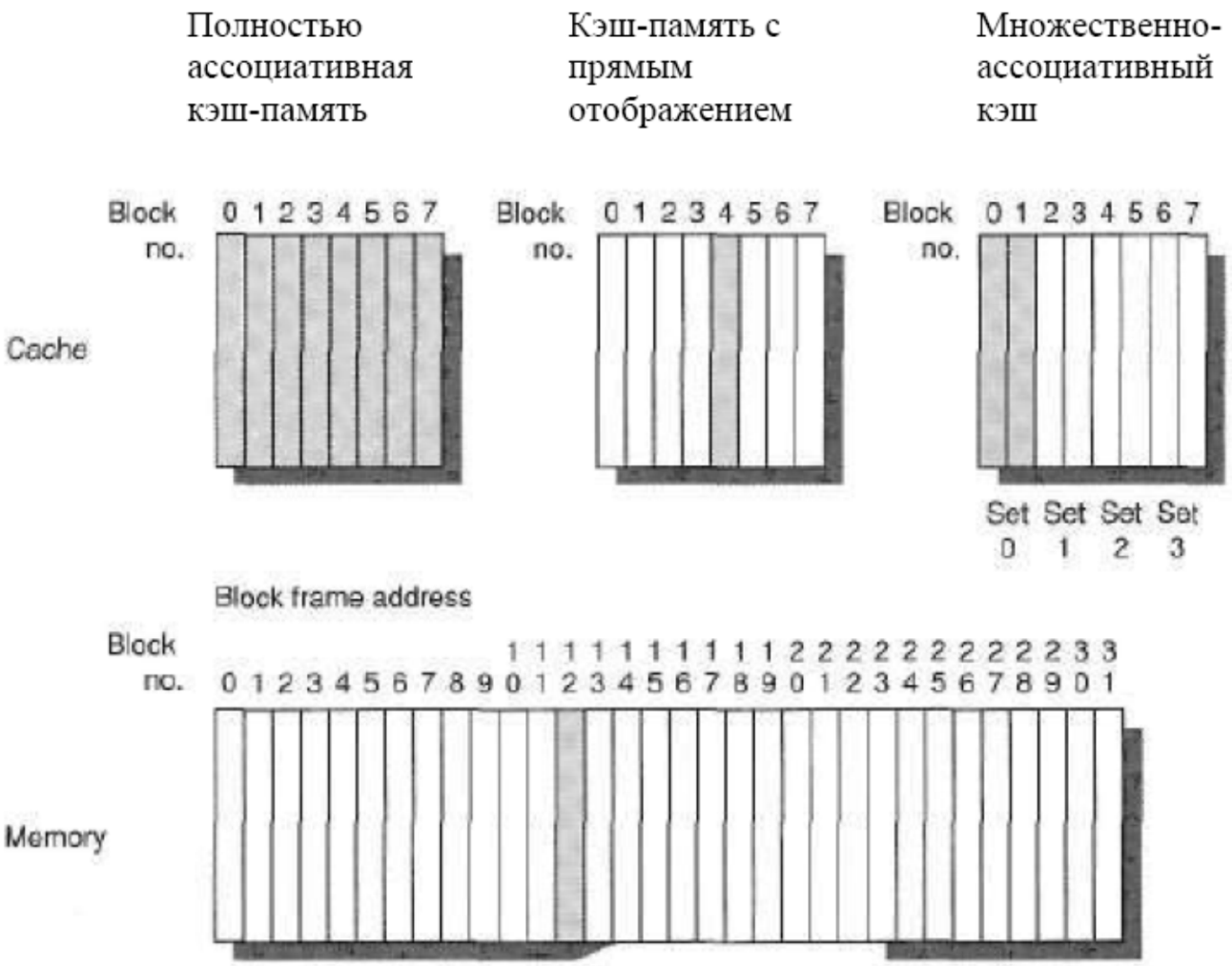
*Линия (блок, строка) кэш-памяти микропроцессора*

# Два типа кэш-памяти

***Кэш-память с запоминанием*** новой информации одновременно в кэше и оперативной памяти (сквозное запоминание) - в оперативной памяти всегда есть последняя копия информации, хранящейся в кэше.
В этом случае продолжительный цикл доступа к данным в ОЗУ снижает общую производительность вычислительной системы.

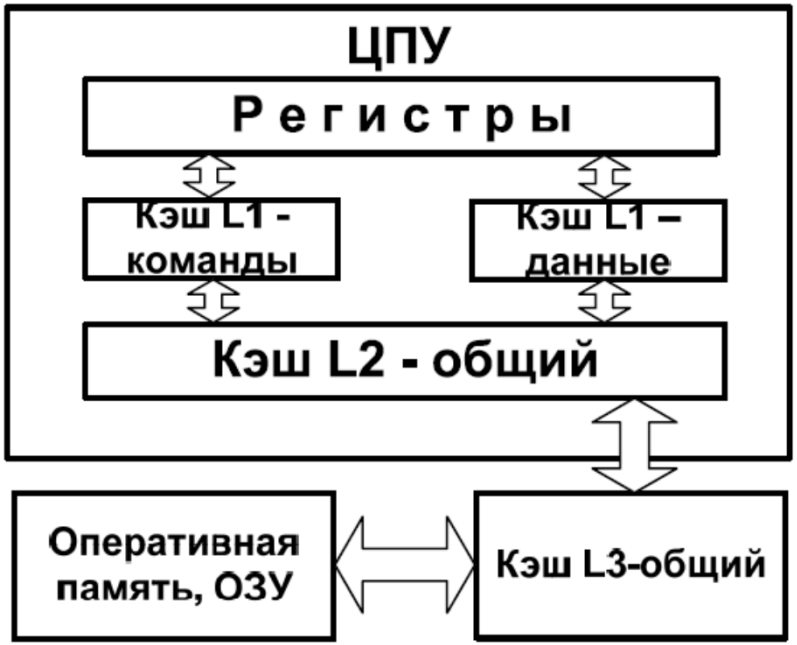
***Кэш-память с вытеснением –*** запоминание результатов обработки данных МПр производится только в кэш-памяти. Эти результаты копируются в оперативную память только при передаче во внешние устройства или при вытеснении информации из кэша при загрузке новых данных и(или) программ.

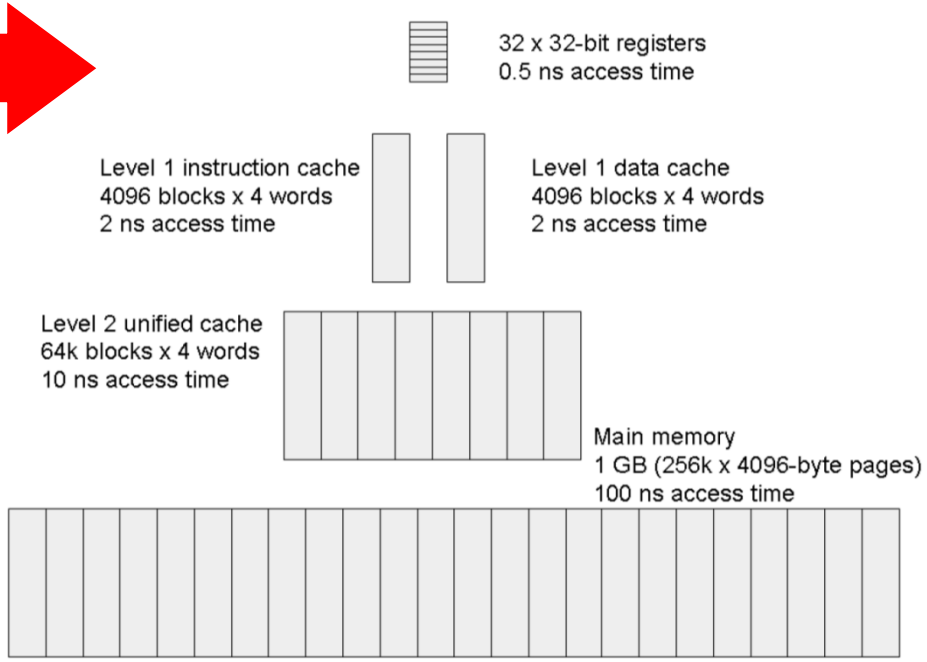
# Способы организации кэш-памяти



# Организация памяти современного МПр (1)

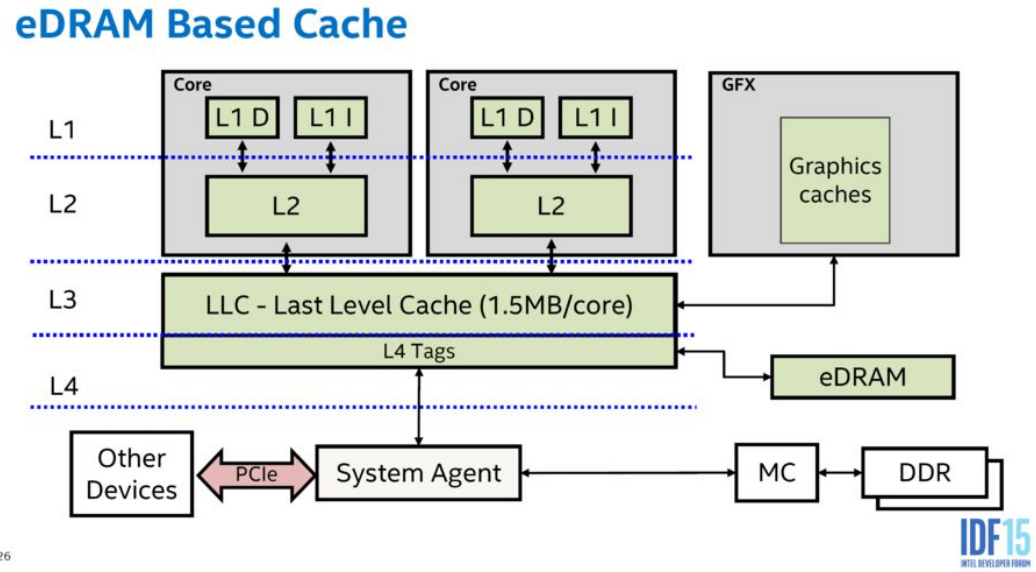
**L1: 128 Кбайт**
**L2: 256 Кбайт**
**L3: 6 Мбайт**
**L4: 128 Мбайт**

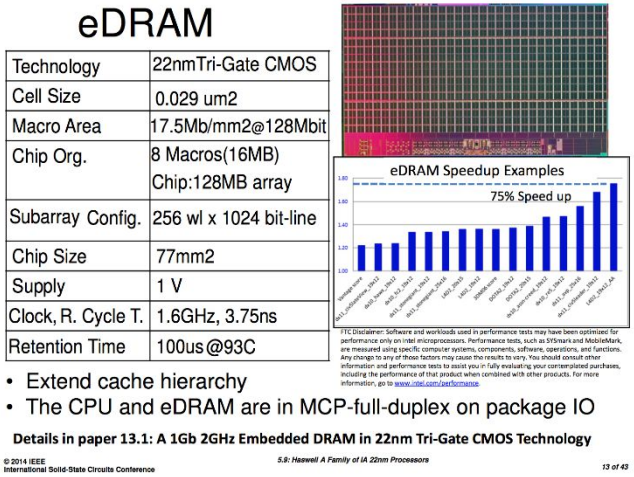


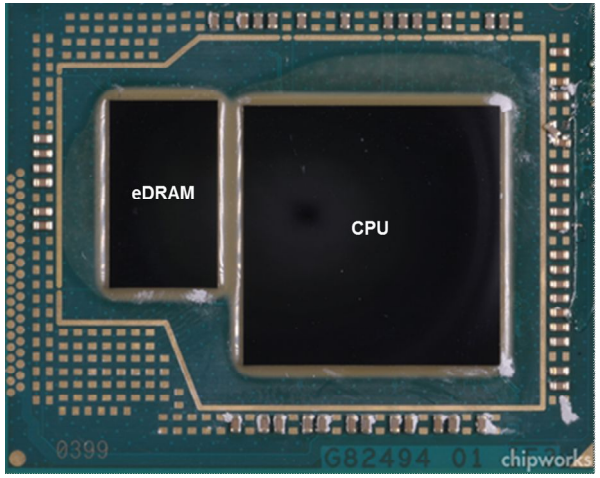




**Nurmi, J. (c)**

# eDRAM - кэш L4 современного МПр

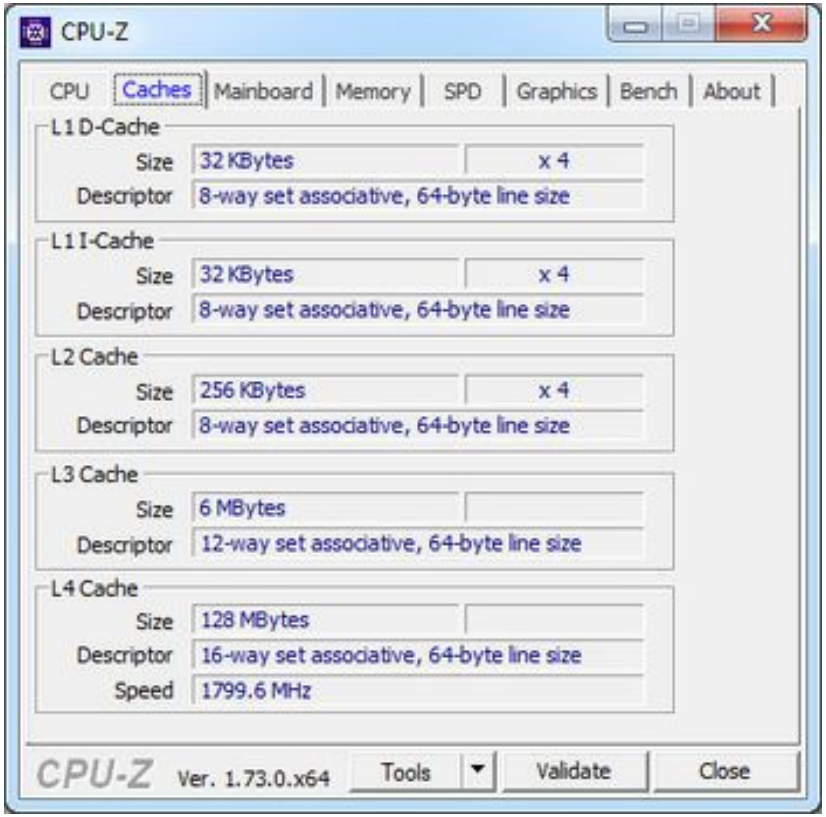


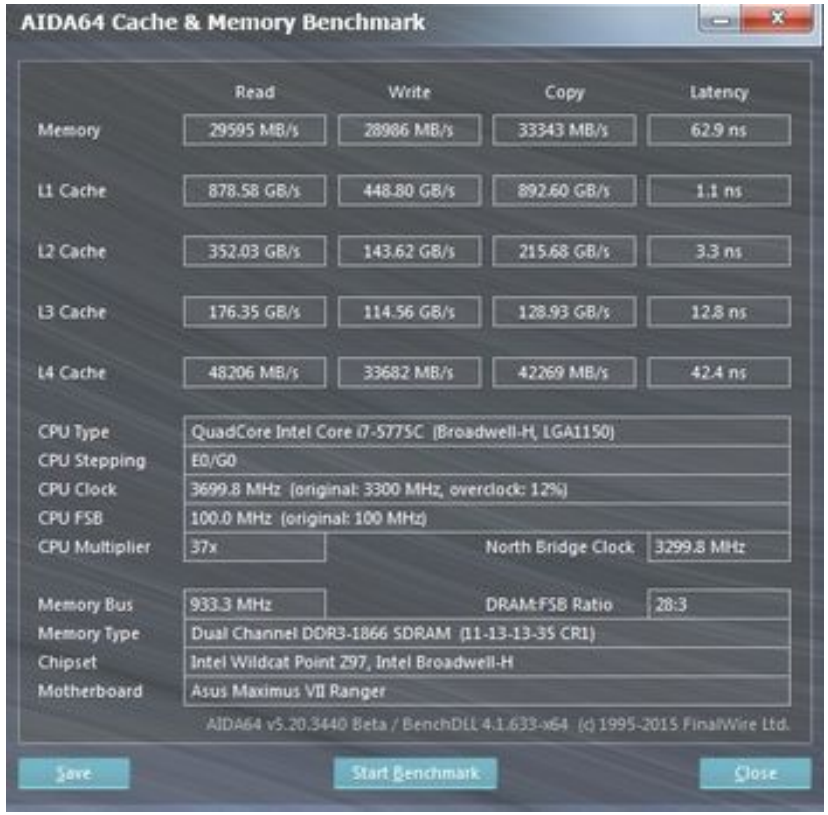




**eDRAM (embedded DRAM)** - встраиваемая DRAM. **Объём** 64…128 Мбайт.
**Тактовая частота** 1800 …2000 МГц.
Выполнена на основе конденсаторов (в отличие от памяти SRAM **на основе транзисторов). Используется в IBM Power7, Intel Broadwell**, PS2,
**Выполняет функции** буфера с минимальным временем доступа для графического ускорителя и выполняет функцию L4 для процессорных ядер. Эффективно при математическом моделировании, и других приложений, требующих временного хранения больших объемов данных.

# ПГУТИ рактеристики кэш-памяти современного МПр




**Intel (c)**

# Выводы по лекции 3

1. Запоминающие устройства в составе аппаратных средств телекоммуникационных систем отличаются способом доступа к ячейкам ЗУ, способом хранения информацией и физической природой.
2. Процедуры записи и считывания информации ЗУ осуществляются синхронно. В качестве энергонезависимых ЗУ все чаще используются микросхемы электрически стираемых и перепрограммируемых ЗУ, ЭСППЗУ.
3. Для минимизации времени до ступа к данным для записи или считывания используется энергозависимая кэш-память, в которой временно размещаются данные из оперативной памяти.

ФГБОУ ВО
Поволжский государственный университет
телекоммуникаций и информатики

# Лекция 4.
# Аппаратные средства обработки цифровых сигналов телекоммуникационных систем

Лектор :

доцент кафедры АЭС ПГУТИ,

к.т.н. Гребешков А.Ю.

Самара
2017 год

кафедра
автоматической электросвязи

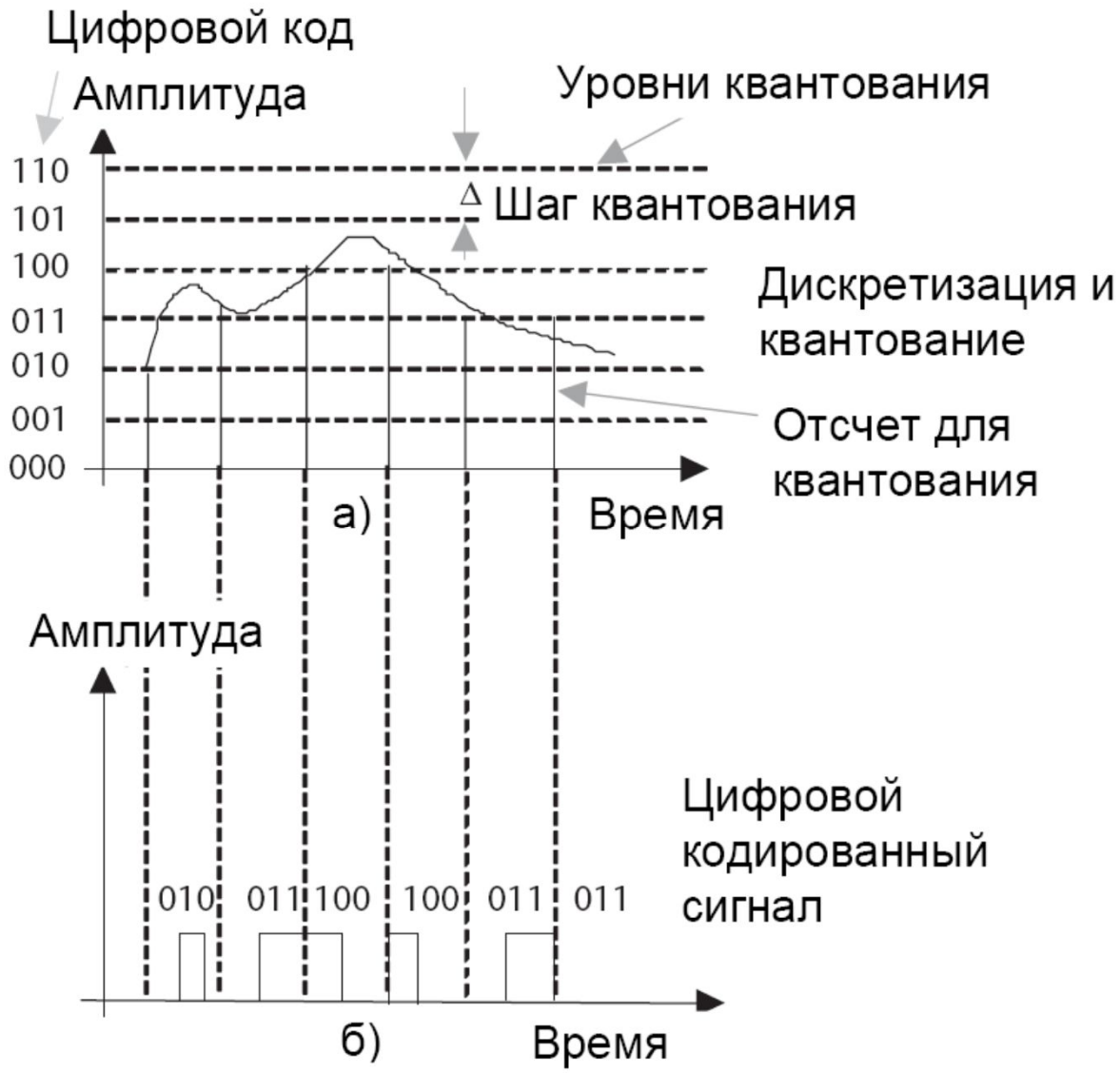
# Понятие модуляции

***Модуляция*** – процесс изменения параметра (параметров) сигнала, переносящего информацию, в зависимости от параметров первичного сигнала, поступающего от источника сообщения.

Модуляция может осуществляться для непрерывного исходного сигнала:

- на основе непрерывного аналогового синусоидального сигнала, называемого несущей – аналоговая модуляция;
- на основе дискретного сигнала в виде импульсов – импульсная или цифровая модуляция, чаще всего – импульсно–кодовая модуляция.

# Дискретизация и квантование аналогового сигнала



# Теорема Котельникова (Найквиста-Шеннона)

Если исходный аналоговый сигнал *x(t)* имеет ограниченный спектр, то этот сигнал может быть восстановлен по своим дискретным отсчетам, взятым с частотой, более удвоенной максимальной частоты спектра $F_{max}$ – верхней частоты спектра исходного аналогового сигнала:

$$f_{ДИСКР} \geq 2 \times \mathrm{F}_{\max}$$

Тогда период дискретизации $T_{ДИСКР}$ аналогового сигнала, т.е. периоды времени, через которые формируются дискретные отсчеты, рассчитывается по формуле:

$$T_{ДИСКР} \leq \frac{1}{2\mathrm{F}_{\max}}$$

# Квантование по уровню

***Квантование по уровню*** следует за дискретизацией и предусматривает разбиение диапазона значений амплитуд отсчетов сигналов на конечное число интервалов равной или неравной длины по оси ординат (по вертикали).

Длина такого интервала называется ***шагом квантования*** Δ, через Δ следуют уровни квантования.

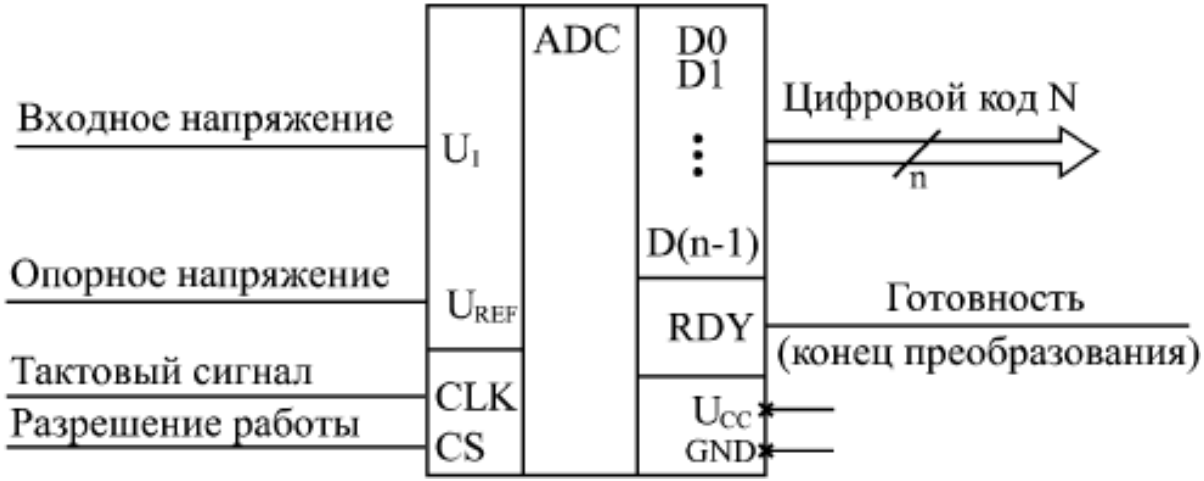
Каждому уровню квантования сопоставляется двоичный код, с помощью которого значение амплитуды квантованного сигнала выражается в битах. Например, для 8 бит количество уровней квантования 256.

## Расчет шага квантования

$$\Delta = \frac{U_{max} - U_{min}}{2^n},$$

*U*max – максимальный уровень напряжения сигнала;
*U*min – минимальный уровень напряжения сигнала;
*n* – число разрядов для кодирования уровней сигнала.

# Микросхема аналогово-цифрового преобразования АЦП




***ИНТУИТ (с)***

***АЦП*** принимает входной аналоговый сигнал и генерирует соответствующий ему цифровой код, пригодный для дискретной обработки.

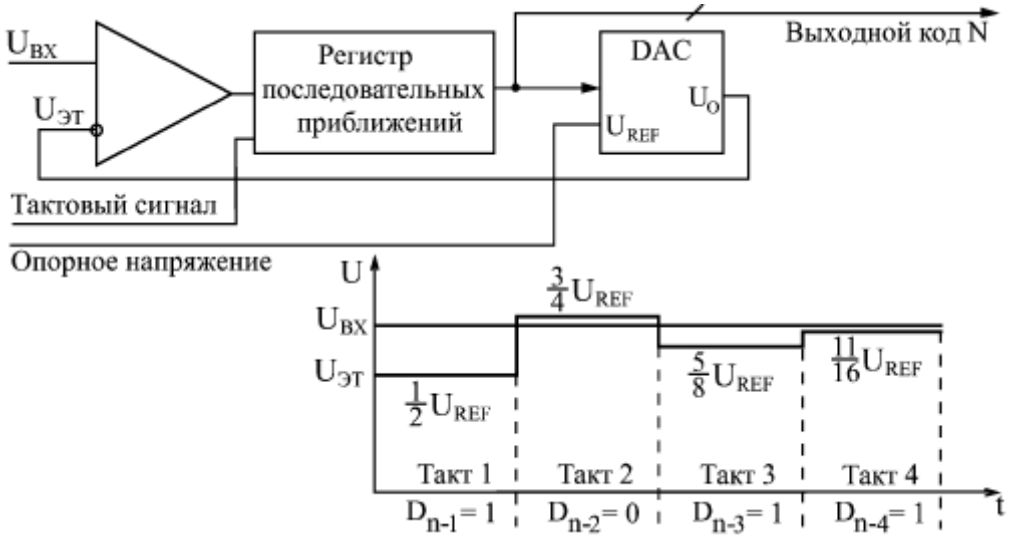
***АЦП*** классифицируются по признаку осуществления операции квантования и кодирования – последовательные, параллельные, либо последовательно–параллельные.

***Опорное напряжение АЦП*** задает диапазон входного постоянного или изменяющегося напряжения, на котором производится преобразование.

***Выходной цифровой код N*** (n-разрядный) соответствует уровню входного напряжения. Код может принимать $2^n$ значений, т.е. АЦП может различать $2^n$ уровней входного напряжения.

Количество разрядов n представляет собой важнейшую характеристику АЦП.

# АЦП последовательного типа

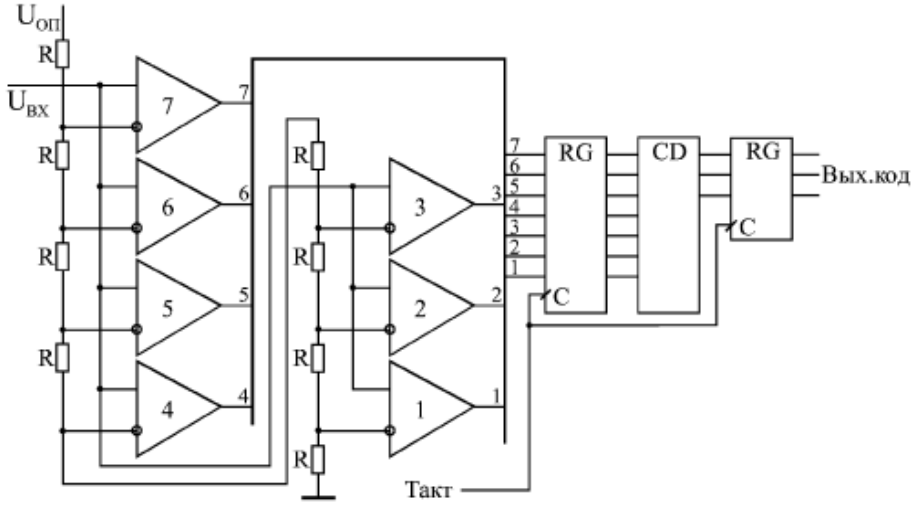



***ИНТУИТ (с)***

***АЦП последовательного типа*** (АЦП с поразрядным уравновешиванием) является наиболее распространенным вариантом последовательных АЦП.

Измеряемая величина последовательного сравнивается с 1/2, 1/4, 1/8 и т.д. от ее полной шкалы. Это позволяет для N-разрядного АЦП выполнить весь процесс преобразования из N последовательных шагов (итераций) вместо $2^N$-1 при использовании последовательного счета; получается существенный выигрыш в быстродействии.

# АЦП параллельного типа



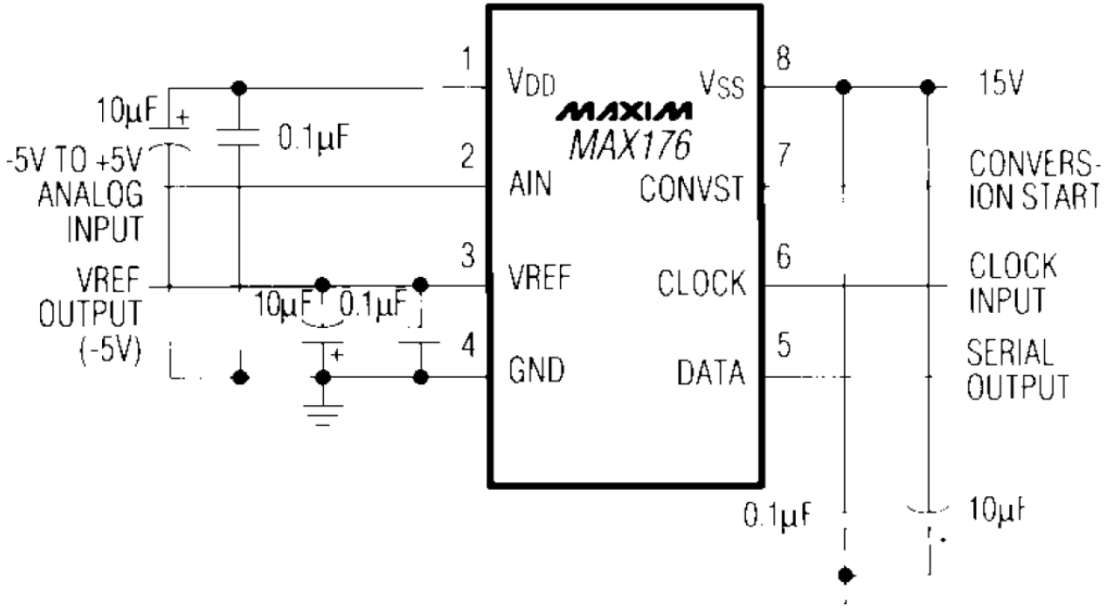

***ИНТУИТ (с)***

Все разряды выходного кода вычисляются одновременно (параллельно), но требуют применения большого количества компараторов ($2^n$–1).

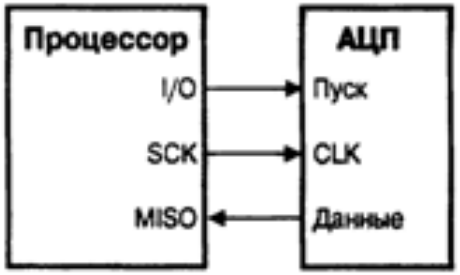
Входное напряжение сравнивается с помощью компараторов с уровнями, формируемыми делителем напряжения. Выходные сигналы компараторов с помощью шифратора преобразуются в n-разрядный двоичный код. Шифратор выдает на выход номер последнего из сработавших (то есть выдавших сигнал логической «1») компаратора.

В случае 3-разрядного АЦП при величине входного напряжения от 0 до 1/8 опорного напряжения, выходной код будет «000», при входном напряжении от 1/8 до 2/8 опорного напряжения сработает первый компаратор, что даст выходной код «001».

# Аппаратные средства и интерфейсы АЦП

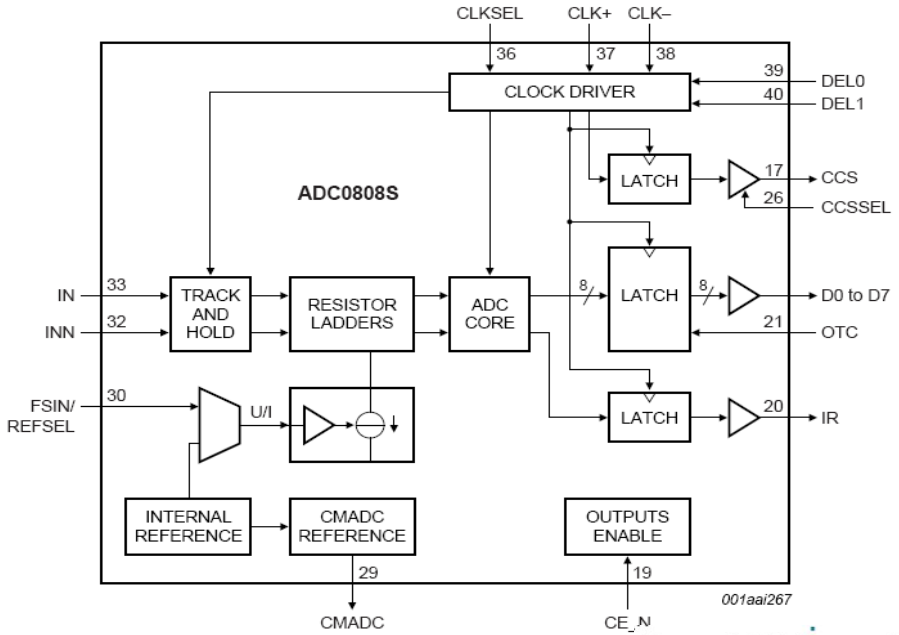


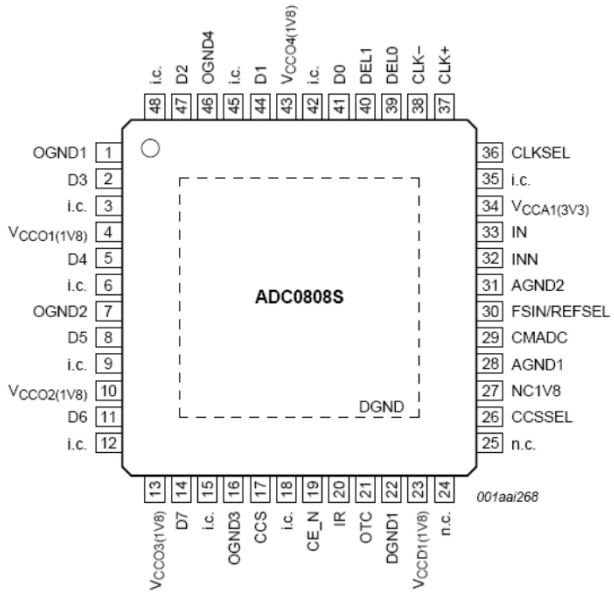

**Простейшее подключение АЦП**




**Последовательный интерфейс АЦП типа SPI**

# Пример современного АЦП




## Таблица кодирования АЦП

$V_{i(p-p)}$ = 2.0 V; $V_{ref(fs)}$ = 1.25 V; typical values to AGND.

| Code | Inputs (V) | | Output | Outputs D7 to D0 | |
|---|---|---|---|---|---|
| | $V_{i(IN)}$ | $V_{i(INN)}$ | Pin IR | Binary | 2's complement |
| Underflow | < 0.45 | > 1.45 | LOW | 0000 0000 | 1000 0000 |
| 0 | 0.45 | 1.45 | HIGH | 0000 0000 | 1000 0000 |
| 1 | - | - | HIGH | 0000 0001 | 1000 0001 |
| : | : | : | : | : | : |
| 127 | 0.95 | 0.95 | HIGH | 0111 1111 | 1111 1111 |
| : | : | : | : | : | : |
| 254 | - | - | HIGH | 1111 1110 | 0111 1110 |
| 255 | 1.45 | 0.45 | HIGH | 1111 1111 | 0111 1111 |
| Overflow | > 1.45 | < 0.45 | LOW | 1111 1111 | 0111 1111 |

# Классификация ЦАП

**1. По роду выходного сигнала:**

- преобразователи с токовым входом
- с выходом по напряжению.

**2. По типу цифрового интерфейса:**

- с последовательным вводом
- с параллельным вводом.

**3. По числу ЦАП на кристалле:**

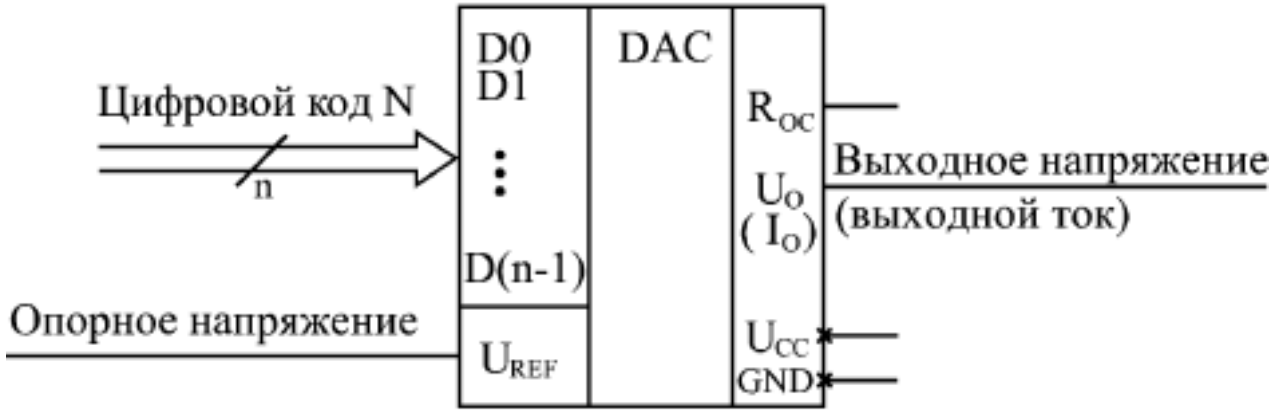
- одноканальные
- многоканальные.

**4. По быстродействию:**

- низкое быстродействие
- среднее быстродействие
- высокое быстродействие.

**5. По разрядности (8…24).**

# Обозначение и принцип действия ЦАП




***ИНТУИТ (с)***

На входы ЦАП подается n-разрядный код N, на аналоговый вход — опорное напряжение Uоп (другое распространенное обозначение — $U_{REF}$ ).

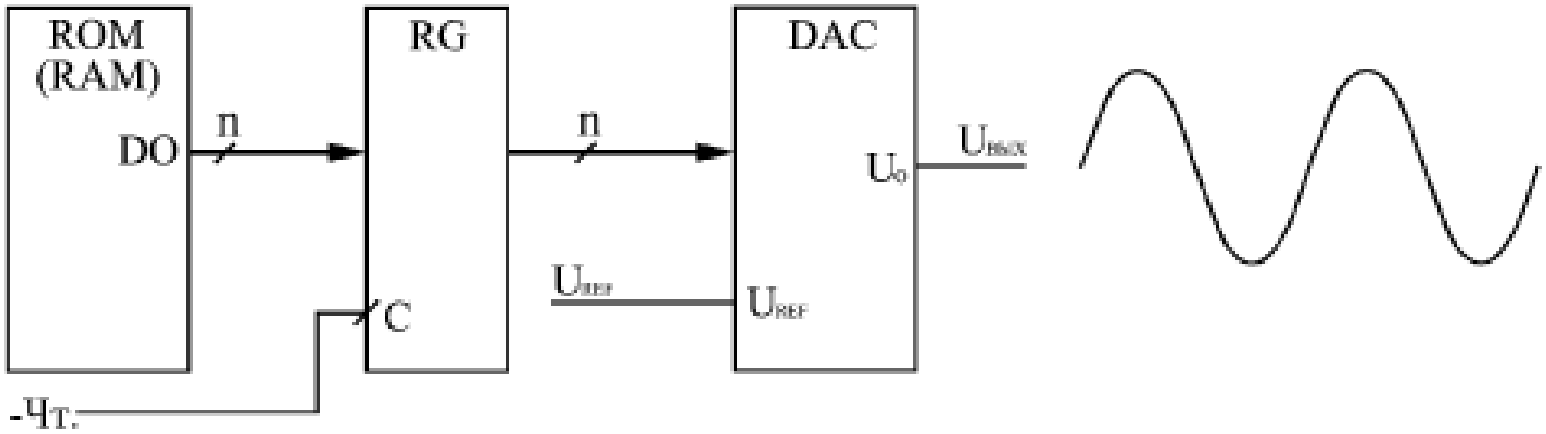
Выходным сигналом является напряжение Uвых (другое обозначение — $U_O$ ) или ток $I_{вых}$ (другое обозначение — $I_O$ ).

Выходной ток или выходное напряжение пропорциональны входному коду и опорному напряжению.

Опорное напряжение может иметь строго заданный уровень или изменяться в широких пределах, в том числе и полярность (положительную на отрицательную и наоборот).

ЦАП с большим диапазоном изменения опорного напряжения называется умножающим т.к. его можно легко использовать для умножения входного кода на любое опорное напряжение.

# Формирование аналоговых сигналов ЦАП




***ИНТУИТ (с)***

Для ОЗУ (RAM, ROM) строится однонаправленный информационный буфер с периодическим режимом работы, что позволит записывать в память коды для генерации самых разных сигналов.

Во входной регистр RG ЦАП информация записывается по строб-импульсу чтения из памяти.

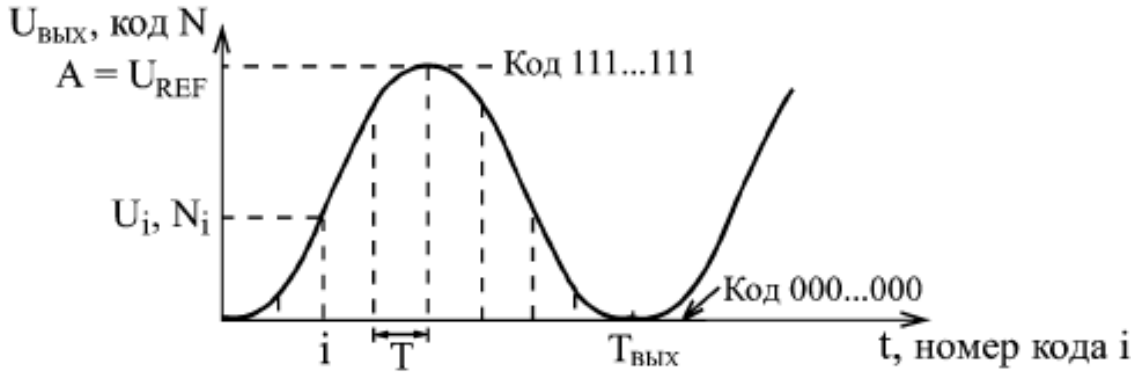
Выходной сигнал ЦАП будет состоять из «ступенек», высота которых кратна $2^{-n}U_{REF}$. Амплитуда выходного сигнала не превышает $U_{REF}$.

Если адреса памяти формируются счетчиком, то период выходного аналогового сигнала равен $2^{m}T$, где

T — период тактового сигнала чтения из памяти "–Чт.",

m — количество адресных разрядов памяти.

# Вычисление кодов выборок периодического аналоговых сигналов ЦАП




***ИНТУИТ (с)***

1. Чтобы вычислить коды выборок периодического сигнала, необходимо период разделить на $2^m$ интервалов и вычислить соответствующие $2^m$ значений этого сигнала $U_i$.

2. Далее надо пересчитать значения сигнала в коды по формуле

$$N_i = 2^n U_i / A, \text{ где}$$

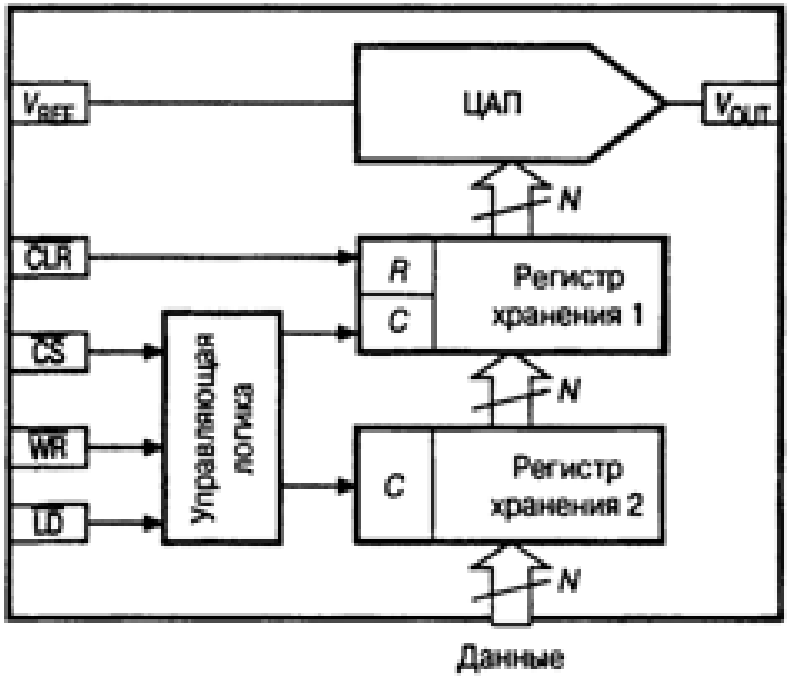
A — амплитуда сигнала

3. Взять ближайшее целое значение кода (это даст некоторую ошибку).

4. Нулевое значение сигнала даст при этом нулевой код 000 000, максимальное значение сигнала (равное амплитуде A) даст максимальный код 111 111.

5. В результате подачи кодов из п.п. 3 и 4 на ЦАП (DAC) с периодом T будет генерироваться аналоговый сигнал требуемой формы с амплитудой, равной $U_{REF}$ и с периодом $T_{вых}=2^m T$

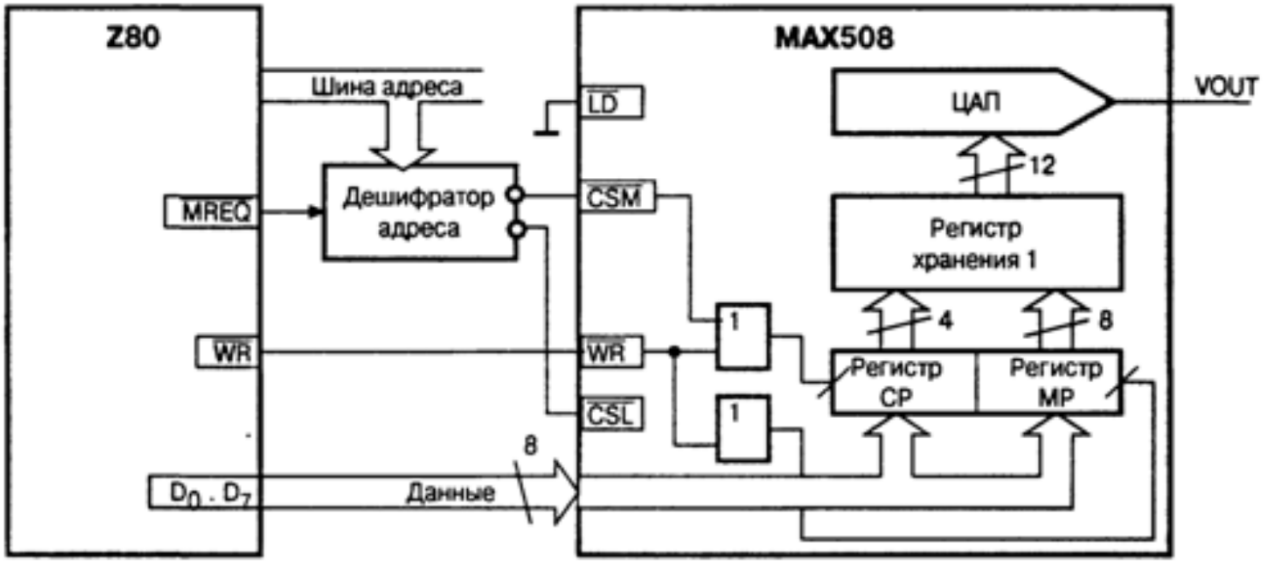
# Параллельный интерфейс ЦАП с совпадением разрядности входного слова данных с разрядностью ЦАП




***ИНТУИТ (с)***

Интерфейс ЦАП включает два регистра хранения и управляющую логику. Два регистра хранения нужны, если пересылка входного кода в ЦАП и установка выходного аналогового сигнала, соответствующая этому коду, разделены во времени.

# Параллельный интерфейс ЦАП с несовпадением разрядности входного слова данных с разрядностью ЦАП

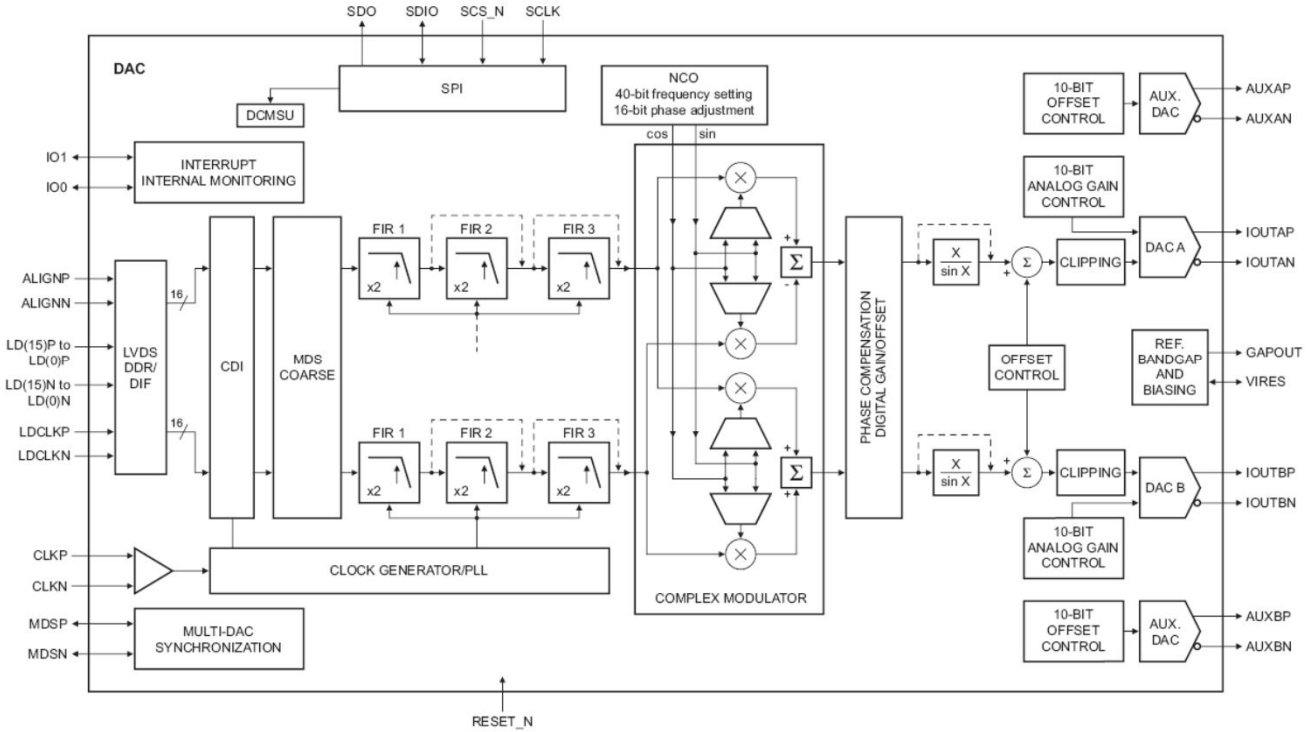



***ИНТУИТ (с)***

Интерфейс ЦАП включает два параллельных загрузочных регистра для приема младшего байта входного слова, МБ и старшего байта – СБ.

Пересылка байтов входного слова в загрузочные регистры может происходить в любой последовательности.

# Пример современного двухканального ЦАП типа DAC1617D1G0 (IDT Inc.)




16-ти битовый ЦАП Применяется в системах с множеством несущих в передатчиках БШПД

Управляющий вход SPI

Скорость преобразования – до 1 Gsps (Giga Sample per Second)

Форм-фактор - HVQFN72, 10x10 мм

**FIR** – фильтр с конечной импульсной характеристикой, отсутствует обратная связь.
**LVDS** ( Low Voltage Differential Signaling ) - передача информации дифференциальными сигналами малых напряжений т.е. использует перепады дифференциального напряжения до 350 мВ на двух линиях печатной платы или сбалансированного кабеля.
**MDS** – синхронизация множества устройств (устройство двухканальное)
**NCO** – генератор с числовым управлением, выдает сигнал, частота которого соответствует цифровому значению на входе. Выходной сигнал может быть любой формы, обычно пилообразной, синусоидальной или синус-косинусной

# Статические технические характеристки ЦАП и АЦП (1)

***Число разрядов (b)*** — число разрядов кода, отображающего исходную аналоговую величину, которое может формироваться на выходе АЦП или подаваться на вход ЦАП. При использовании двоичного кода под *b* понимают двоичный логарифм от максимального числа кодовых комбинаций (*уровней квантования*) на выходе АЦП или входе ЦАП.

***Абсолютная разрешающая способность*** — средние значения минимального изменения сигнала на выходе ЦАП (α), или минимального изменения входного сигнала АЦП (*m*), обусловленные увеличением или уменьшением его кода на единицу.

***Абсолютная погрешность преобразования в конечной точке шкалы*** (**δ*Fs***) — отклонение реальных максимальных значений входного для АЦП ($U_{1RN}$) и выходного для ЦАП ($U_{ORN}$) аналоговых сигналов от значений, соответствующих конечной точке идеальной характеристики преобразования ($U_{1RN\,max}$ и $U_{ORN\,max}$).

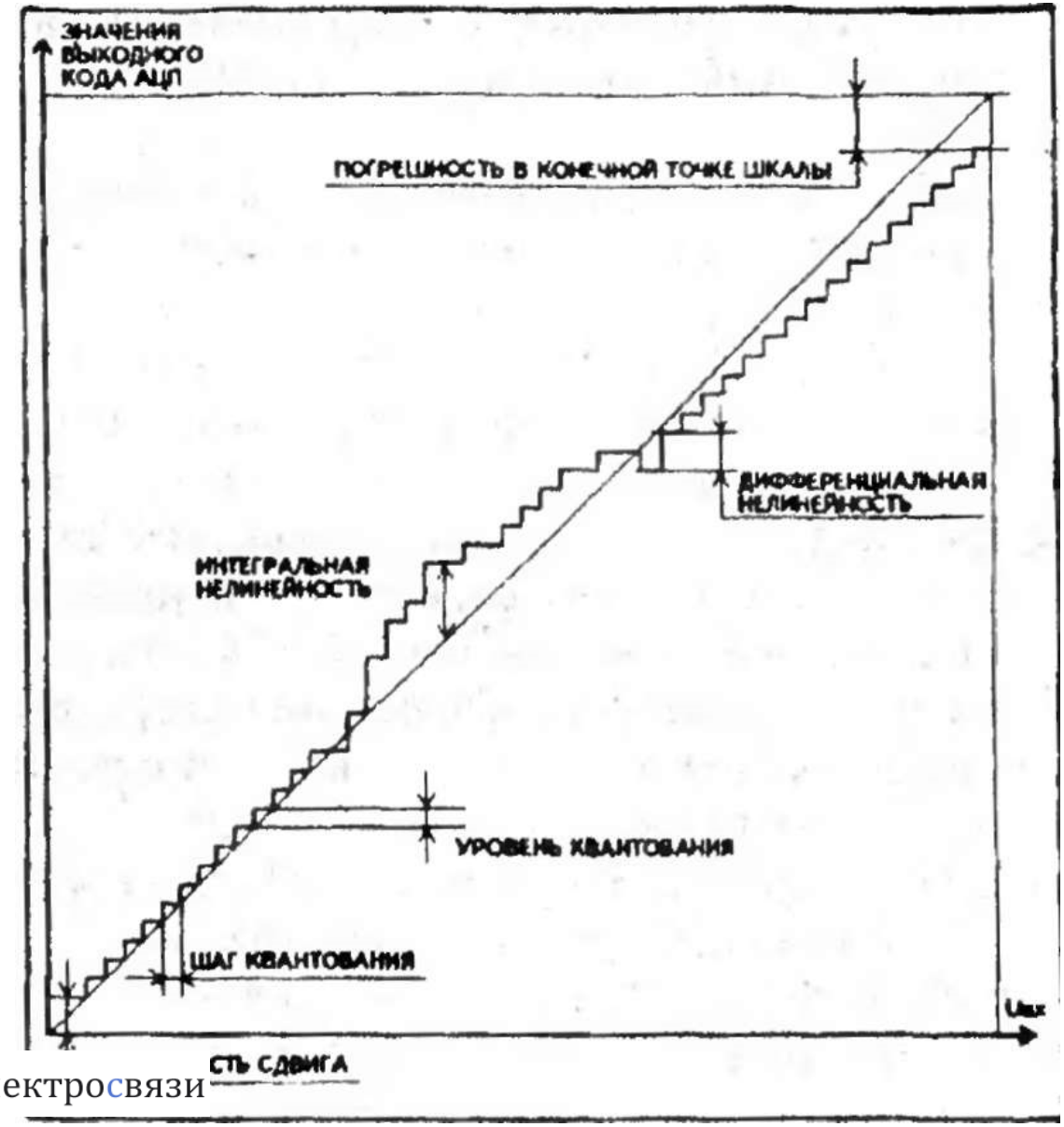
# Статические технические характеристики ЦАП и АЦП (2)

***Напряжение смещения нуля*** $U_0$ — для АЦП это напряжение ($U_{вхо}$), которое необходимо приложить к его входу для получения нулевого выходного кода. Для ЦАП — это напряжение, присутствующее на его выходе ($U_{вых0}$) при подаче на вход нулевого кода. Величина $U_0$ обычно выражается в единицах младшего разряда, ЕМР.

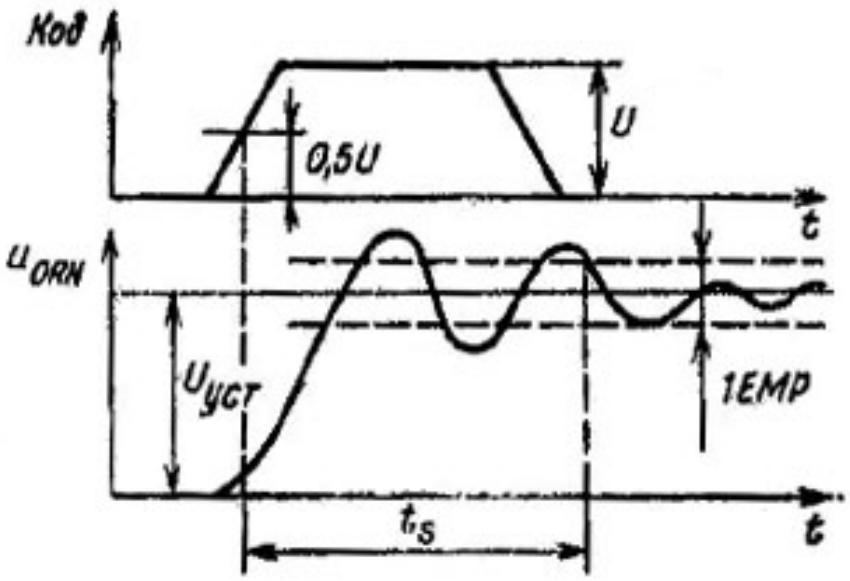
**Нелинейность** (**δ*L***) — отклонение действительной характеристики преобразования от оговоренной линейной, т.е. это разность реального напряжения, соответствующего выбранному значению кода и напряжения, которое должно соответствовать этому коду в случае идеальной характеристики преобразования устройства.

**Дифференциальная нелинейность** (**δ*L***д) — отклонение действительного шага квантования **δ'*L***д от его среднего значения (***h***)

# Графическое представление статических и технических характеристик ЦАП и АЦП



# Динамические технические характеристки ЦАП и АЦП




***Максимальная частота преобразования*** **($f_{c\,max}$)** — наибольшая частота дискретизации, при которой заданные параметры соответствуют установленным нормам.

***Время установления выходного сигнала*** **($t_s$)** — интервал от момента заданного изменения кода на входе ЦАП до момента, при котором выходной аналоговый сигнал окончательно войдет в зону заданной ширины, симметрично расположенную относительно установившегося значения. Обычно ширина этой зоны задается равной 1 ЕМР.

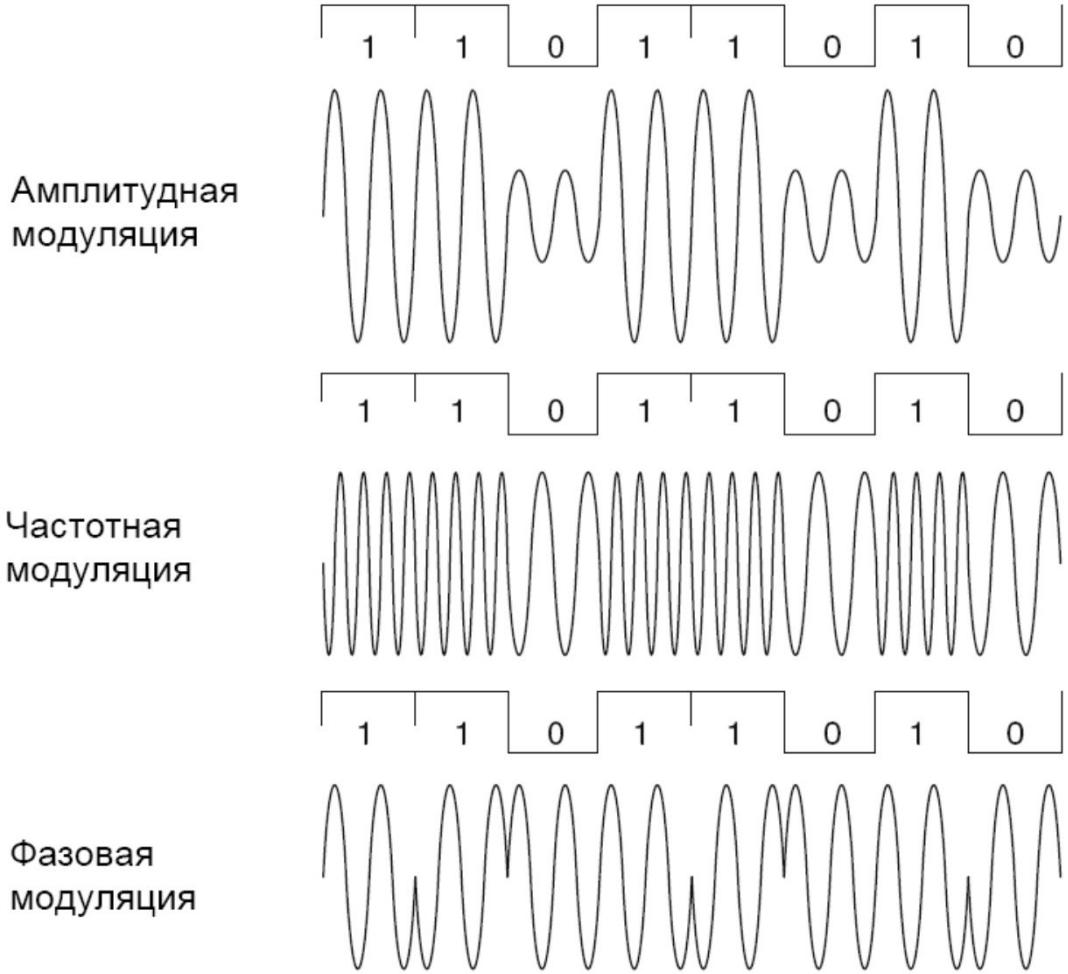
# Кодирование сигнала

Под ***кодированием*** в широком смысле подразумевается представление сообщений в форме, удобной для передачи по каналу связи.

Обратная операция – восстановление сообщения по принятому сигналу называется ***декодированием.***

При кодировании исходному сообщению пользователя (букве, звуку) сопоставляется некий условный символ/сигнал. Классический пример – азбука Морзе. Такое сопоставление производит кодер источника.

# Модуляция дискретного сигнала аналоговым



# Функции кодера источника информации и кодера канала

***Кодер источника (КИ)*** имеет целью обеспечить кодирование, при котором существенно снижается среднее число символов, требующихся для представления одного элемента исходного сообщения (сжатие сигнала).

При отсутствии помех это дает выигрыш во времени передачи или в объеме памяти, то есть повышает эффективность системы - ***эффективное*** *или* ***оптимальное кодирование*.**

При наличии помех в канале связи после сжатия сигнала требуется второй ***кодер канала (КК),*** который обеспечит достоверность при передаче путем дополнительного внесения кодов проверки данных – ***помехоустойчивое кодирование*.**

# Способы кодирования

***Потенциальный способ*** – логической «1» соответствует один уровень напряжения, а логическому «0» – другой уровень напряжения.

***Импульсный способ*** – для представления цифр используются импульсы различной полярности, либо часть импульса – перепад т.е. передний или задний фронт импульса.

# Критерии оптимального кодирования

При выборе способа кодирования нужно одновременно стремиться к достижению нескольких целей:

- минимизировать ширину спектра сигнала, полученного в результате кодирования;
- обеспечивать синхронизацию между передатчиком и приемником;
- обеспечивать устойчивость к шумам;
- обнаруживать и по возможности исправлять битовые ошибки;
- минимизировать мощность передатчика.

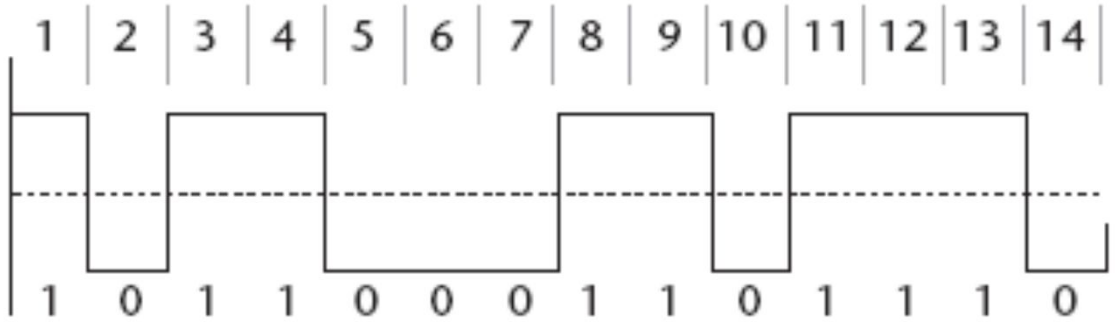
# Способы обеспечения синхронизации

Устройства тактовой синхронизации обеспечивают синхронную работу приемников и передатчиков (исключение расхождение частот на передаче и приеме)

Для ЭВМ (внутри компьютера) схема, основанная на отдельной тактирующей линии, так что информация снимается с линии данных только в момент прихода тактового импульса.

Применение ***самосинхронизирующихся кодов,*** сигналы которых несут для приемника сообщение о том, в какой момент времени нужно осуществлять распознавание очередного бита.

# Кодирование без возвращения к 0, NRZ

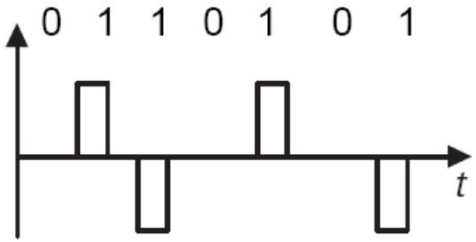



При передаче последовательности единиц сигнал не возвращается к нулю в течение такта.

Достоинство NRZ - простота реализации и хорошая распознаваемость ошибок поскольку есть два существенно отличающихся потенциала.

Недостаток NRZ - не обладает свойством самосинхронизации.

# Биполярное кодирование с альтернативной инверсией AMI (HDB3)

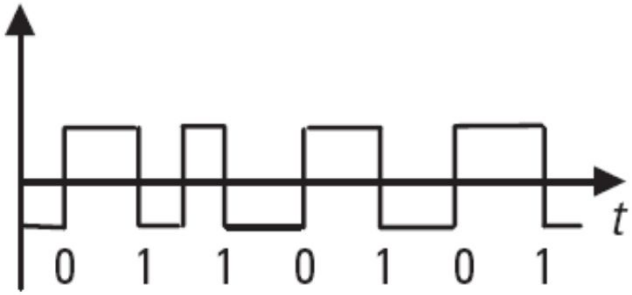



Код использует два(три) уровня потенциала – отрицательный, нулевой и положительный. Для логического «0» используется нулевой потенциал, а логическая «1» кодируется либо положительным потенциалом, либо отрицательным, при этом потенциал каждой новой «1» противоположен потенциалу предыдущей.

Достоинство – более узкий спектр сигнала, чем у NRZ, лучше распознавание ошибочных импульсов, но опасны длинные последовательности «0» – сигнал вырождается в постоянный потенциал нулевой амплитуды.

Недостаток – дополнительный уровень требует увеличения мощности передатчика.

# Манчестерский код




Информация кодируется фронтом (перепадами потенциала), происходящими в середине каждого такта. «1» кодируется перепадом от низкого уровня сигнала к высокому, а «0» кодируется обратным перепадом.

В начале каждого такта может происходить служебный перепад сигнала, если нужно представить несколько единиц или нулей подряд.

Достоинство - обладает хорошими свойствами самосинхронизации.

Недостаток - полоса пропускания манчестерского кода уже, чем у биполярного импульсного кода.

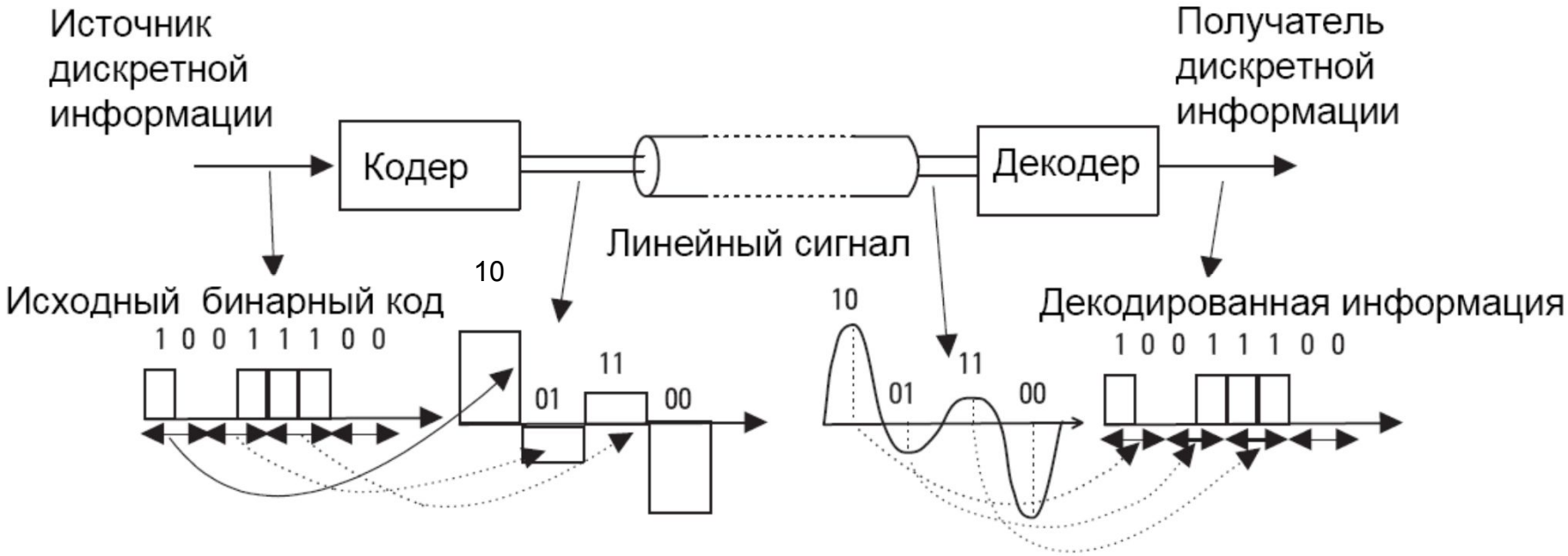
# Потенциальный код с четырьмя уровнями кодирования данных

Код 2B1Q каждые два бита (2B) передаются за один такт сигналом, имеющим четыре состояния (Q, Quadra). Паре битов «00» соответствует потенциал -2,5В, паре «01» — потенциал –0,833 В, паре «11» – потенциал +0,833В, а паре «10» — потенциал +2,5В.

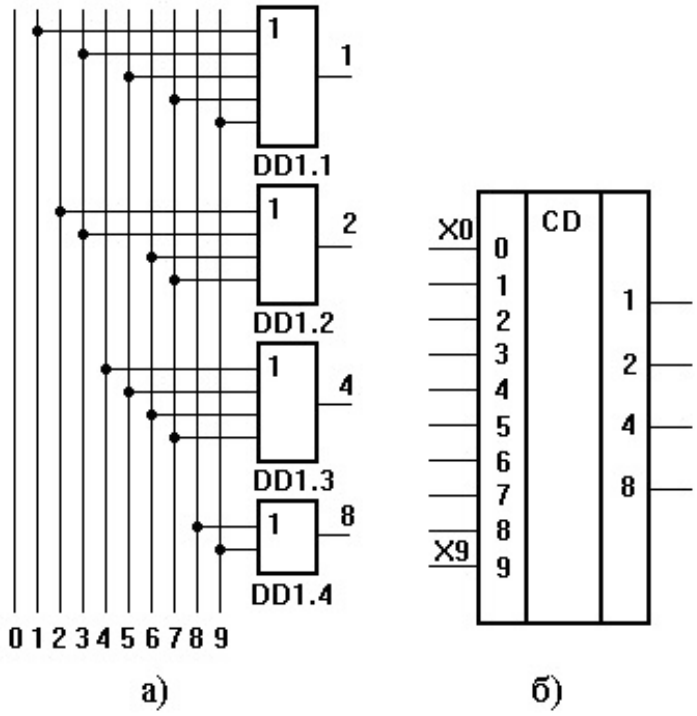
При случайном чередовании битов спектр сигнала в два раза уже, чем у кода NRZ, так как при той же битовой скорости длительность такта увеличивается в два раза и можно по одному и тому же каналу связи передавать данные в два раза быстрее, чем с помощью кода AMI или NRZ.

Требуются дополнительные меры по борьбе с длинными последовательностями одинаковых пар бит, так как при этом сигнал превращается в постоянную составляющую.

# Общая схема линейного кодирования 2B1Q



# Понятие о шифраторе|кодере, CD




а) б)

***Шифратор (кодер, CD)*** – устройство, которое преобразует сигнал на одном из своих входов в n–разрядное двоичное число. На рис. кодер преобразует десятичные цифры в 4-х разрядное двоичное число.

При появлении сигнала «1» на одном из десяти входов X0…X9 на четырех выходах шифратора DD1.1 …. DD1.4 будет присутствовать соответствующее двоичное число.

Пусть сигнал логической единицы подан на вход X7.

На выходах логических элементов DD1.1, DD1.2, DD1.3 будут сигналы «1», а на выходе элемента DD1.4 – сигнал «0». Таким образом, на выходах с весом 8, 4, 2, 1 шифратора мы получим двоичное число 0111.

## Понятие о скрэмблировании

Для снижения вероятности формирования длинных последовательностей из «0» или «1» применяют ***скремблирование*** – процесс, состоящий из преобразования исходного двоичного кода по заданному алгоритму, позволяющему исключить длинные последовательности «1» или «0».

Технические или программные средства, реализующие заданный алгоритм, называются ***скремблерами.*** На приёмной стороне дескремблер восстанавливает исходный двоичный код.

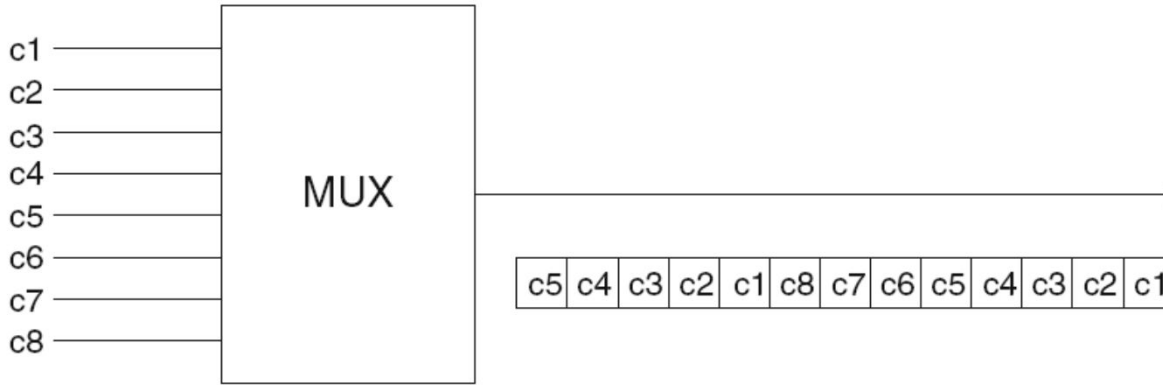
# Мультиплексирование и демультиплексирование

***Мультиплексирование*** – процесс объединения из нескольких отдельных низкоскоростных каналов связи (потоков данных) общего высокоскоростного агрегированного канала (поток), который можно передавать по одному физическому каналу.

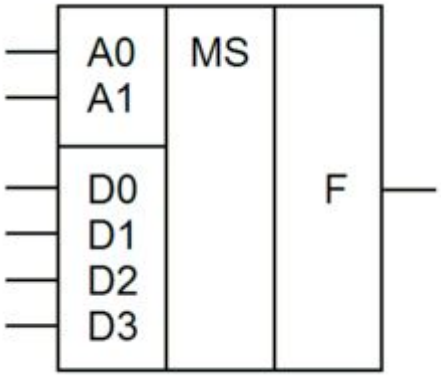
***Демультиплексирование*** — обратный процесс разделения суммарного агрегированного канала (потока) на несколько составляющих его потоков.

***Мультиплексирование со вставкой–удалением*** (Add-Drop Multiplexing) – способ демультиплексирования высокоскоростного потока данных на его более низкоскоростные компоненты таким образом, чтобы была возможность добавить дополнительные низкоскоростные каналы.

# Мультиплексирование с разделением по времени

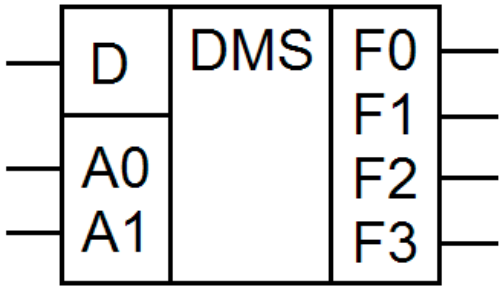



C = Канал
MUX = Мультиплексор



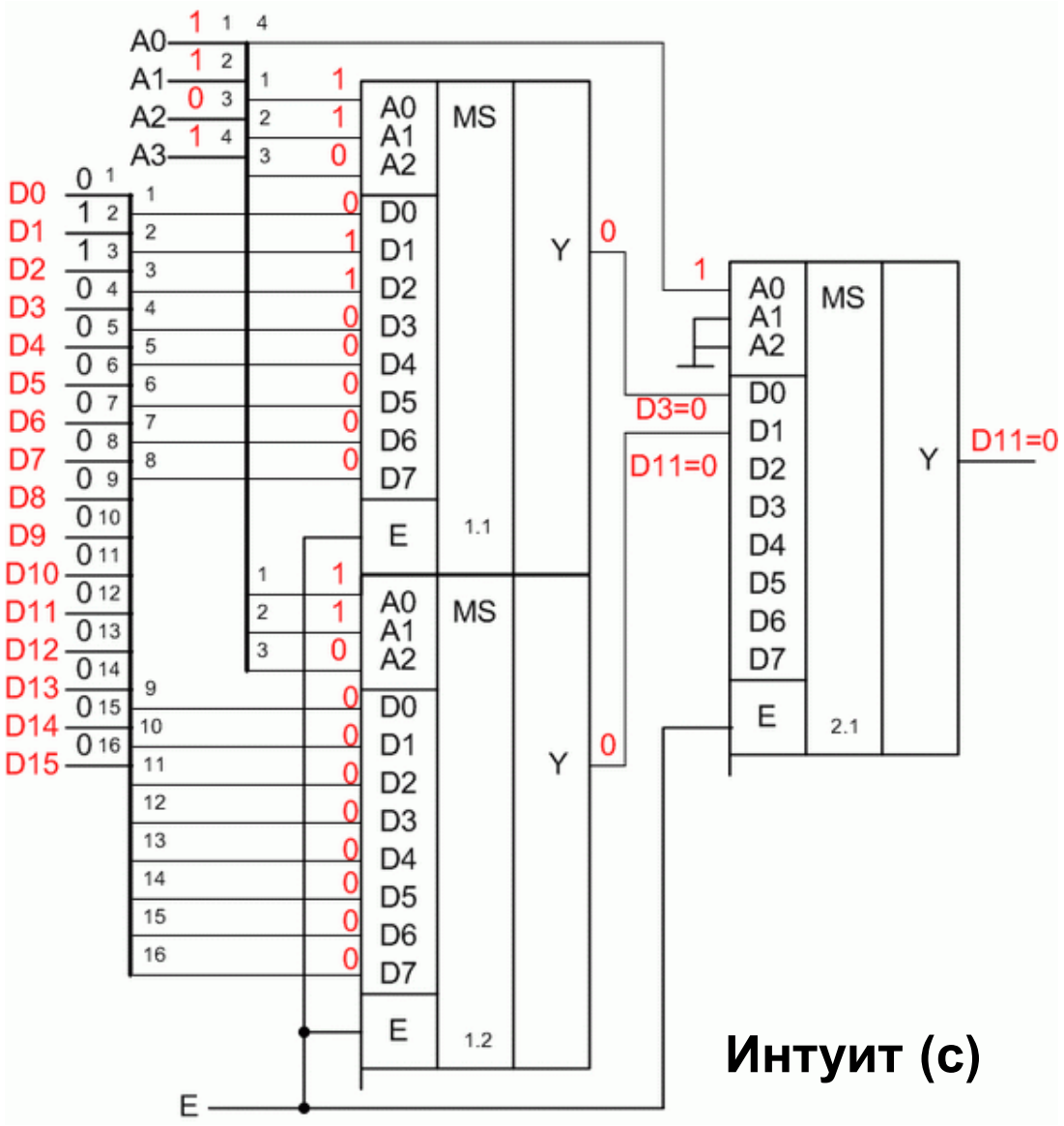

**Мультиплексор «1 из 4» (обозначение)**

**Мультиплексированием с разделением времени** (Time Division Multiplexing, TDM) - каждый поток время от времени (с фиксированным или случайным периодом) получает физический канал в полное распоряжение для информационного обмена.




**Демультиплексор «4 из 1» (обозначение)**

# Каскад мультиплексоров

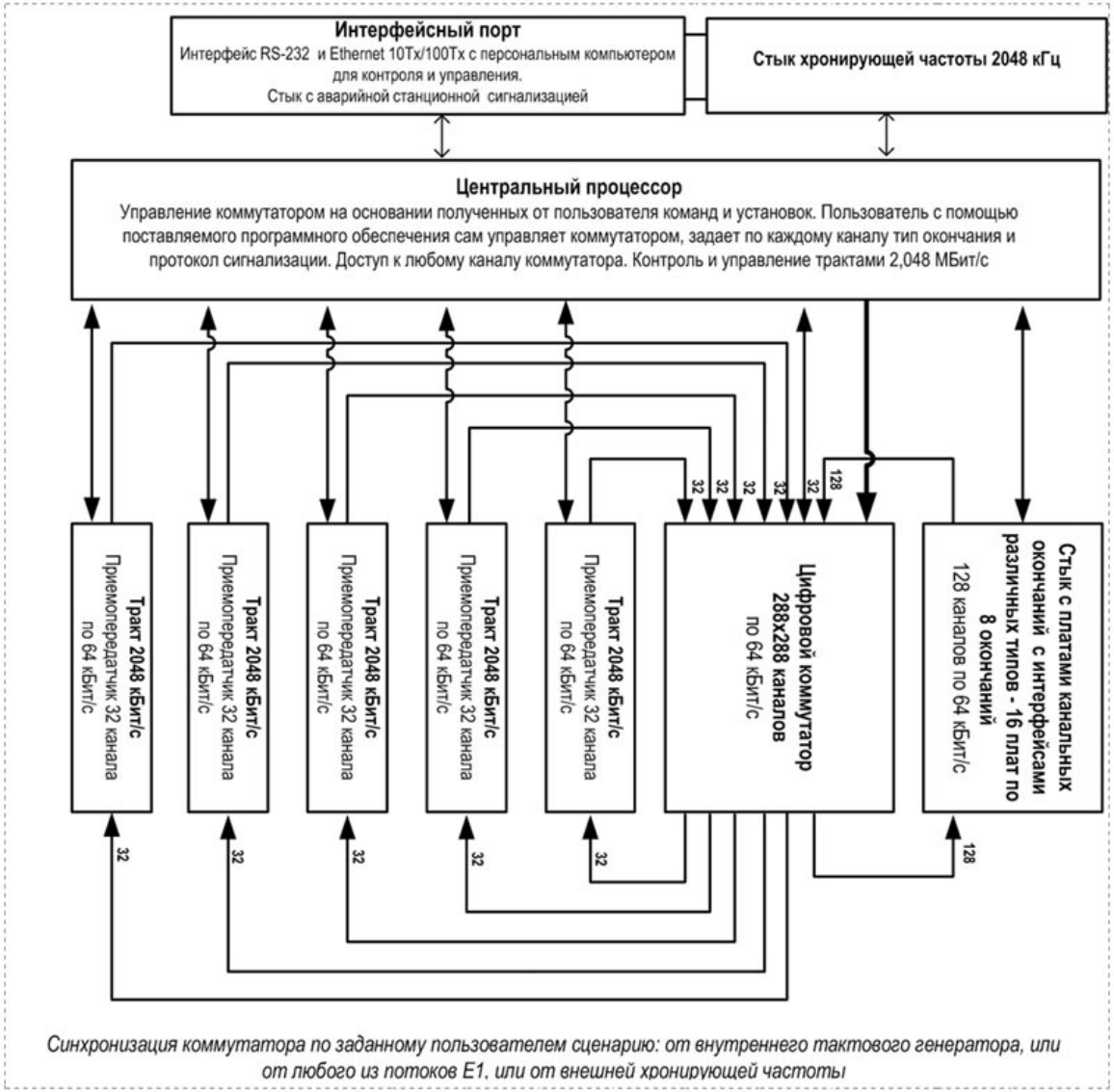



Каскад мультиплексоров на 16 входов на базе «1 из 8»,

Адресные линии A1 и A2 и соответствующие им информационные линии D2-D7 выходного мультиплексора (MS2.1) не используются, а находятся в резерве

**Интуит (с)**

# Аппаратура гибкого первичного мультиплексора




*Синхронизация коммутатора по заданному пользователем сценарию: от внутреннего тактового генератора, или от любого из потоков Е1, или от внешней хронирующей частоты*

Конфигурирует 5 x E1 и 128 x 64 кбит/с с интерфейсами различных типов.

Содержит полнодоступный кросс-коммутатор 288x288 каналов 64 кбит/с в поле коммутации

**http://радиолинии.рф/content/transport-30kh4.html**

# Мультиплексирование с частотным разделением каналов

**Мультиплексирование с частотным разделением каналов** (Frequency Division Multiplexing, FDM) - каждый поток передает данные в выделенном ему частотном диапазоне и(или) на несущей с определенной частотой.

# Выводы по лекции 4

1. К самым распространенным аппаратным средствам телекоммуникаций относятся аналогово-цифровые и цифро-аналоговые преобразователи с разнообразными техническими характеристиками.
2. Логические элементы физически АЦП и ЦАП реализуются с помощью полупроводниковых интегральных микросхем.
3. Для передачи по сетям связи исходная информация подвергается модуляции и кодированию с использованием сигналов, которые адекватны среде распространения информации.
4. Существую различные методы кодирования, которые применяются в зависимости от вида и типа передаваемой информации, а также требований по помехозащищенности и синхронизации.
5. Для реализации кодирования и декодирования можно использовать различные аппаратные средства, в частности кодеры и декодеры.

ФГБОУ ВО
Поволжский государственный университет
телекоммуникаций и информатики

# Лекция 5.
# Аппаратные средства вычислительных сетей и сетей доступа

Лектор :

доцент кафедры АЭС ПГУТИ,

к.т.н. Гребешков А.Ю.

Самара
2017 год

кафедра
автоматической электросвязи

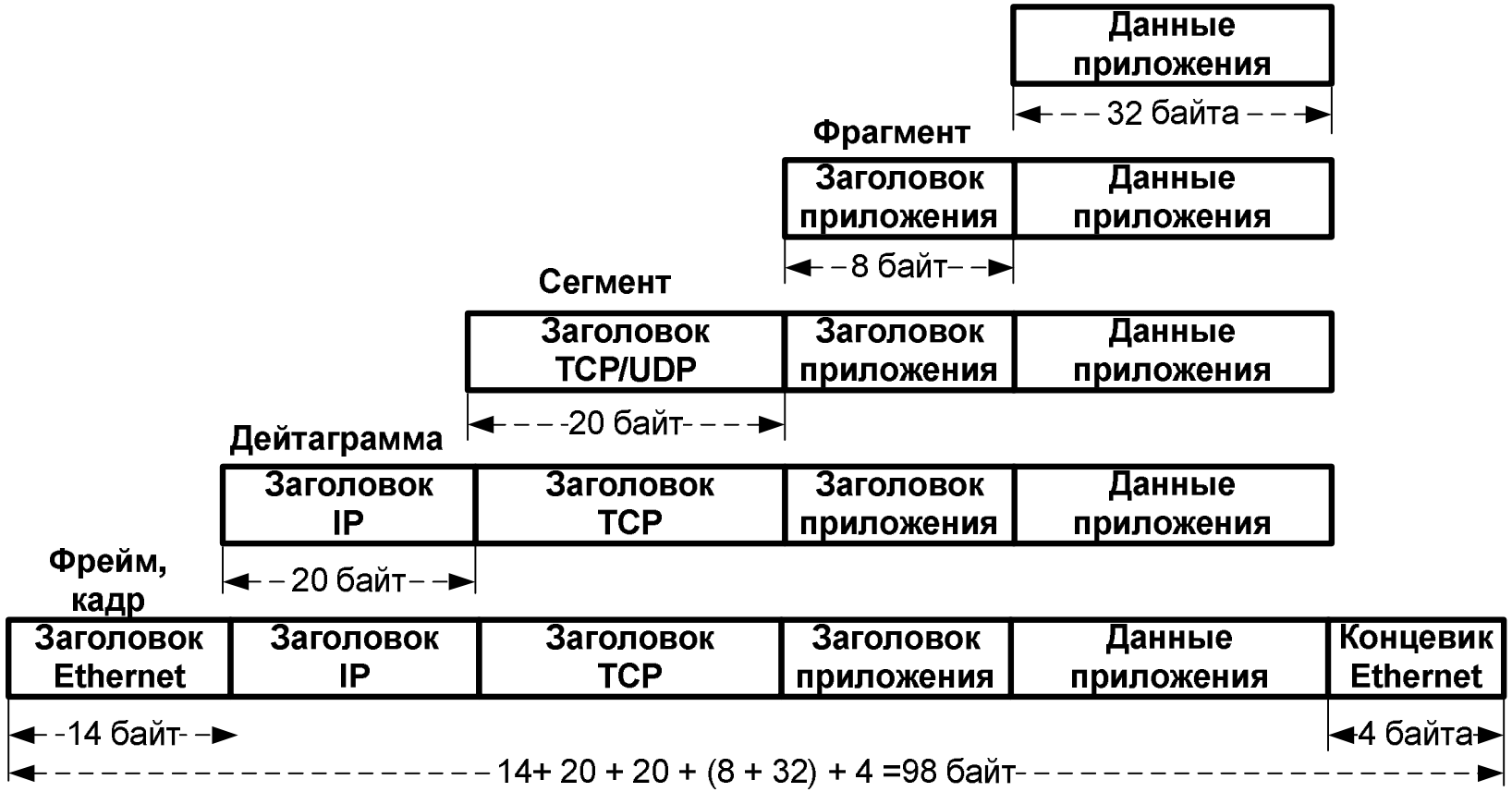
# Основные понятия и определения

***Локальная вычислительная сеть ЛВС*** (LAN, Local Area Networks) – охватывает небольшую территорию и использует ориентированные на эту территорию средства и методы передачи данных между персональными компьютерами, серверами и пользователями.

***Кадром (фреймом)*** называется протокольный блок данных уровня канала передачи.

***Конфликт или коллизия*** – непредсказуемая ситуация, возникающая при наличии одновременных передач со стороны нескольких станций данных в одном канале физической среды локальной вычислительной сети.

# Инкапсуляция пакетов в рамках сетевых протоколов (на примере Ethernet)



# Стандарты Ethernet

**IEEE 802.3.x Ethernet** – стандарт de facto ЛВС.

**IEEE 802.3a, 802.3i** обеспечивает скорость передачи 10 Мбит/с

**IEEE 802.3u** описывает передачу со скоростью **100 Мбит/с (Fast Ethernet)**

**IEEE 802.3ab, 802.3z** описывают передачу со скоростью **1000 Мбит/с (Gigabit Ethernet)** по металлическим и оптическим кабелям связи,

**IEEE 802.3an–2006 и IEEE 802.3.ae** описывают передачу со скоростью **10 000 Мбит/с (10G Ethernet)** по металлическим и оптическим кабелям связи.

**IEEE 802.3i 10BASE–T** – описывает передачу со скоростью 10 Мбит/с по четырем проводам (двум парам).

**100BASE–TX** – описывает передачу со скоростью 100 Мбит/с по четырем проводам (двум парам),

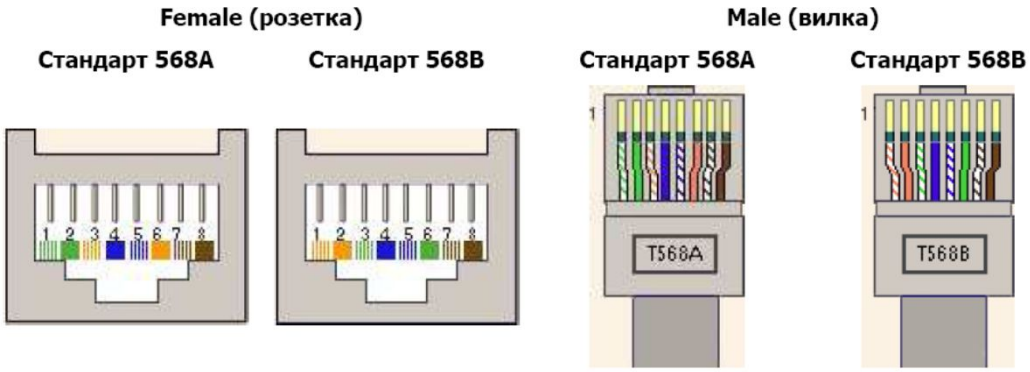
**100BASE–FX/SX** – описывает передачу со скоростью 100 Мбит/с по многомодовому оптическому волокну.

**1000BASE–T** – описывает передачу со скоростью 1 Гбит/с по четырем проводам (двум парам),

**1000BASE–SX/LX** – описывает передачу со скоростью 1 Гбит/с по многомодовому/одномодовому оптическому волокну.

# Маркировка розеток и пар для Ethernet

**Витая пара**

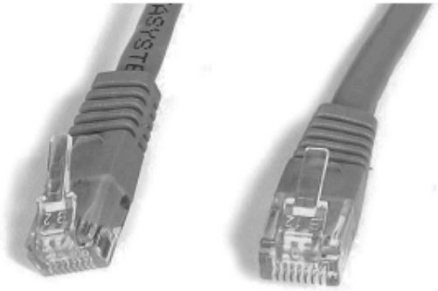



**TX-передача**

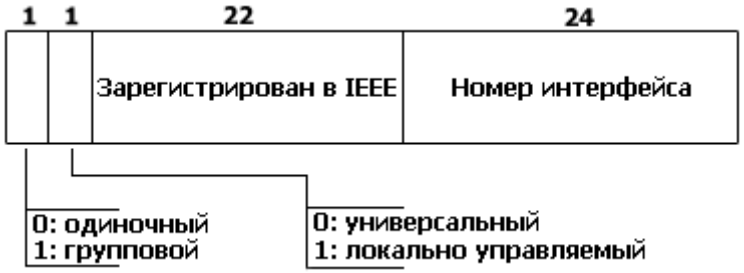
**RX-прием**

**BI_DA – двунаправленная передача по проводу А**

| № вывода | Обозначение | Описание | Цвет провода: Стандарт 568A | Цвет провода: Стандарт 568B |
|---|---|---|---|---|
| 1 | BI_DA+ | Bi-directional pair A + | | |
| 2 | BI_DA- | Bi-directional pair A - | | |
| 3 | BI_DB+ | Bi-directional pair B + | | |
| 4 | BI_DC+ | Bi-directional pair C + | | |
| 5 | BI_DC- | Bi-directional pair C - | | |
| 6 | BI_DB- | Bi-directional pair B - | | |
| 7 | BI_DD+ | Bi-directional pair D + | | |
| 8 | BI_DD- | Bi-directional pair D - | | |



# MAC адрес в заголовке фрейма Ethernet (1)



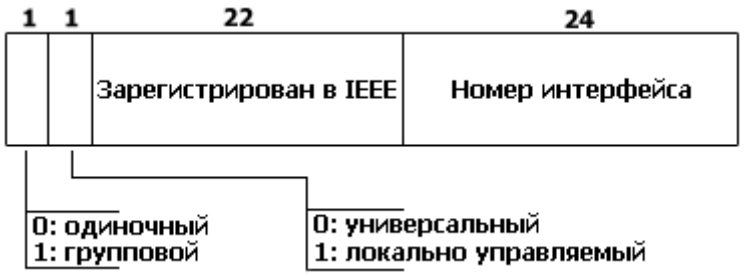

Заголовок фрейма Ethernet содержит информацию о физическом **MAC–адресе (Media Access Control, управление доступа к среде передачи)** канального уровня, назначенного каждому узлу (станции) вычислительной сети.

**MAC–адрес состоит из двух частей по три байта** каждая :

- Первые три байта адреса закреплены IEEE за той или иной компанией – производителем, код OUI; некоторые компании имеют не один такой адрес, а целую область адресов). Пример **00-00-0c, 00-05-9b, 00-05-73 Cisco; 00-03-93 Apple**

- Вторые 3 байта адреса –непосредственно уникальный адрес данного сетевого устройства (номер интерфейса).

# MAC адрес в заголовке фрейма Ethernet (2)

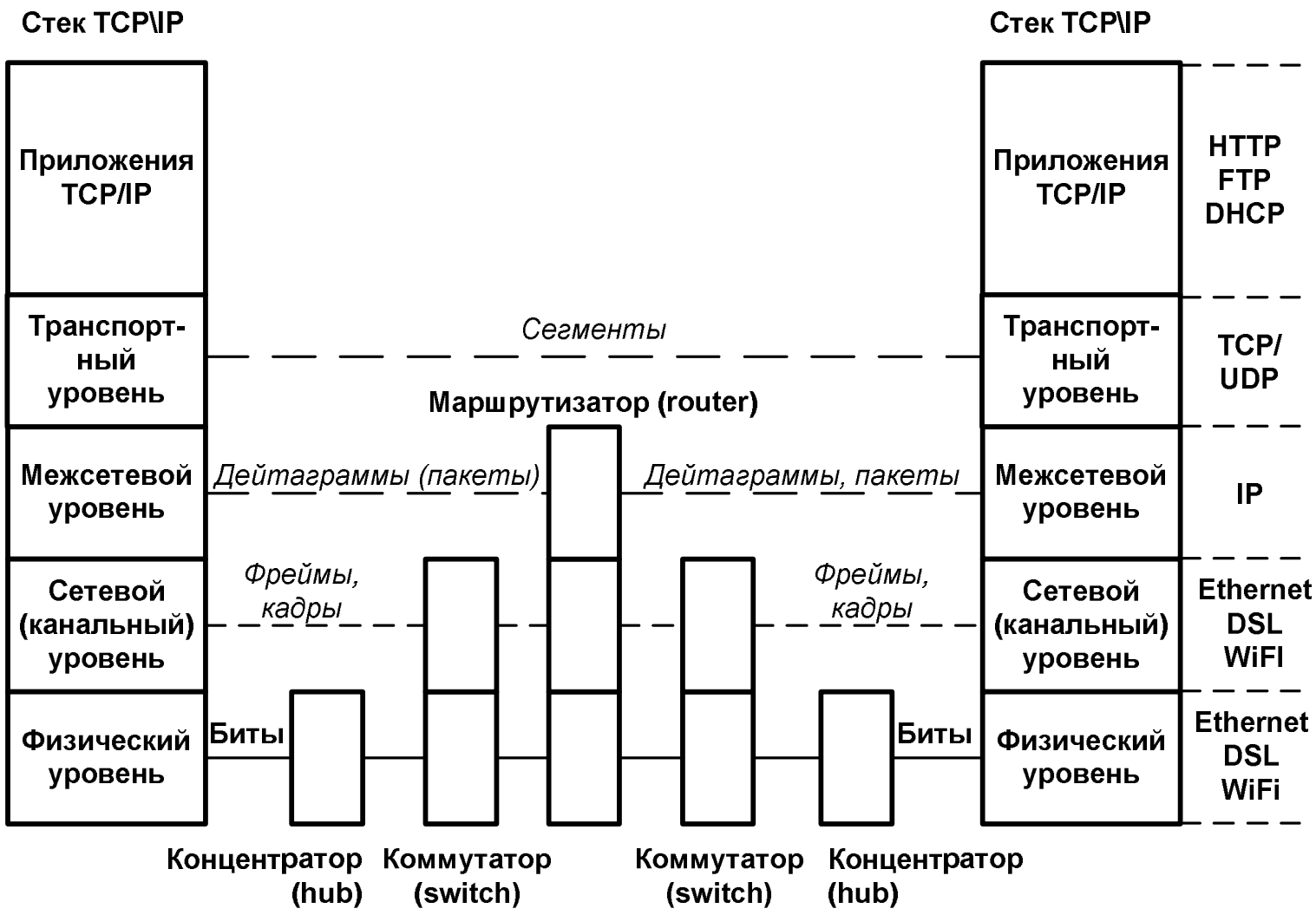



Заголовок фрейма Ethernet содержит информацию о физическом **MAC–адресе (Media Access Control, управление доступа к среде передачи)** канального уровня, назначенного каждому узлу (станции) вычислительной сети.

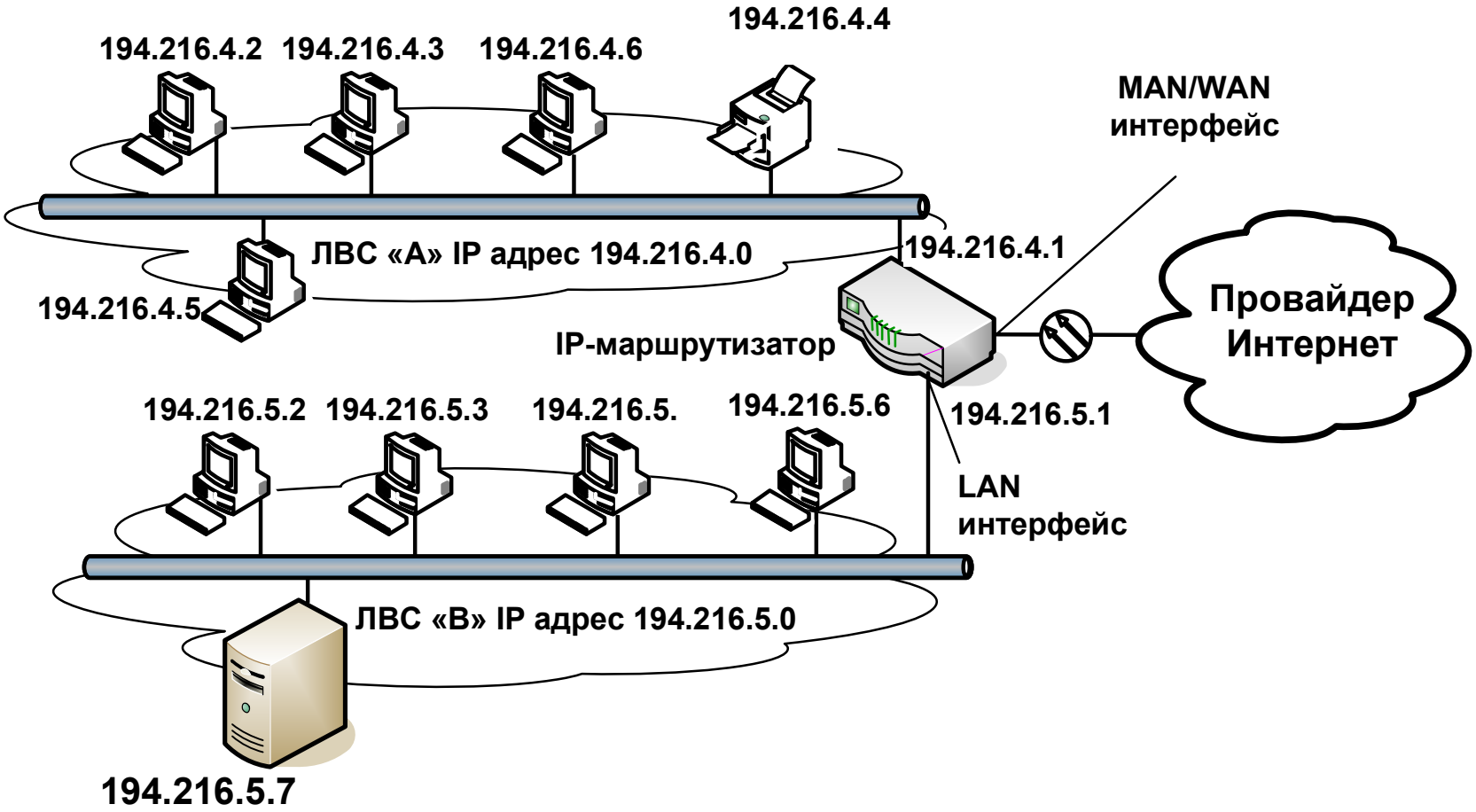
- Если первый бит MAC–адреса равен «1», то это признак широковещательной рассылки кадра, (такой адрес имеет все «1» в адресе), если первый бит равен «0» – то это пересылка «точка–точка».

- Кадры Ethernet предназначены для работы внутри вычислительных сетей с назначенными каждому сетевому устройству MAC-адресами. Некоторые MAC адреса можно менять средствами системного ПО.

# Устройства вычислительных сетей и стек протоколов TCP/IP



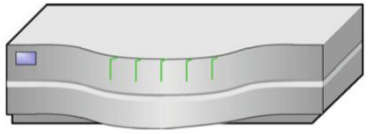
# Организация двух ЛВС на одном маршрутизаторе



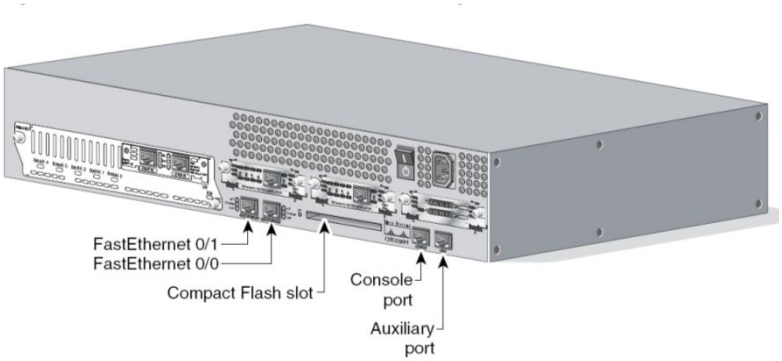
# Функции маршрутизатора ЛВС

***Маршрутизатор (router)*** – устройство связи для передачи IP–пакетов из одной сети в другую или для передачи пакетов в масштабах одной, достаточно крупной, вычислительной сети.

Маршрутизаторы всегда находят оптимальный маршрут между заданными локальными сетями независимо от количества промежуточных сетей. Выполняют такие функции управления сетью, как балансировка нагрузки, разбиение сетей, подсчет статистики передачи пакетов и устранение неполадок.

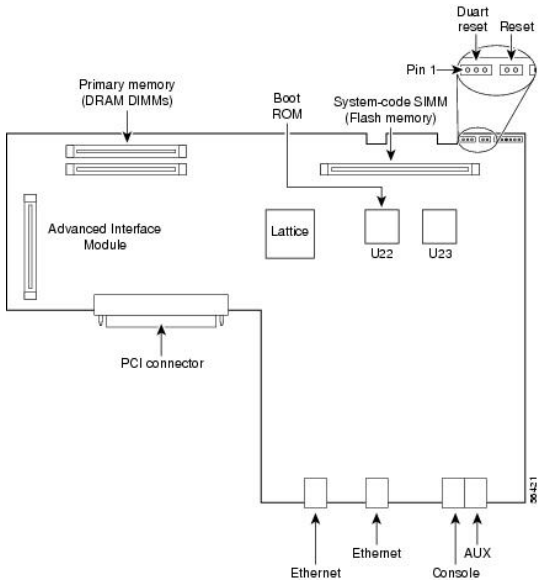


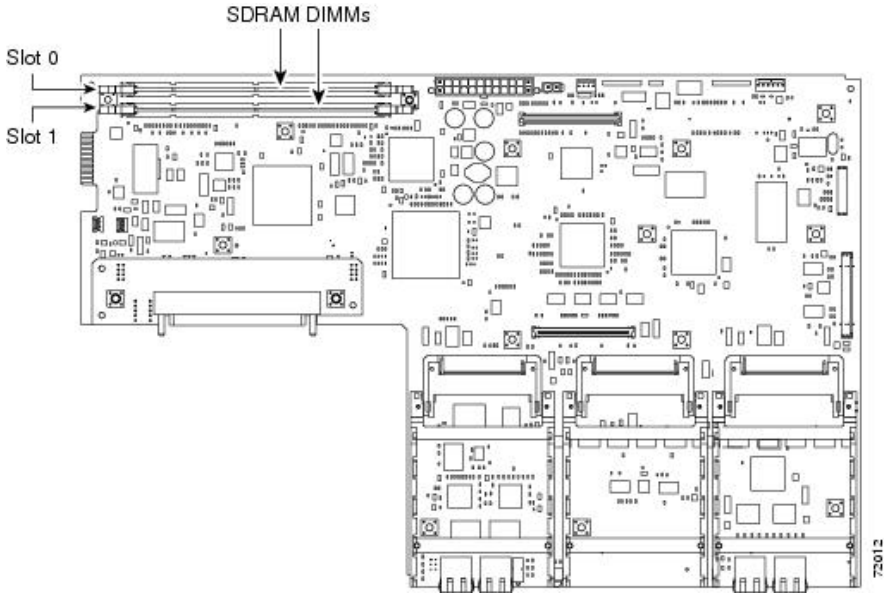
**Схематическое обозначение маршрутизатора**




**Общий вид роутера Cisco серии 26xx**

# Аппаратные средства маршрутизатора ЛВС




**Центральное процессорной устройство** – выполняет команды операционной системы и программ обработки пакетов, в маршрутизаторе может быть несколько ЦПУ.

**Оперативная память** с произвольным доступом (SDRAM) – поддерживает данные протокола ARP, хранит и динамически изменяет содержание таблиц маршрутизации, осуществляет буферизацию и коммутацию пакетов, поддерживает очереди.

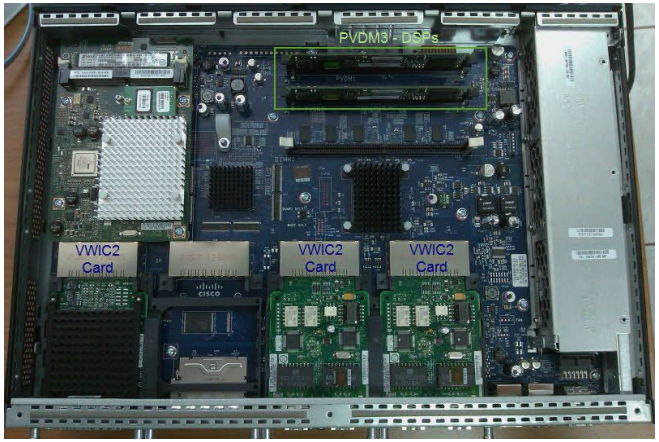
**Энергонезависимое ПЗУ** – хранит информацию о начальной конфигурации маршрутизатора.

**Электрически стираемое перепрограммируемое ПЗУ типа flash** – в данном случае хранит образ операционной системы IOS Cisco для загрузки в RAM.

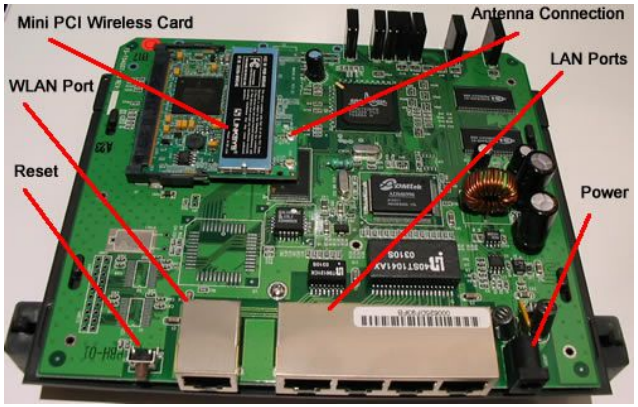
**Консоль** – позволяет персоналу по эксплуатации работать с ПО маршрутизатора.

**Интерфейсы** – позволяют поддерживать сетевые подключения к ЛВС и другим видам сетей как правило, с помощью разъемов типа RJ–45 или RJ–11.

# Внешний вид маршрутизатора ЛВС




**Ethernet маршрутизатор Cisco 25xx**




**Маршрутизатор Linkysys WRT54GL Wireless**

# Порядок работы маршуртизатора

1. Маршрутизатор принимает пакет и уменьшает значение поля «Время жизни» на 1 с или больше, если IP–пакет долго обрабатывается маршрутизатором. Если значение TTL достигает нуля, пакет стирается.

2. Пакет может быть фрагментирован (разбит) на фреймы, если его размер слишком велики для сети дальнейшего следования.

3. Если пакет фрагментирован, то маршрутизатор в рамках протокола IP создает для каждого нового фрагмента отдельный заголовок, в заголовок которого заносится следующая информация:
   - ***«Флаг» (Flag),*** указывающий, что существуют и другие фрагменты, которые будут отправлены вслед;
   - ***«Идентификатор фрагмента» (Fragment ID),*** идентифицирующий все фрагменты, составляющие один пакет;
   - ***«Смещение фрагмента» (Fragment Offset),*** обеспечивающее правильную сборку пакета на узле–получателе.

4. Вычисляется новая контрольная сумма (для протокола IPv4).

5. Определяет IP–адрес следующего маршрутизатора.

# Содержание таблиц маршрутизации

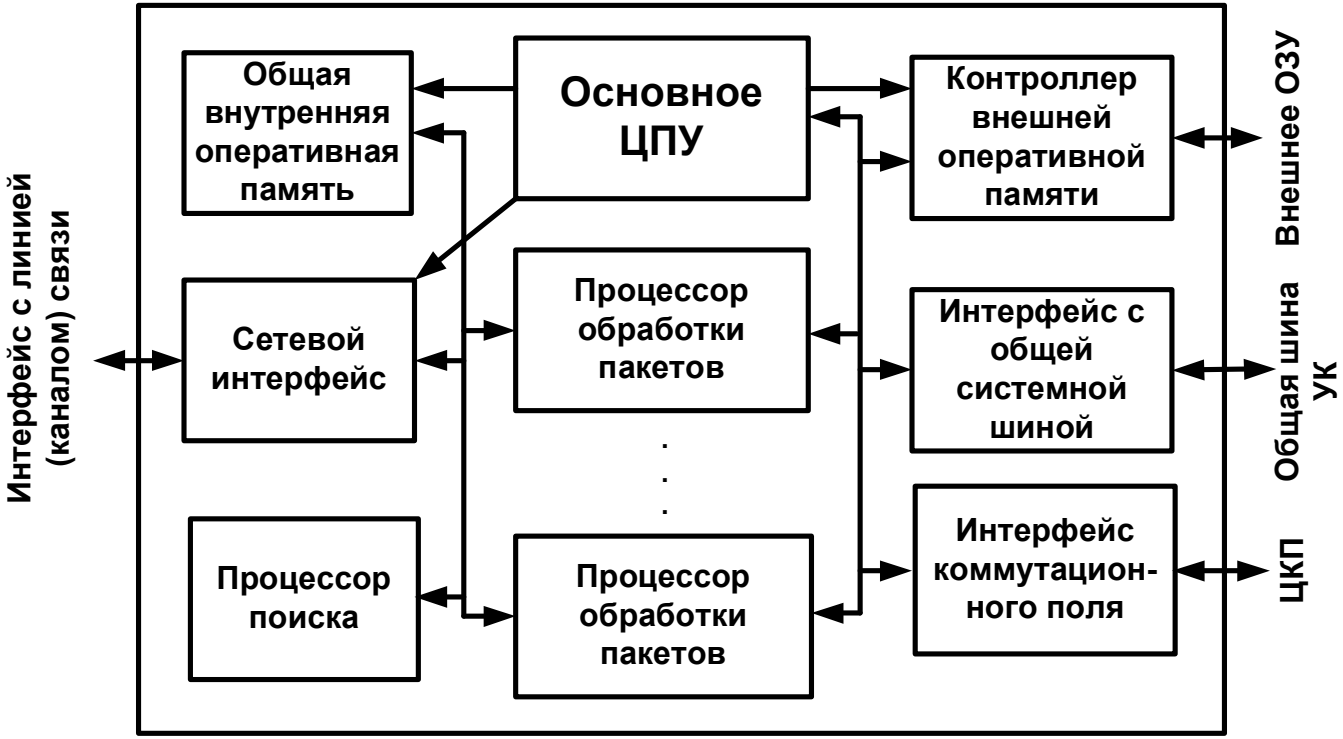
**Тип протокола** – информацию об используемом протоколе маршрутизации.

**Связка получатель/следующий узел** – информация о том, что определенный получатель либо подключен непосредственно, либо может быть достигнут через другой маршрутизатор, называемый следующим транзитным узлом (next hop), находящийся на пути к пункту назначения. Маршрутизатор анализирует IP–адрес получателя во входящих пакетах и сравнивает его на соответствие с записями в таблице маршрутизации.

**Метрики или показатели качества маршрутизации** – для определения предпочтительности того или иного маршрута (количество транзитных узлов, пропускная способность, загрузка канала, суммарная задержка передачи и пакета).

**Идентификатор выходного интерфейса** – интерфейс, через который должны быть отправлены данные, чтобы достичь пункта назначения.

# Функциональная схема сетевого процессора




***Сетевой процессор*** (network processor) – специализированное программируемое вычислительное средство, которое применяется для выполнения функций обработки потоков данных, пакетов и кадров, относящихся к различным телекоммуникационным протоколам в реальном режиме времени или с минимальной задержкой по времени.

# Основные аппаратные элементы сетевого процессора

***Основное ЦПУ -*** координирует работу всех остальных блоков сетевого процессора, поддерживает маршрутные таблицы и сведения о качестве обслуживания (QoS), обрабатывает пакеты, связанные с запросами по управлению сетью и обновлением маршрутных таблиц. Это ЦПУ делается на базе процессора общего назначения, на нём может запускаться такие ОС РВ как VxWorks, embedded Linux, а также средства разработки ПО для сетевого процессора.

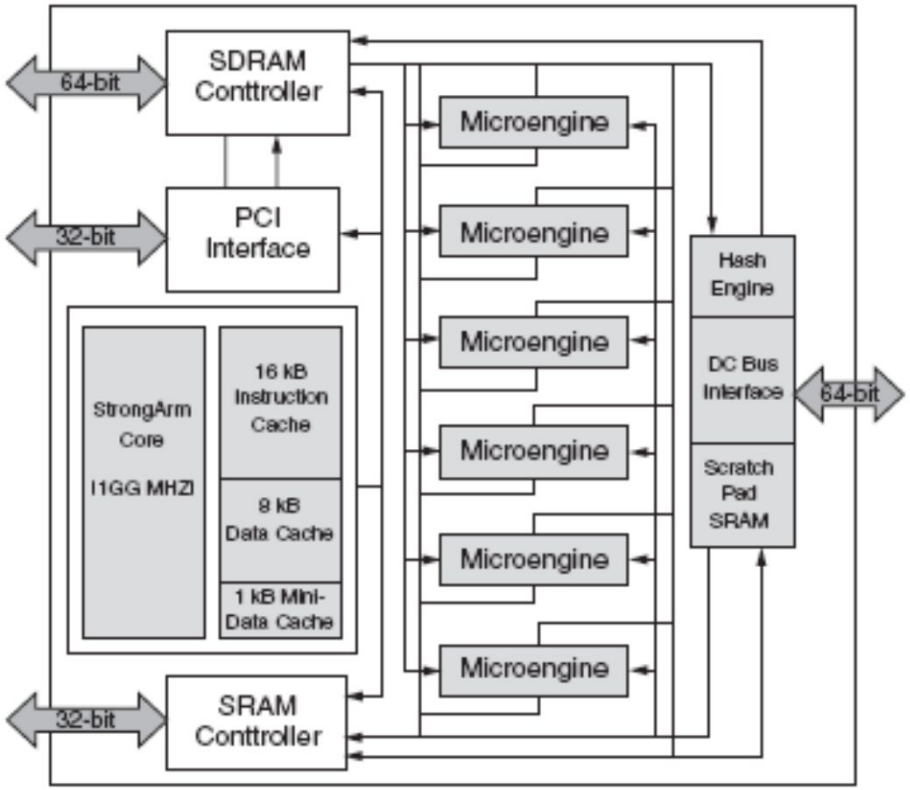
***Аппаратные ускорители/сопроцессоры -*** разгружают ЦПУ или процессоры обработки пакетов от таких функций, как вычисление контрольных сумм, поддержки режима DMA и прочее.

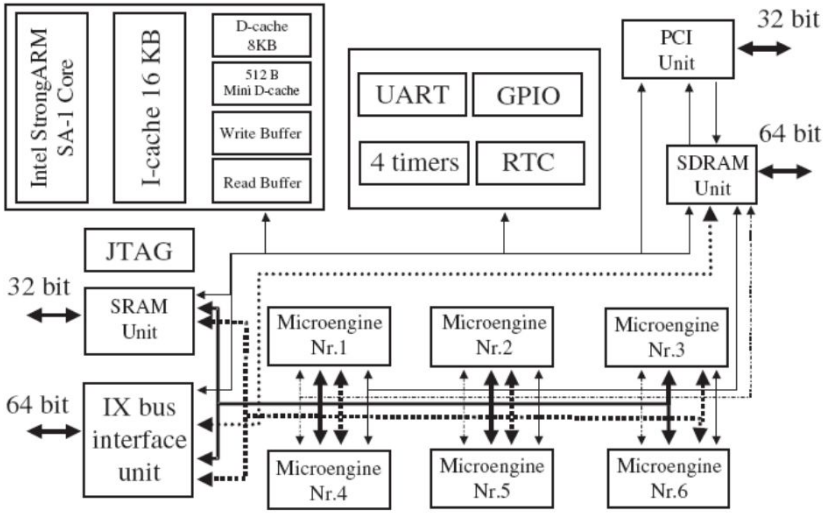
***Процессор поиска -*** является самостоятельным ЦПУ и осуществляет поиск в таблицах маршрутизации; например по заголовку полученной IP-дейтаграммы осуществляет поиск в таблице IP-адресов назначения следующего IP-узла, куда данная дейтаграмма будет передана.

# Последовательность работы сетевого процессора

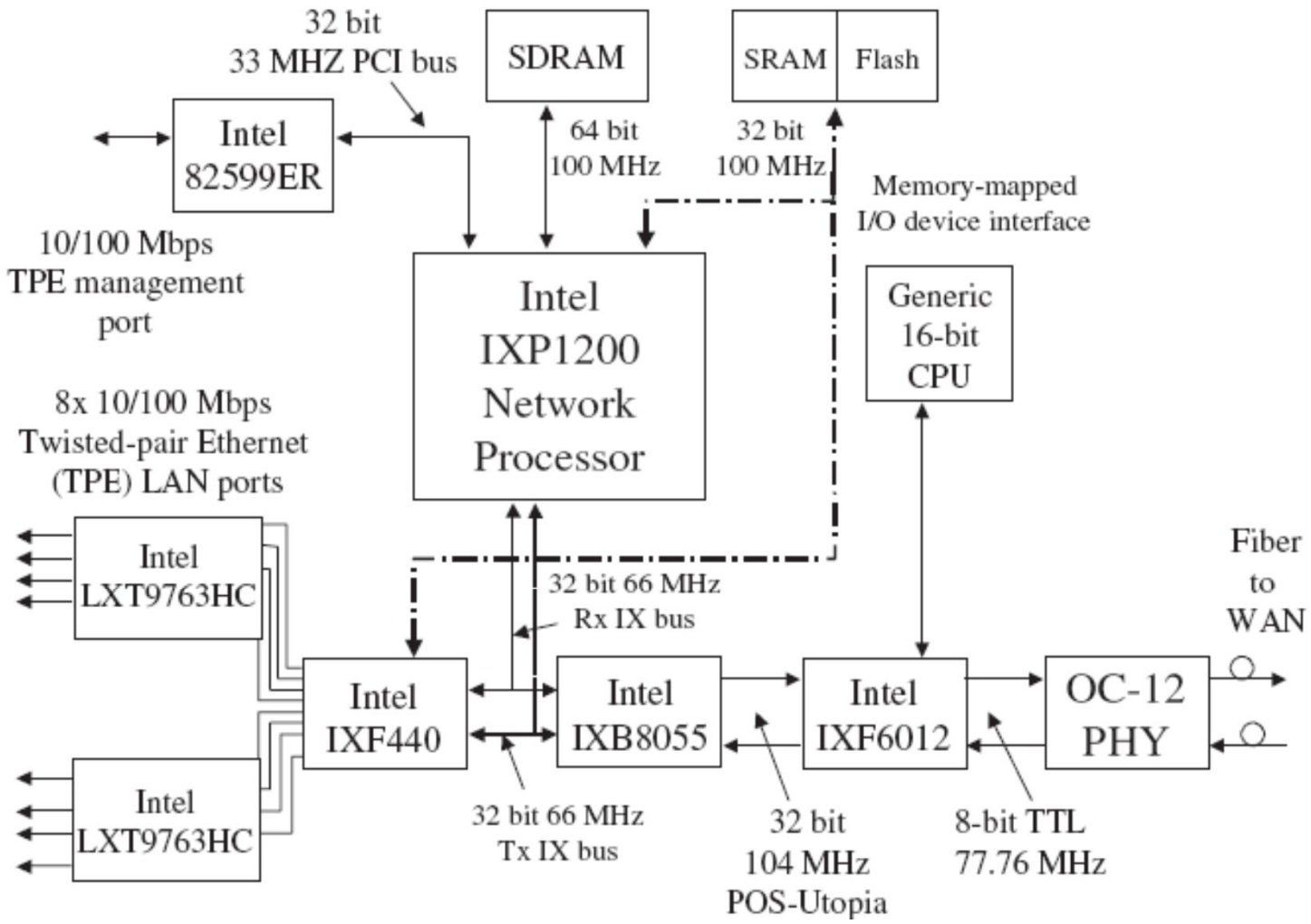
1. Получение через сетевой интерфейс/порт пакетов, ячеек или кадров.
2. Полная/частичная запись полученных данных в общую внутреннюю оперативную память.
3. Определение порядка обработки пакетов, ячеек или кадров.
4. Определение типа пакета, обработка данных заголовка пакета/кадра, определение данных маршрутизации, модификация заголовка и присвоение QoS.
5. С учетом QoS пакет может быть задержан при передаче/обработке или обработан немедленно.
6. Перенаправление пакета или кадра на интерфейс коммутационного поля или в буфер приёма-передачи сетевого интерфейса.

# Функциональная блок-схема сетевого процессора IXP 1200



# Функциональная блок схема маршрутизатора Ethernet-Sonet на базе сетевого процессора IXP 1200



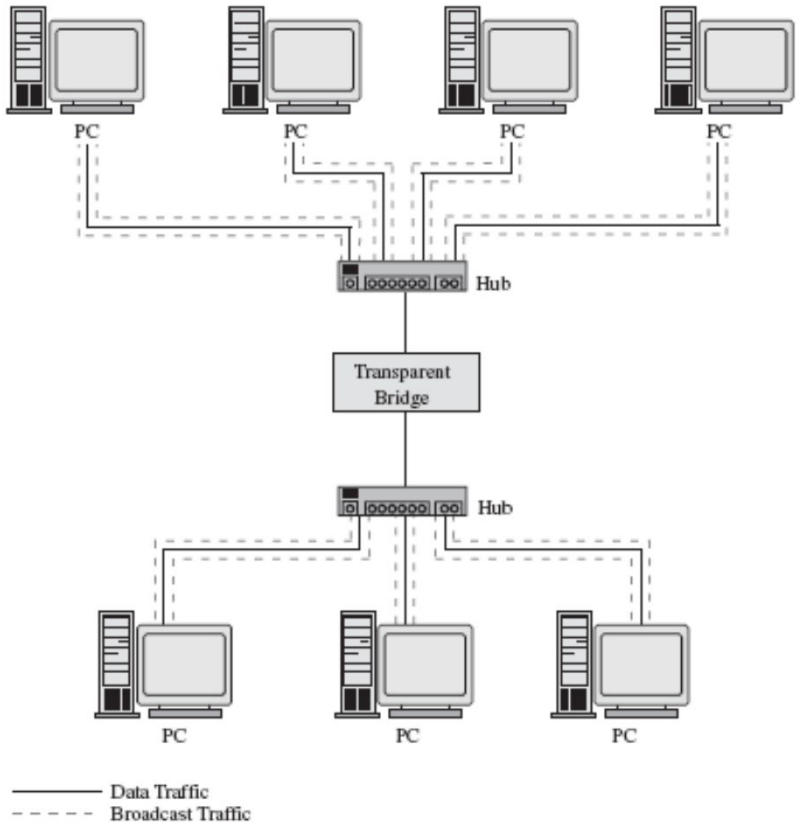
# Функции коммутатора, моста, концентратора и шлюза ЛВС

***Коммутатор (switch)*** – устройство, соединяющее несколько одинаковых или похожих сетей для ретрансляции пакетов между ними.

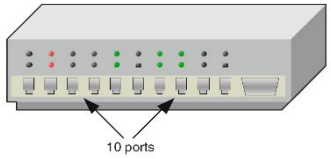
***Мост (bridge)*** – это устройство, обеспечивающее взаимосвязь нескольких локальных вычислительных сетей посредством трансляции кадров управления доступом к среде из одной ЛВС в другую с преобразованием, в случае разнотипных ЛВС,

***Концентратор (hub)*** – это многопортовый репитер (повторитель) или разветвитель сигнала, который получив битовый сигнал на один из физических портов, немедленно передает сигнал на другие порты.

***Шлюз для ЛВС*** – устройство, соединяющее локальную вычислительную сеть с другой сетью, использующей другие протоколы взаимосвязи.

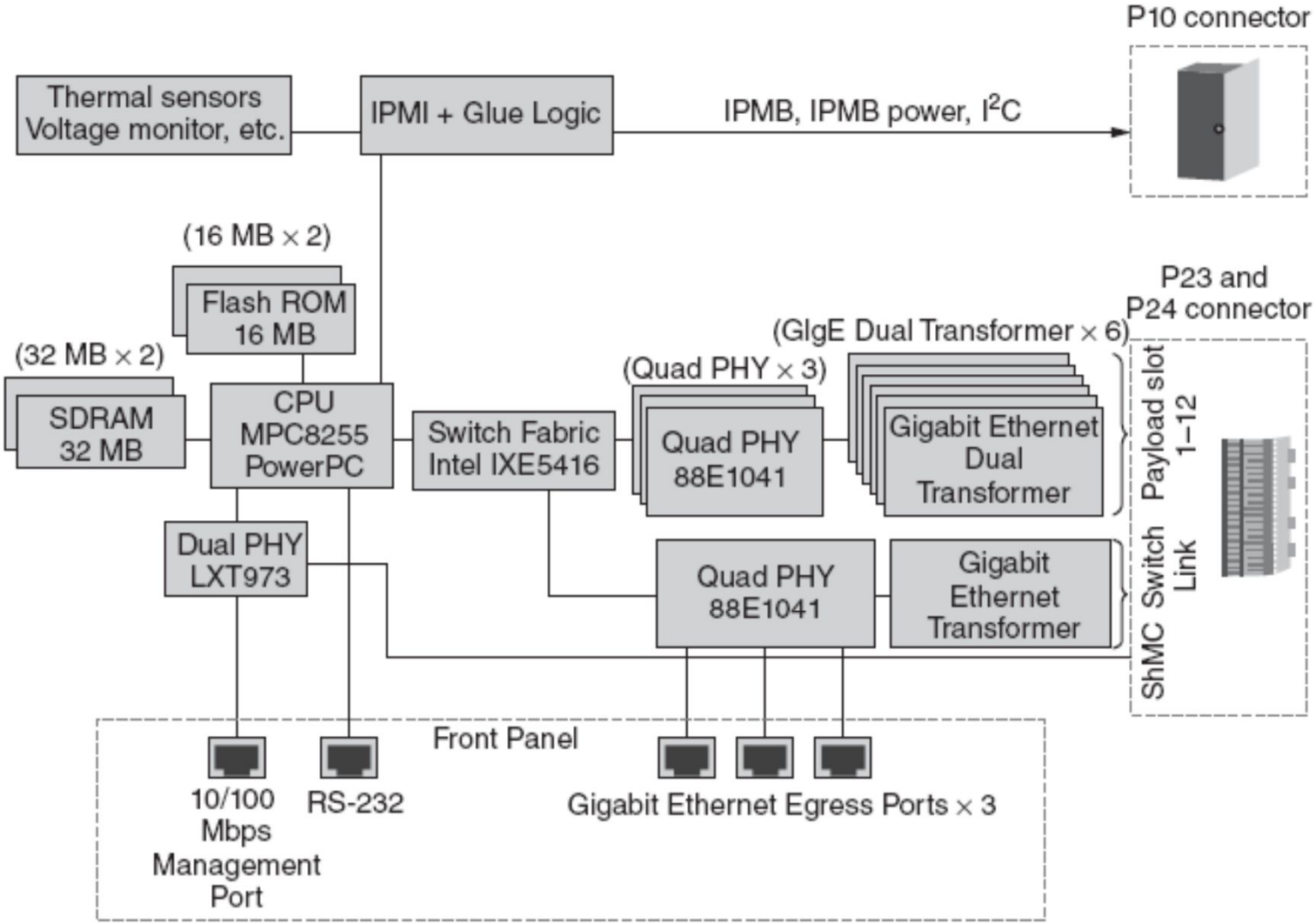


**Схематическое обозначение bridge**

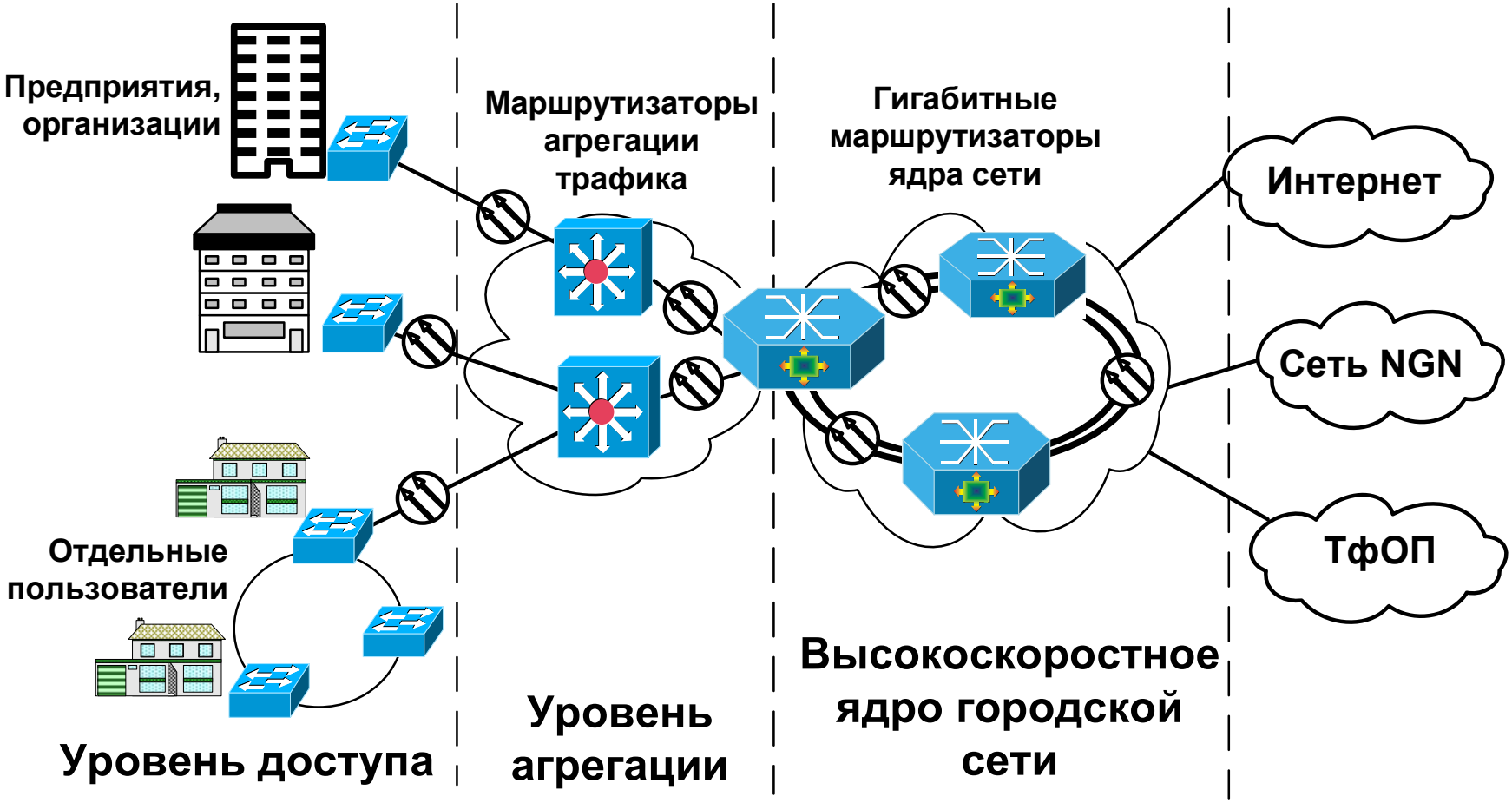



**Схематическое обозначение hub**

# Функциональная блок-схема коммутатора ЛВС



# Городская сеть уровня MAN на технологии Ethernet



# Телекоммуникационные технологии сетей доступа

| Технология | Среда передачи | Скорость передачи | Максимальное расстояние |
|---|---|---|---|
| Ethernet<br>Fast Ethernet<br>Gigabit Ethernet | Оптическое волокно, медная витая пара (кат.5,6,7) | От 10 Мбит/с до 1000 Мбит/с | 100 м (медь); до 2 км (многомодовое волокно); до 150 км (одномодовое волокно) |
| HDSL(высокоскоростная цифровая абонентская линия) | Медная витая пара | 2 Мбит/с, симметричная передача | До 5–8 км в зависимости от диаметра медной жили |
| ADSL (ассимметричная цифровая абонентская линия) | Медная витая пара | 1 Мбит/с от абонента и 7 Мбит/с к абоненту, асимметричная передача | До 5–8 км в зависимости от диаметра медной жилы |
| VDSL (сверхвысокоско-ростная цифровая абонентская линия) | Медная витая пара | От 1,5 до 2,3 Мбит/с от абонента и от 13 до 52 Мбит/с к абоненту | До 1,5 км |
| PON (пассивная оптическая линия) | Волокно | 10 Мбит/с для данных, 2 Мбит/с для телефонии | До 20 км |
| WiFi (версия IEEE 802.11a/b) | Радиоэфир | До 11….54 Мбит/с | От 50 до 100 м |
| WiFi (версия IEEE 802.11n) | Радиоэфир | До 600 Мбит/с | От 30 до 80 м |
| WiMAX (версия IEEE 802.16-2005) | Радиоэфир | До 70 Мбит/с | До 3–5 км – городская застройка, до 50 км – открытая местность |

# Сетевой адаптер или контроллер сетевого интерфейса

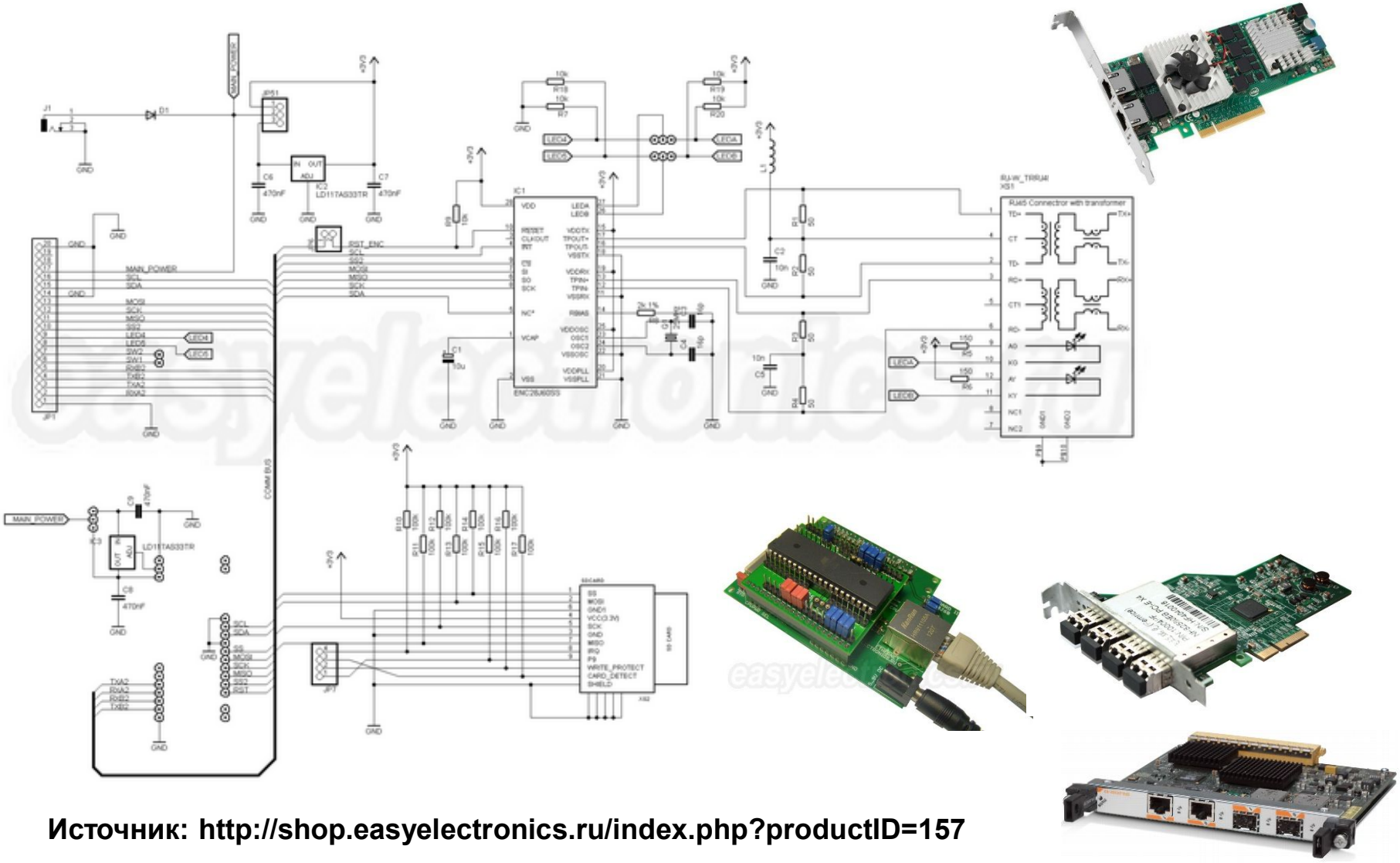
***Сетевой адаптер или контроллер сетевого интерфейса, NIC*** **–** периферийное оборудования выполняющее функции ввода-вывода узла коммутации согласно ГОСТ 25868–91.

Сетевой адаптер реализует интерфейс (стык) физического и канального уровня узла коммутации с физической средой передачи сигнала электросвязи. Сетевой адаптер решает задачи надежного и устойчивого обмена электрическими или оптическими сигналами по линиям связи.

Сетевой адаптер работает под управлением загружаемого драйвера устройств ввода-вывода операционной системы или может быть выполнен в виде заказной микросхемы.

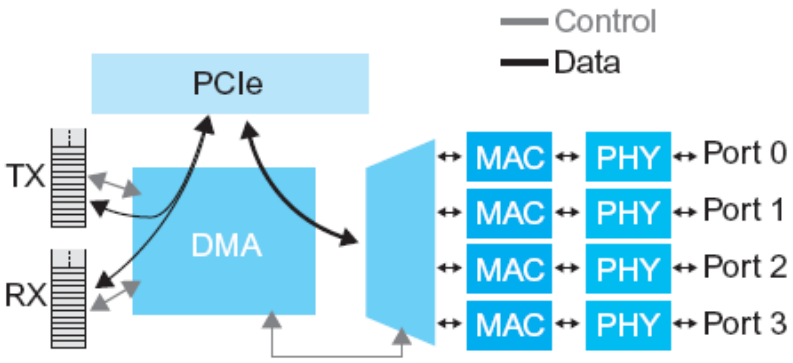
В случае, когда сетевой адаптер поддерживает только одну среду передачи, а по факту необходимо использовать другую, дополнительно могут применяются трансиверы и конверторы.

# Внешний вид и схема сетевого адаптера



Источник: http://shop.easyelectronics.ru/index.php?productID=157

# Сетевой адаптер NIC на базе FPGA




**Patterson, Hennessy, 2014 (c)**

4 порта по 10 Гбит/с

Системная шина PCI, 8 линий, дуплекс, 16 Гбит/с

Две очереди длиной 32 заявки (передача и прием) для системной шины

Память ввода/вывода с отображением на память ОЗУ

Используется режим DMA

Ввод-вывод по прерываниям

# Понятие о телекоммуникационном кроссе

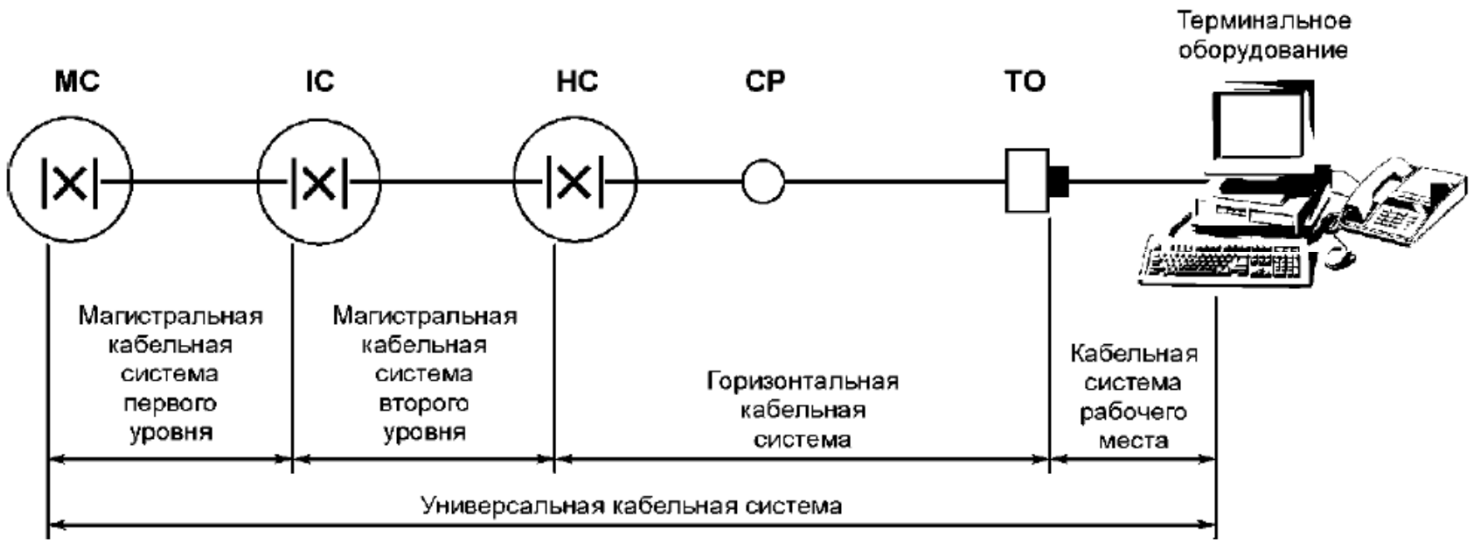
***Кросс –*** установка, обеспечивающая подключение кабельных элементов, их кросс-соединение ил межсоединение.

***Кросс-соединение*** - метод коммутации, в котором для подключения активного оборудования к магистральной кабельной подсистеме или пассивной коммутации между собой кабельных сегментов магистральной подсистемы используются две единицы коммутационного оборудования, соединяемые коммутационными шнурами.

***Межсоединение*** **-** метод коммутации, в котором для подключения активного оборудования к магистральной кабельной подсистеме используется одна единица коммутационного оборудования, соединенная непосредственно с кабелем магистральной подсистемы.

**ГОСТ Р 53246-2008**

# Виды телекоммуникационных кроссов СКС




**MC –** главный кросс, соединяет магистральную сеть с промежуточными кроссами второго уровня

***IC –*** промежуточный кросс, соединяет кроссы второго уровня с горизонтальными

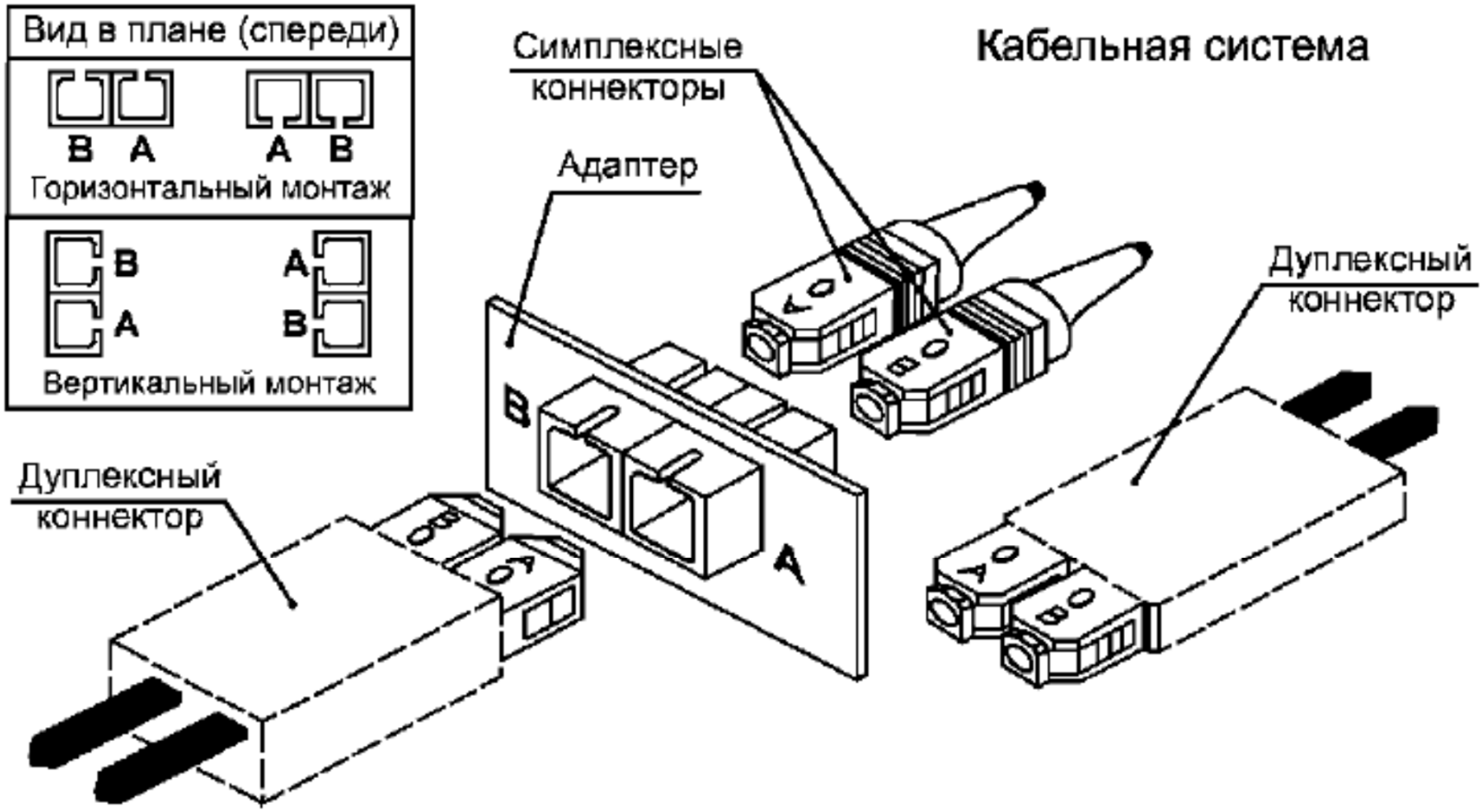
***HC*** – горизонтальный кросс

***CP –*** консолидационная точка

***TO –*** телекоммуникационная розетка

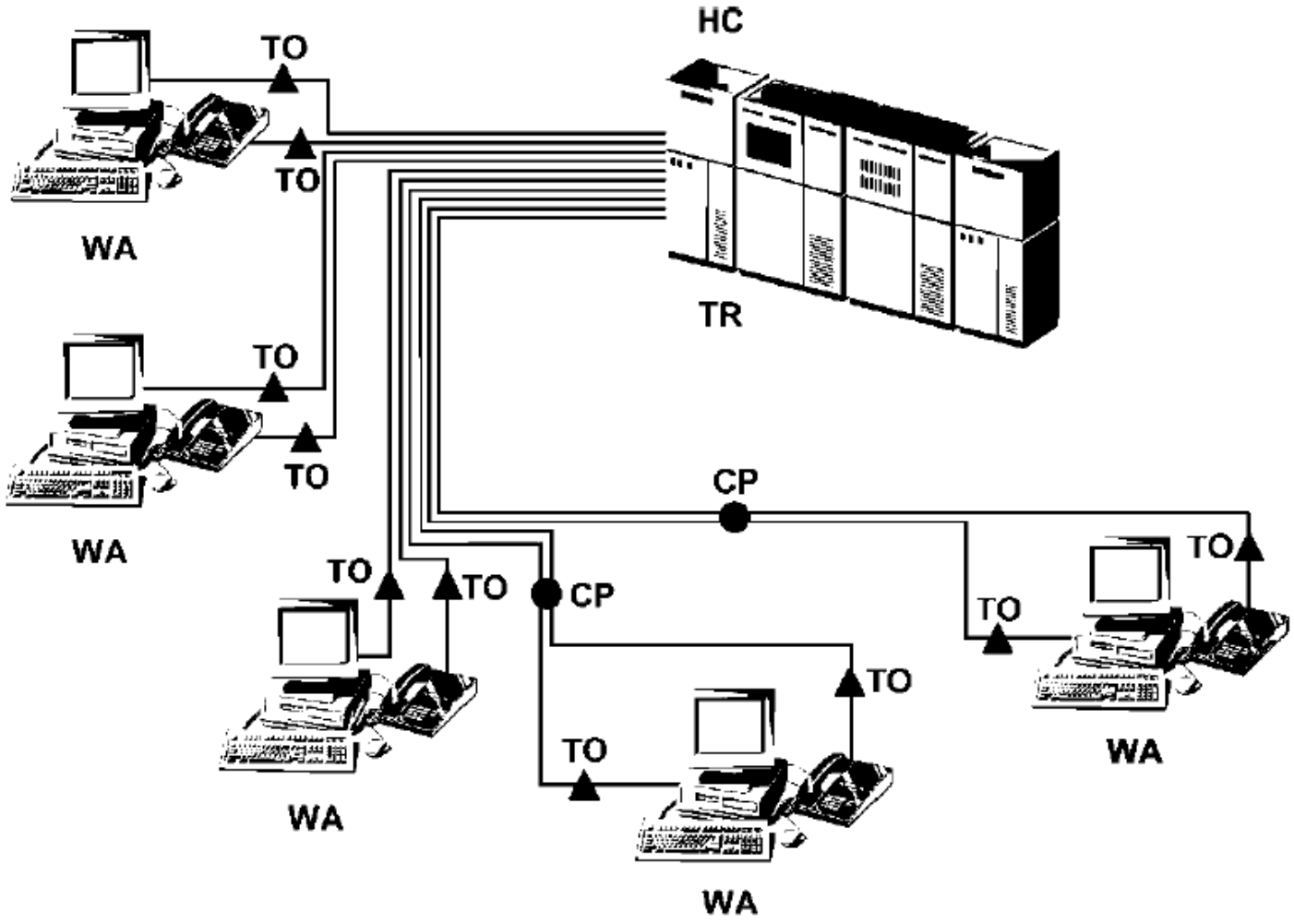
**ГОСТ Р 53246-2008**

# Волоконно-оптические коннекторы и адаптеры СКС




**ГОСТ Р 53246-2008**

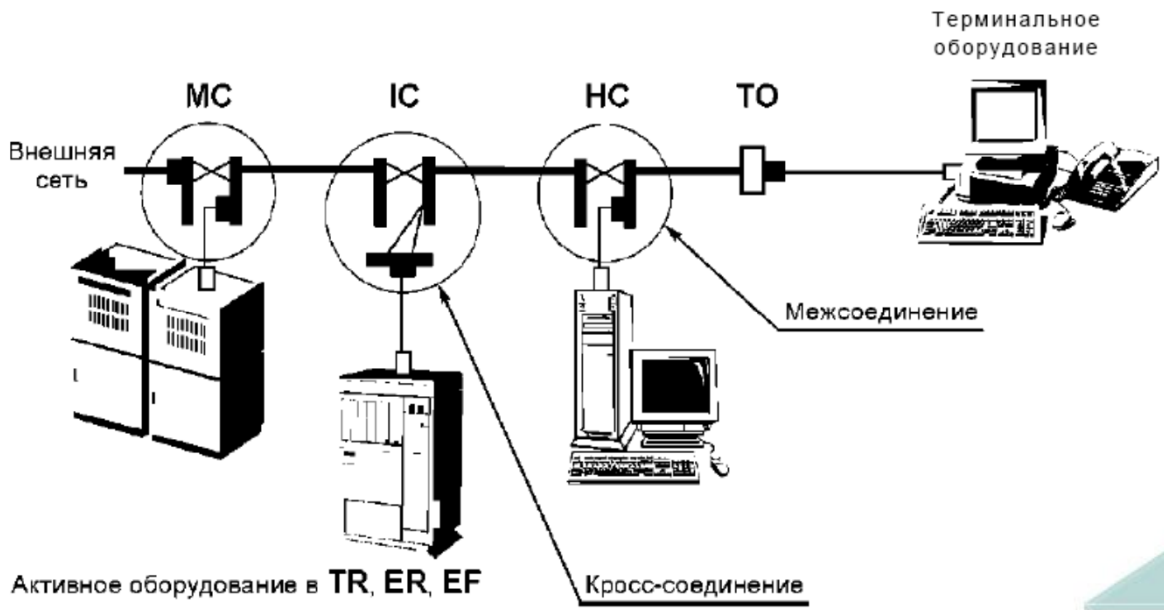
# Топология типа «звезда» СКС

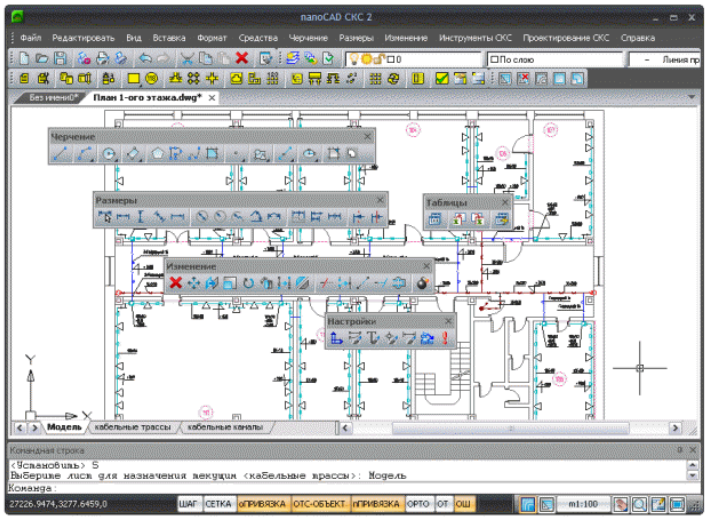


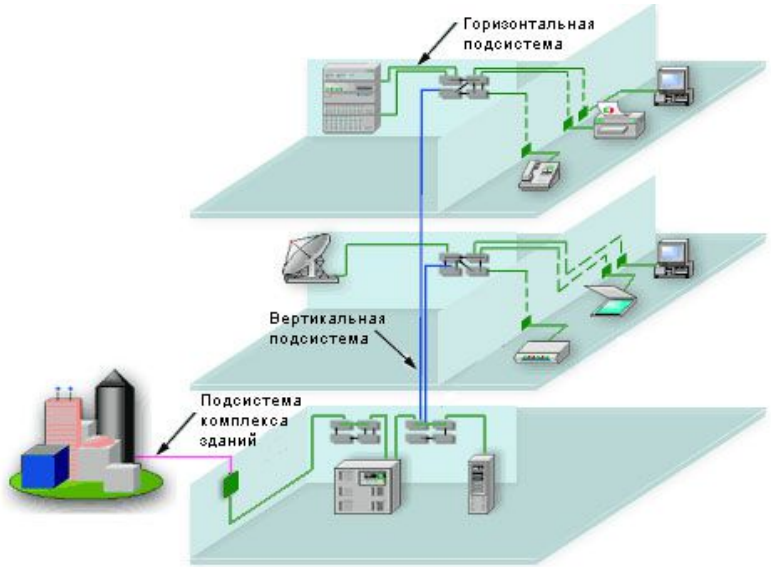

**ГОСТ Р 53246-2008**

# Интерфейсы телекоммуникационных кроссов СКС

ГОСТ Р 53246-2008



# Записи о кроссовых соединениях

**Таблица 1** Пример записи кабеля

| Требуемая информация | Пример данных | Комментарий |
|---|---|---|
| Идентификатор кабеля | **C0001** | Некодированный идентификатор для кабеля C0001 |
| Тип кабеля | **4-парный UTP, категории 3** | Перечислены число пар и категория |
| Номера нетерминированных пар/проводников | **0** | Список нетерминированных пар или проводников |
| Номера поврежденных пар/проводников | **0** | |
| Номера свободных пар/проводников | | |

**Таблица 6** Пример отчета по кабелю

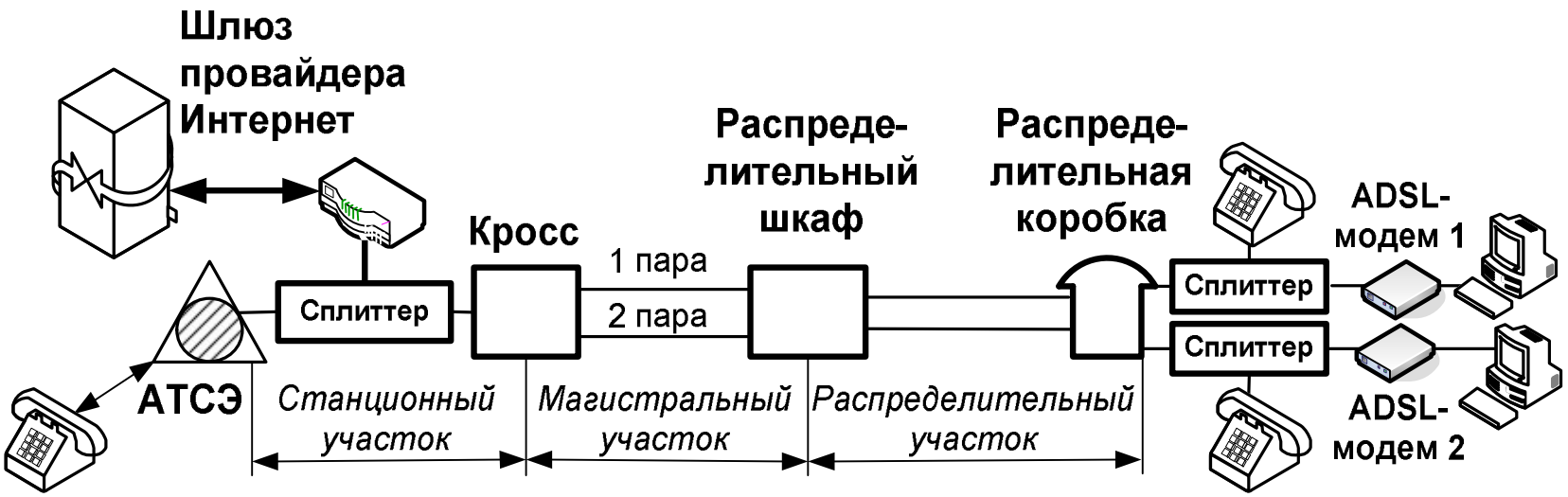
| ID кабеля | Трасса | Позиция терминирования 1 | Помещение 1 | Тип кабеля | Приложение |
|---|---|---|---|---|---|
| | | Позиция терминирования 2 | Помещение 2 | Длина кабеля | Оборудование |
| C0001 | CD34 | J0001 | D306 | Категория 3 | TR3 |
| | | 3A-C17-001 | 3A | 50 м | PC59 |
| CB02 | SL02-05 | C4R6-001 | B101 | 100 PR CMR | Речь |
| | | | 3A | 23 м | PBX |

**Таблица 7 Пример записи коммутационного оборудования: Коммутационные блоки**

| | Пример данных | Комментарии |
|---|---|---|
| **Требуемая информация** | | |
| Идентификатор коммутационного оборудования | **3A-C17** | Блок 3A-C17 |
| Тип коммутационного оборудования | **IDC** | Физическое описание оборудования, номер части и т.д. |
| Номера поврежденных позиций | **нет** | |
| **Требуемые ссылки** | | |
| Позиция коммутационного оборудования, запись 1 | **3A-C17-001** | Кабель терминируется в группах по четыре позиции коммутационного оборудования |
| Позиция коммутационного оборудования, запись 2 | **3A-C17-005** | |
| Позиция коммутационного оборудования, запись 3 | **3A-C17-009** | |
| Позиция коммутационного оборудования, запись n | | |
| Запись помещения | **3A** | Местоположение коммутационного оборудования |
| Запись элемента системы заземления | **—** | |
| Дополнительная информация | | |
| Защита | **нет** | Возможные характеристики защищенных блоков: тип, защищенные позиции, ток, напряжение, время возрастания и т.д. |

**ANSI/TIA/EIA-606**

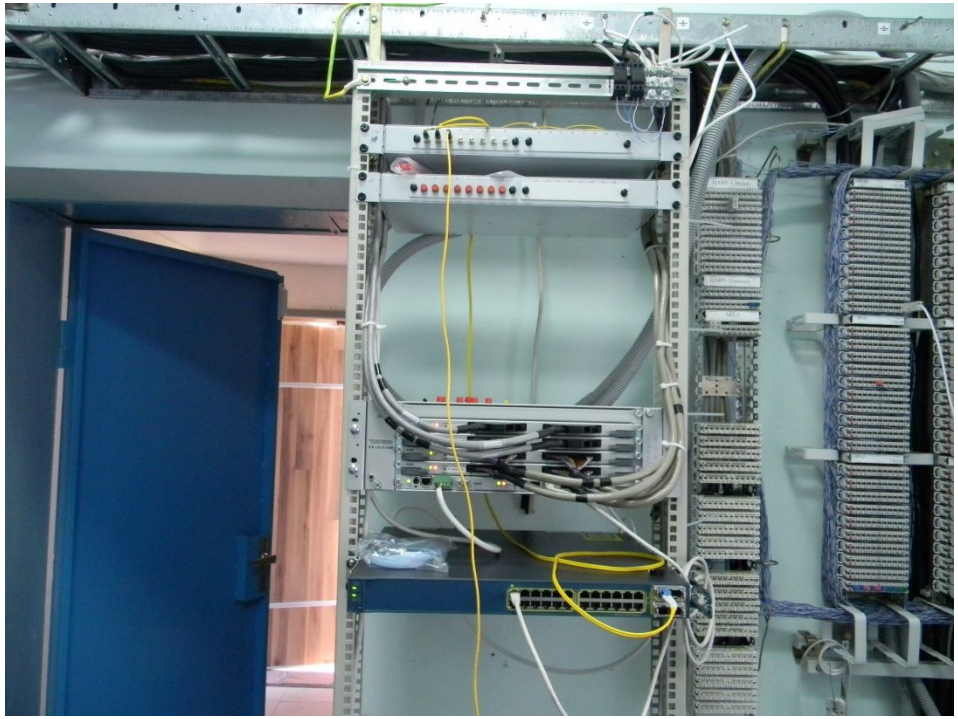
# Аппаратные средства сетей доступа DSL




•Для организации DSL применяется модем, который позволяет модулировать аналоговый сигнал и передавать с его помощью нули и единицы цифровой информации.

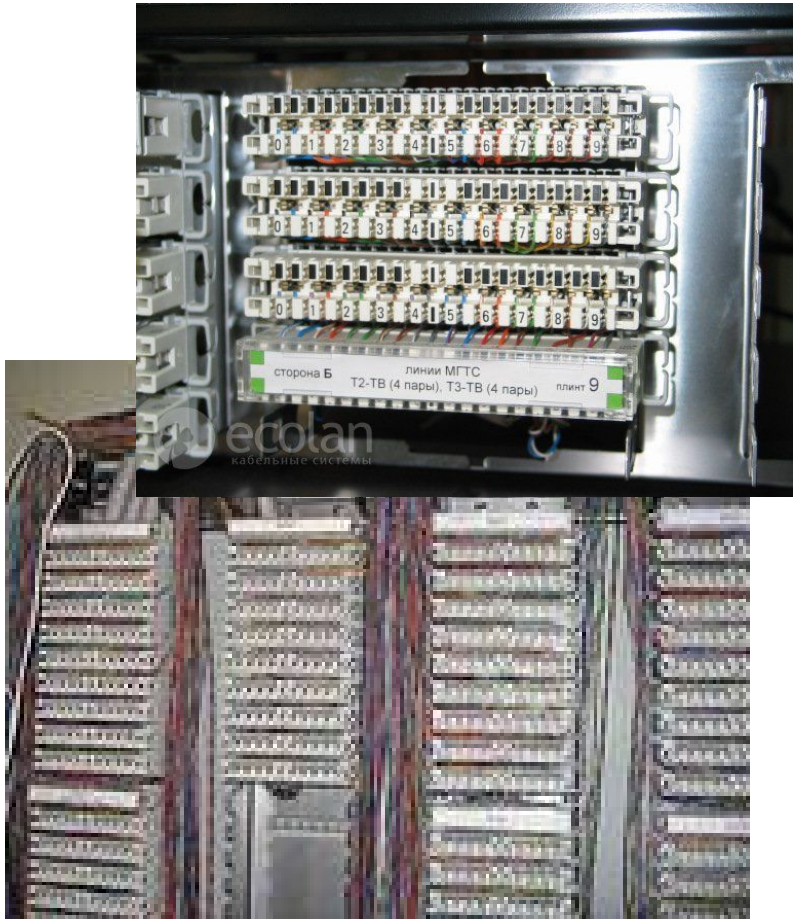
•Для DSL характерна разница в скоростях передачи «нисходящего», downstream потока (от сети к пользователю) и «восходящего», upstream (от пользователя в сеть) потока данных. Это объясняется разницей в объеме запроса от клиента к серверу (восходящий поток) и ответа сервера (нисходящий поток).

# Общий вид кроссов и оборудования DSLAM

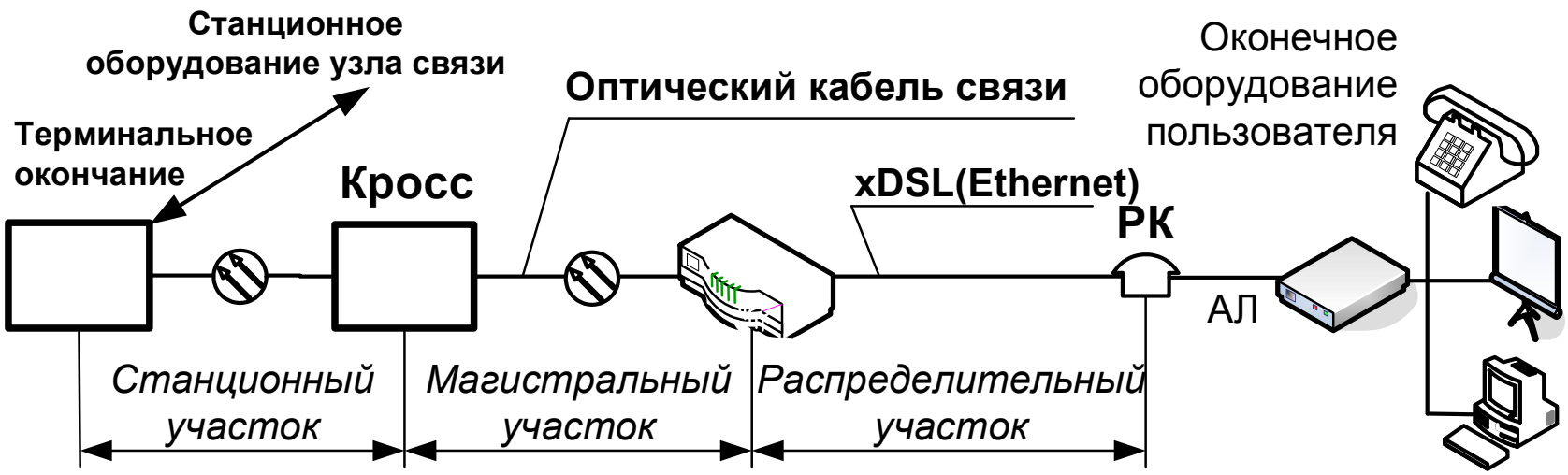


Станционный оптический кросс, коммутаторы DSLAM и коммутатор Cisco

Абонентские кроссы



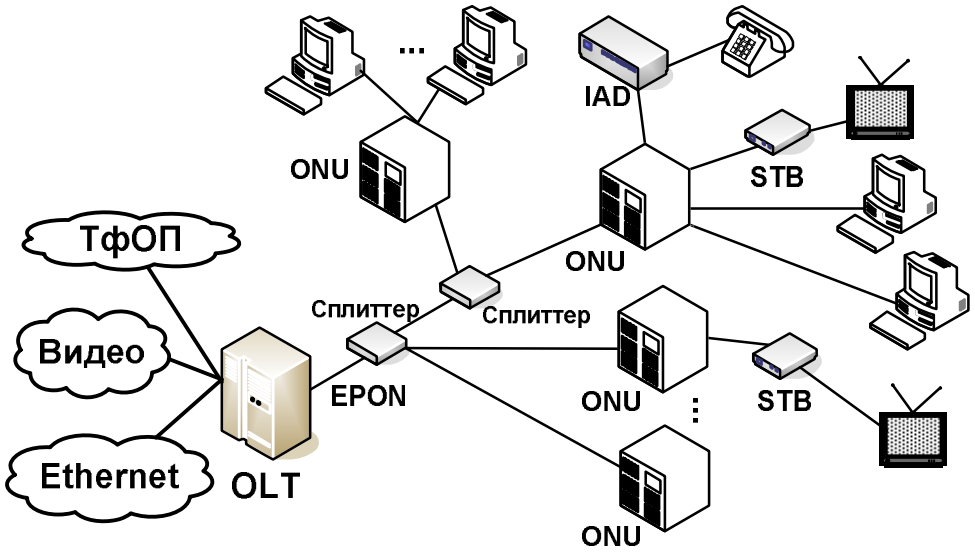
# Аппаратные средства сети доступа FTTx




•Технология «оптический кабель до точки X», FTTx (Fiber To The x) предусматривает доведение кабеля с оптическими волокнами до некоторой точки «x», после которой информация передается с использованием другой среды распространения сигналов.

•На рис. показано построение широкополосной сети доступа на базе оптических кабелей, по крайней мере, на магистральном участке распределительной сети FTTC (C, curb) оптическое волокно доведено либо до распределительного шкафа либо до маршрутизатора/коммутатора сети Ethernet.

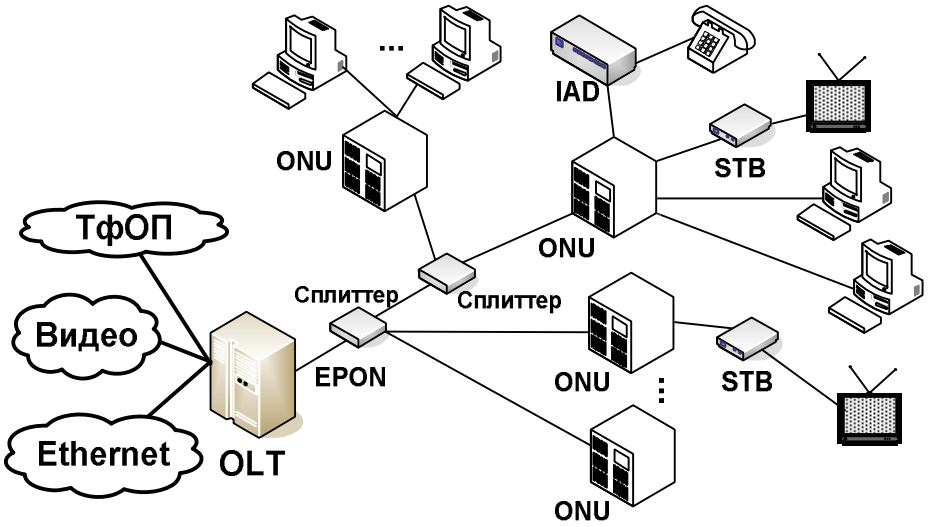
# Аппаратные средства пассивных оптических сетей PON (1)




**Пассивные оптические сети PON** предназначены для передачи оптического сигнала без усиления с помощью мультиплексирования по длине волны. Сеть PON с древовидной структурой охватывает приемо–передающий модуль в устройстве оптического терминала OLT (Optical Line Terminal) и пользовательское оптическое сетевое устройство, ONU (Optical Network Unit).

Сеть используется для предоставления услуг Triple-Play: телефонная связь, передача данных и телевидение, переносит данные пользователя, инкапсулированные в Ethernet-кадры (стандарт IEEE 802.3).

# Аппаратные средства пассивных оптических сетей PON (2)

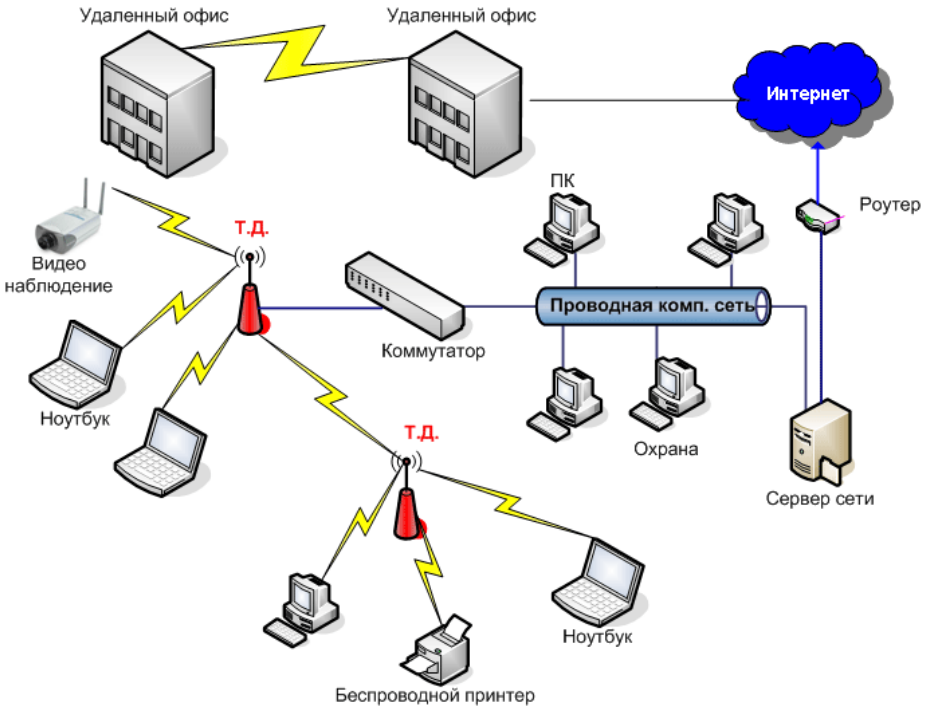



В направлении нисходящего потока (downstream) от OLT к ONU на длине волны 1490 нм (для телевидения – 1550 нм) идет широковещательная передача. В направлении восходящего потока (upstream) от ONU к OLT кадры передаются точно к OLT на длине волны 1310 нм из за свойств направленности сплиттера.

Технологии PON допускают динамическое распределение полосы пропускания, DBA (Dynamic Bandwidth Allocation) между различными приложениями и ONT.

Устройство OLT PON поддерживает интерфейсы транспортной сети SDH (STM-1), ATM (STM-1/4), Fast Ethernet, Gigabit Ethernet и интерфейсы сети доступа E1 (G.703), Ethernet 10/100Base-TX, телефонный интерфейс (FXS).

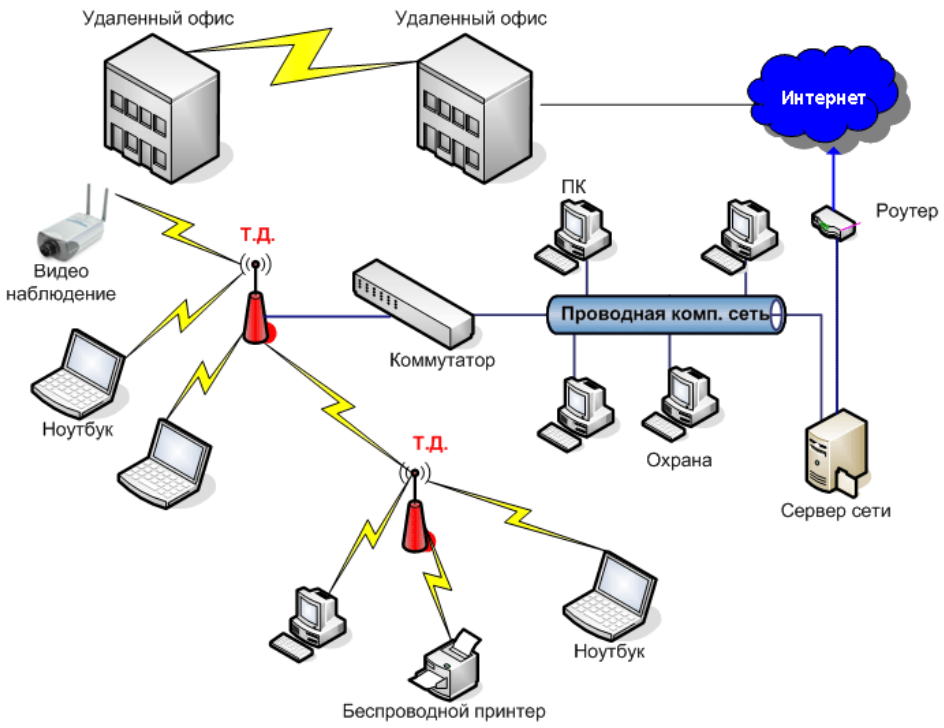
# Аппаратные средства беспроводных сетей WiFi(1)




Технология «беспроводной свободы» WiFi (Wireless Fidelity) определяется стандартом IEEE 802.11, который описывает физический уровень и канальный (MAC) уровень.

На физическом уровне существует несколько вариантов спецификаций IEEE 802.11 которые отличаются диапазоном частот, методом кодирования, скоростью передачи данных.

# Аппаратные средства беспроводных сетей WiFi(2)




**IEEE 802.11a** использует диапазон частот 5 ГГц, скорость передачи от 6 до 54 Мбит/с, метод кодирования OFDM.

**IEEE 802.11b** использует диапазон частот 2,4 ГГц, скорость передачи до 11 Мбит/с, метод кодирования модернизированный DSSS.

**IEEE 802.11g** работает в диапазоне частот 2,4 ГГц, максимальная скоростЬ передачи до 54 Мбит/с, метод кодирования OFDM.

В 2009 г. утвержден стандарт **IEEE 802.11n** со скоростью передачи данных до 600 Мбит/с. в диапазонах 2,4—2,5 или 5,0 ГГц.

# Выводы по лекции 5

1. При передаче IP-пакетов по вычислительным сетям происходит инкапсуляция в фреймы/кадры протоколов канального и физического уровня.
2. Для коммутации и обработки пакетов выделяют маршрутизаторы, коммутаторы, мосты, хабы для работы на сетевом, канальном, физическом уровнях соответственно.
3. Базовой технологией современных ЛВС является технология Ethernet со скоростью передачи от 10 до 10 000 Мбит/с по оптическим и металлическим кабелям связи. Это позволяет применять Ethernet для строительства городских сетей MAN.
4. Существующие протоколы сетей доступа ориентированы на высокоскоростную передачу информации с помощью как оптических, так и обычных металлических кабелей связи.

ФГБОУ ВО
Поволжский государственный университет
телекоммуникаций и информатики

# Лекция 6.
# Аппаратные средства устройств управления коммуникационного узла ТФОП

Лектор :

доцент кафедры АЭС ПГУТИ,

к.т.н. Гребешков А.Ю.

Самара
2017 год

кафедра
автоматической электросвязи

# Комплексирование коммуникационных узлов

Под ***комплексированием*** многопроцессорной системы управления понимается объединение в систему нескольких управляющих устройств (управляющих ЭВМ) с целью повышения производительности и надежности системы управления в целом.

При комплексировании важно определить способы связи между УУ при условии сохранения требуемой производительности управляющего комплекса.

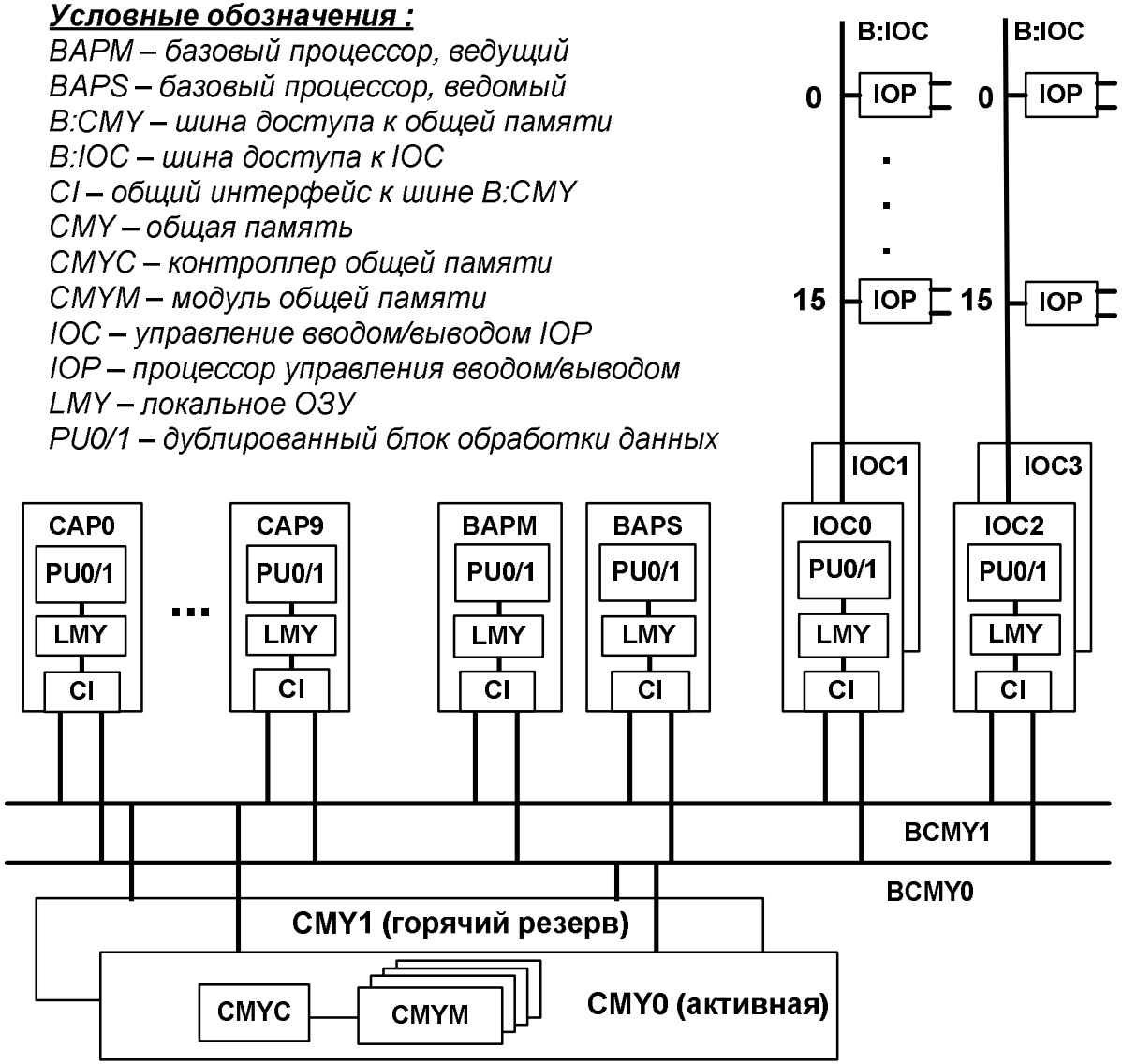
В целом организация связи между управляющими устройствами должна отвечать следующим требованиям:

- гарантия безобрывной связи между УУ в любой требуемый момент времени;
- функционирование в реальном времени;
- возможность назначения приоритетов УУ в процессе обмена;
- проверка данных на целостность в процессе приема/передачи.

# Функциональная схема аппаратных средств СР113с

***Условные обозначения :***

*BAPM – базовый процессор, ведущий*
*BAPS – базовый процессор, ведомый*
*B:CMY – шина доступа к общей памяти*
*B:IOC – шина доступа к IOC*
*CI – общий интерфейс к шине B:CMY*
*CMY – общая память*
*CMYC – контроллер общей памяти*
*CMYM – модуль общей памяти*
*IOC – управление вводом/выводом IOP*
*IOP – процессор управления вводом/выводом*
*LMY – локальное ОЗУ*
*PU0/1 – дублированный блок обработки данных*



# Назначение функциональных блоков СР113

***Базовый (ведущий) процессор, ВАРМ*** в штатном режиме работы обрабатывает вызовы, автоматизирует функции эксплуатации и осуществляют функции обеспечения надежности и администрирования.

***Ведомый процессор ВАРS*** в штатном режиме работы только обрабатывает вызовы.

***Процессор управления вводом-выводом IOC*** (управляет доступом периферийных устройств (DLU, LTG, MB, SN, OMT, MDD) к шине доступа к общей памяти СР113.

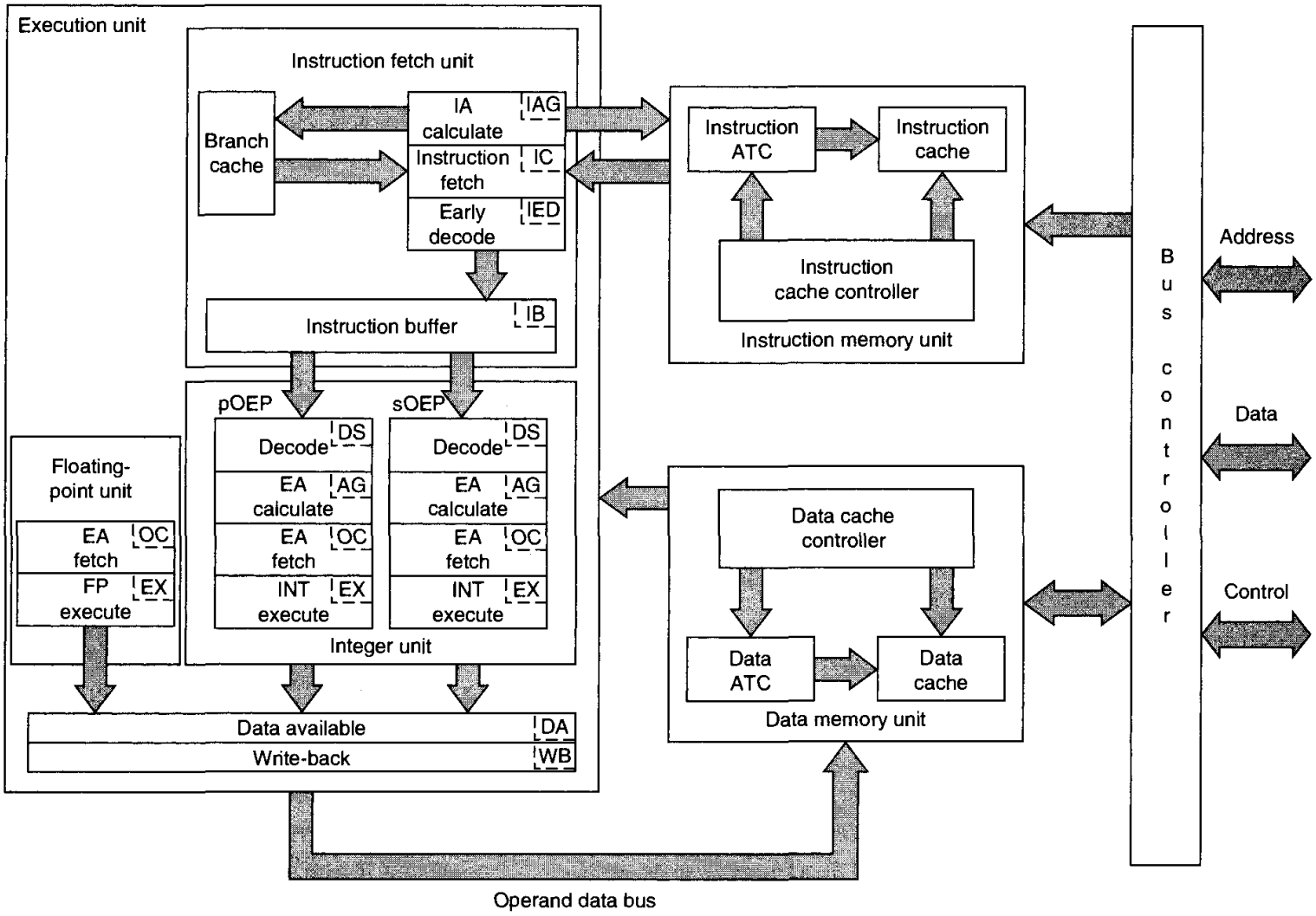
***Процессор ввода/вывода IOP*** подключает периферийное оборудование – НЖМД, терминал технического обслуживания, эксплуатации, дисковод, буфер сообщений к IOC.

***Шина B:CMY*** предназначена для обмена данными между САР, ВАР, IOC и общей памятью CMY.

# Характеристики аппаратных средств МПр Motorola MC68040

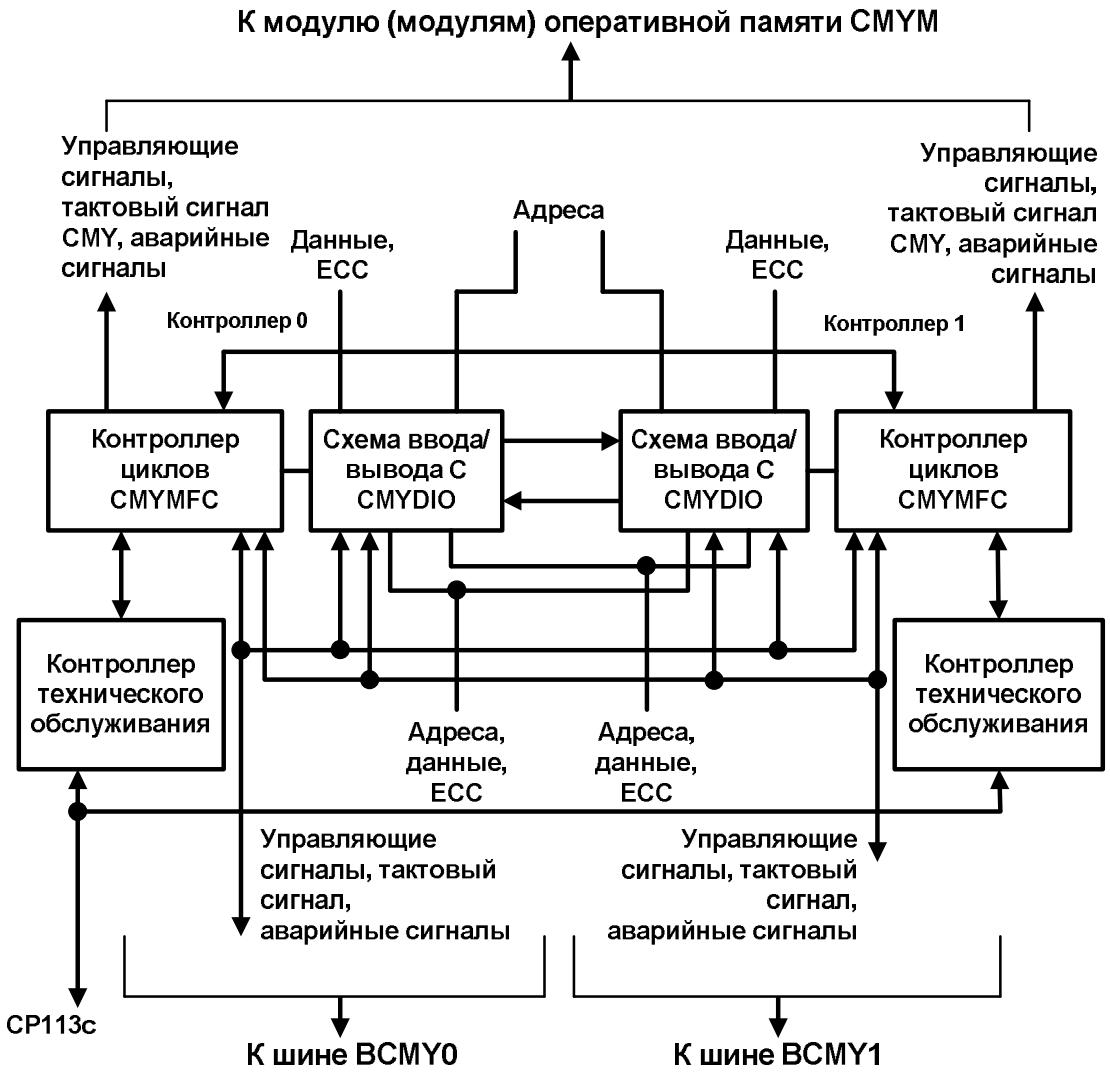
•Полностью 32-разрядные немультиплексируемые шины адреса и данных;
•4 Гбайтное линейное адресное пространство;
•двухуровневая система защиты информации, поддерживаемая возможностью работы в режиме пользователя и в режиме супервизора;
•целочисленное устройство (IU);
•устройство обработки с плавающей точкой (FPU)
•два независимых устройства памяти инструкций и данных (IMU, DMU);
•поддержка виртуальной памяти и виртуальной машины;
•конвейерная архитектура с высоким уровнем распараллеливания операций;
•поддержка многопроцессорных систем шестнадцать 32-битных регистров общего назначения;
•внутренние кэши инструкций и данных по 4 Кбайт;
•конвейерная архитектура с высоким уровнем параллелизма;
•18 режимов адресации и 7 типов данных.

# Схема аппаратных средств МПр Motorola MC68060



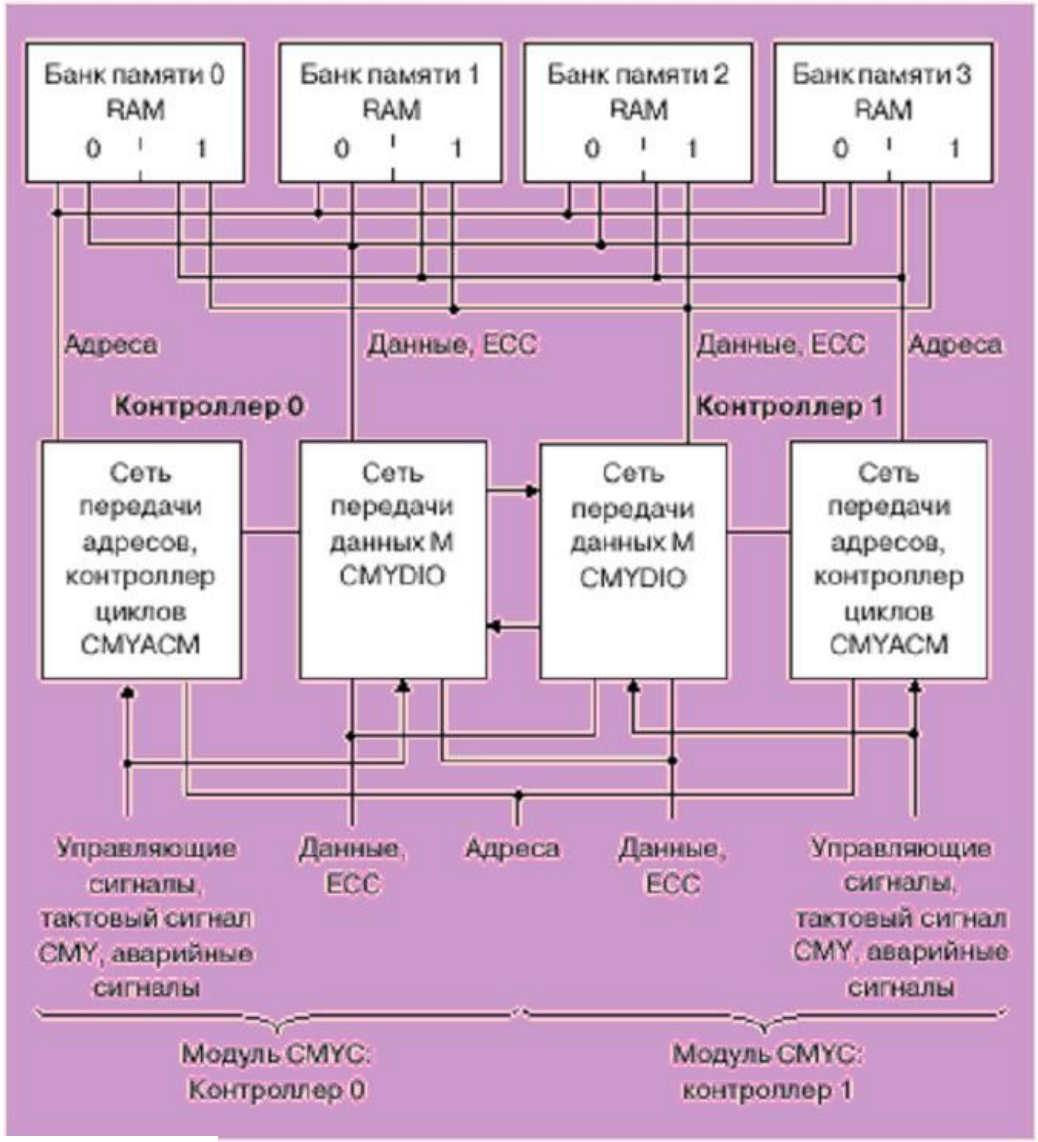

Clements, A. (c)

# Функциональная схема контроллера общей памяти CMYC



# Схема записи и считывания данных в СМУ

# Схема модуля общей памяти CMY



# Система прерываний СР113с

| Прерывания | | Функции программного и аппаратного обеспечения СР113 |
|---|---|---|
| Уровень | Номер | |
| 7 | | Процедура перезагрузки |
| 6 | 15 | Тест шины B:CMY при начальной загрузке |
| | 14 | обработка ошибки аппаратной части МПР, |
| | 13 | Периодические программные прерывания |
| 5 | 12 | Прерывания системы отладки ПО (зарезервировано разработчиками ПО) |
| 4 | 11 | Объединённый тест синхронизации компонентов |
| | 10 | Остановка системы для обработки ошибки ПО |
| | 9 | Обработка ошибки ПО центральной части СР113 |
| 3 | 8 | Запрос IOC из BIOS |
| | 7 | Слежение за аппаратной частью |
| 2 | x | Обработка ошибок локального ПО |
| | x | Выполнение запросов управления |
| | 6 | Межпроцессорная связь на уровне операционной системы |
| | 5 | Сканирование генератора системного времени для контроля ввода/вывода периферийных устройств СР |
| 1 | 4 | Ошибка ввода/вывода |
| | 3 | Сообщения от IOP:UNI, IOP:AUC |
| | 2 | Сообщения от IOP:MB |
| | 1 | Управление вводом/выводом данных на физическом уровне |
| | 0 | Задание по техобслуживания для диагностики IOP |
| 0 | | Штатная работа СР113, выполнение программных задач/процессов согласно из приоритетов. |

# Выводы по лекции 6

1. Мультипроцессорная систем позволяет достичь высокой производительности, измеряемой в миллионах вызовов в ЧНН, не используя для этого высокопроизводительные процессоры. В частности, в системе EWSD за счёт разделения нагрузки от абонентов используются сравнительно маломощные RISC процессоры Motorola MC 68020, MC 68040, MC 68080.

2. В системе EWSD имеются дублированные процессорные компоненты. Это два отдельных процессора, которые постоянно сравнивают друг с другом результаты своей работы, обеспечивая тем самым выявление и частичное устранение ошибок обработки данных и ошибки ввода/вывода.

3. Процессоры обработки вызовов используют общую память CMY, и кроме того, имеют в своём составе локальное ОЗУ для хранения собственного программного обеспечения. Для управления общей памятью CMY используется встроенный контроллер общей памяти.

ФГБОУ ВО
Поволжский государственный университет
телекоммуникаций и информатики

# Лекция 7.
# Специализированные аппаратные средства обработки сигналов телекоммуникационных систем

Лектор :

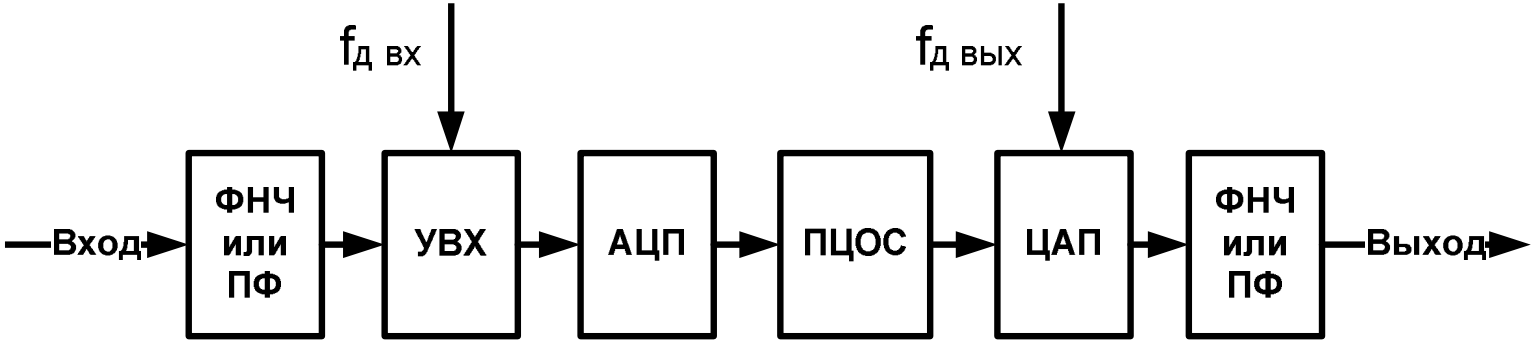
доцент кафедры АЭС ПГУТИ,

к.т.н. Гребешков А.Ю.

Самара
2017 год

кафедра
автоматической электросвязи

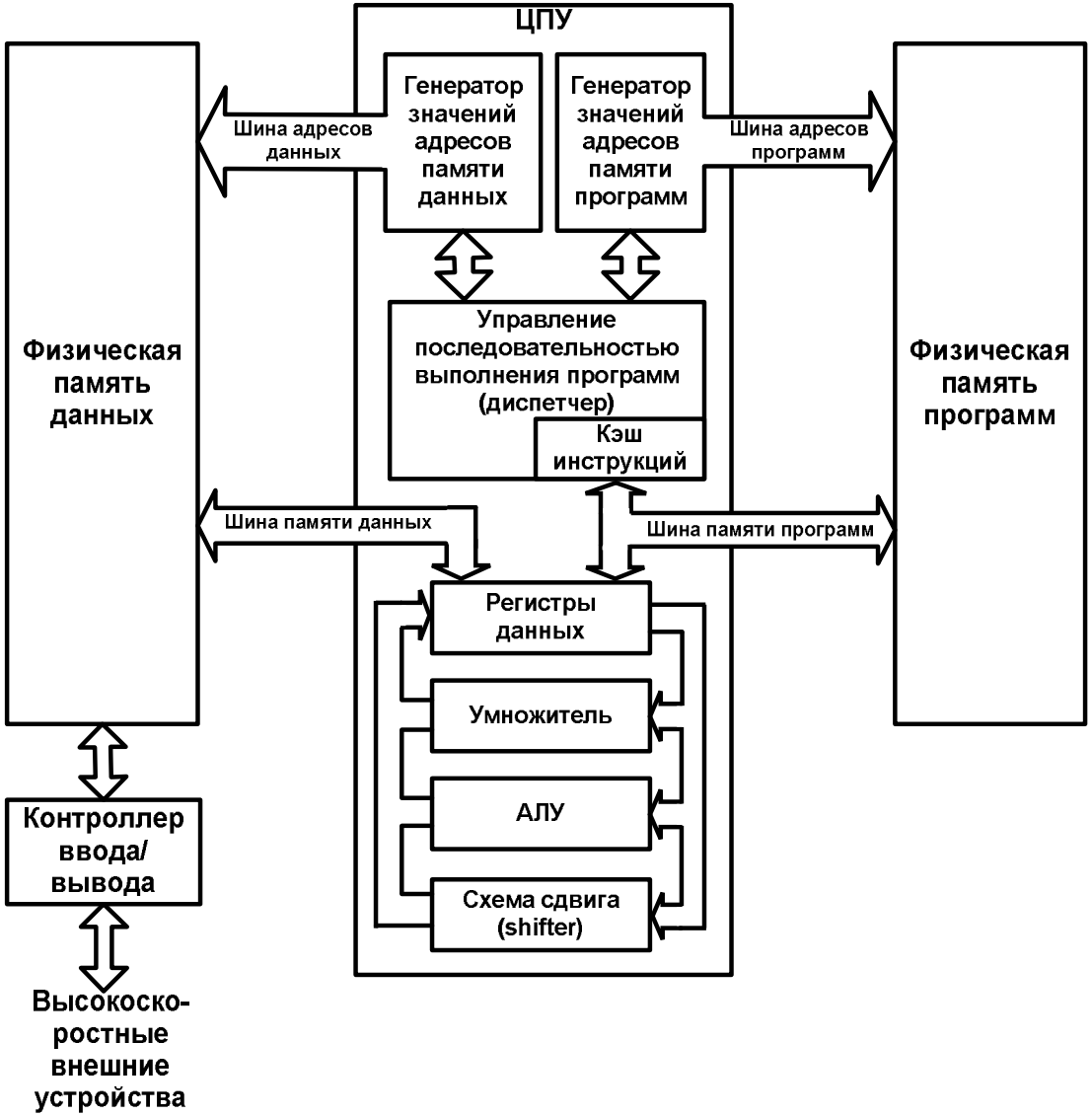
# Аппаратные средства цифровой обработки сигналов




Основное назначение **процессоров цифровой обработки сигналов, ПЦОС** – выполнение вычислительных операций (сложение и умножение) при обработки цифровой информации.

ПЦОС (DSP) применяются в системах анализа сигналов, в кодерах различного назначения. ПЦОС применяются в системах стандартов 2G/2.5G/3G/4G для осуществления обработки мультимедийной и речевой информации.

# Блок-схема средств ПЦОС с супергарвардской архитектурой



# Критерии для оценки аппаратных средств ПЦОС

***Производительность***

Измеряется в терминах пропускной способности (throughput), измеряется количеством инструкций выполняемых в единицу времени (millions in-structions per second, MIPS). Иногда учитывается задержка (latency) – время от начала обработки некоторого массива данных до завершения обработки.

***Энергоэффективность***

Ограничивающим фактором при разработке ПЦОС является *потребляемая мощность*. Энергоэффективность рассматривается как одна из наиболее важных целей проектирования. Для ее измерения обычно применяется метрика, определяемая как количество миллионов операций в секунду на один ватт потребляемой мощности (*MIPS/W*).

***Площадь***

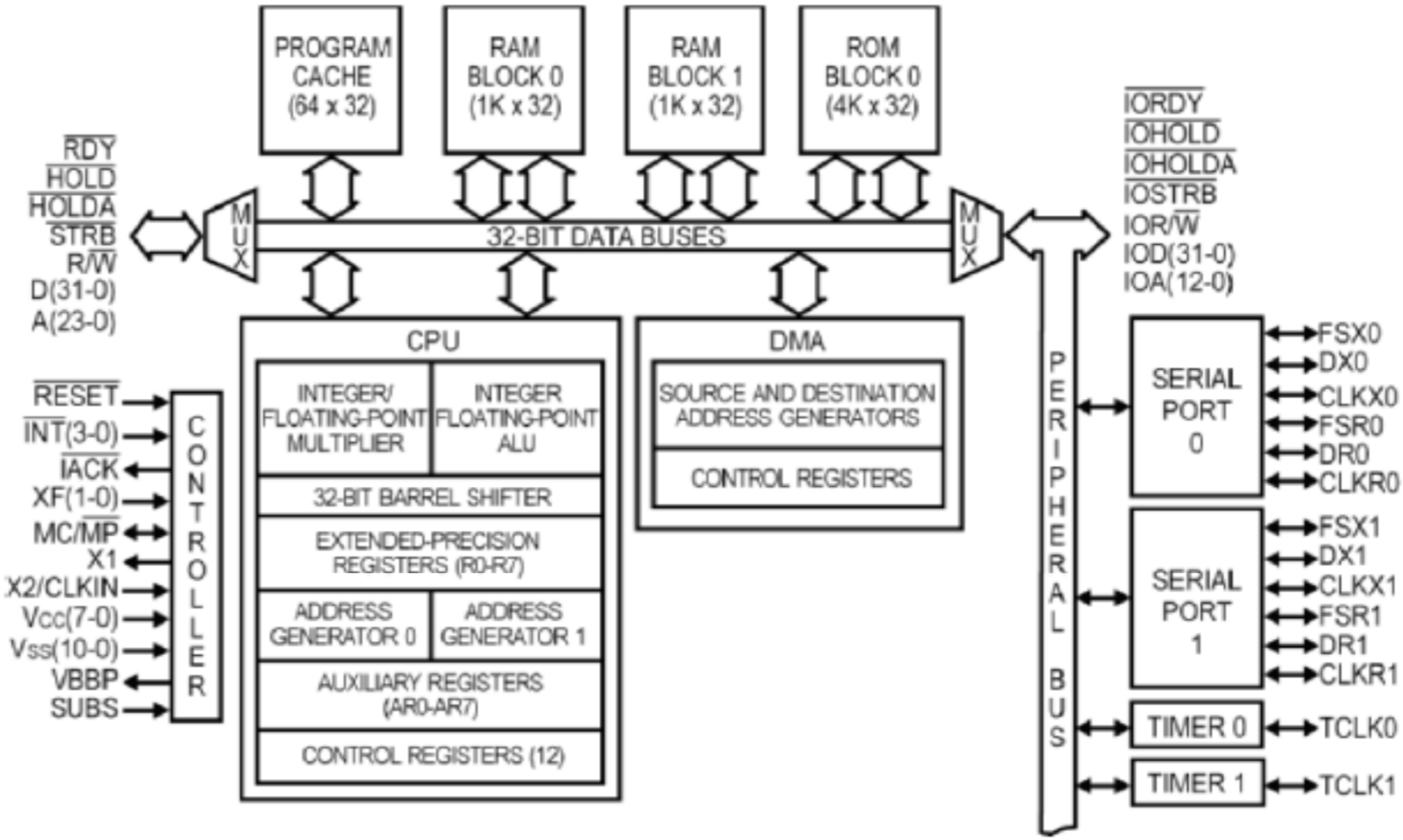
Площадь кристалла МПр и общая стоимость разработки тесно связаны между собой по следующим причинам:

- стоимость разработки, как правило, определяется сложностью разрабатываемого устройства, т.е. количеством транзисторов, входящих в его состав, а следовательно, его площадью;
- стоимость изготовления назначается полупроводниковыми фабриками пропорционально площади спроектированного кристалла;
- цена выпускаемых микросхем зависит от % выхода годных кристаллов; этот процент в свою очередь, определяется площадью кристалла.

# Характеристики ПЦОС TMS320C2x

•Выполнение умножения и сохранения результатов за один командный цикл;
•наличие четырехстадийного (четырехкаскадного) конвейера;
•наличие команд, поддерживающих вычисления с плавающей точкой, 32 разряда;
•наличие внутреннего ПЗУ программ;
•выполнение программ осуществляется чтением из памяти программ RAM, расположенной на кристалле процессора;
•реализована возможность организации циклов ожидания при доступе к «медленной» внешней памяти ОЗУ или внешним устройствам;
•микросхема ПЦОС включает пять (TMS320C20) или восемь (TMS320C25) вспомогательных регистров и специальное арифметическое устройство;
•наличие режима прямого доступа к памяти DMA (только для МПр TMS320C25).

# Блок-схема аппаратных средств ПЦОС TMS320C2x



# Особенности ПЦОС Elcore (Россия)

***Масштабируемость***

В рамках заданной архитектуры можно изменять отдельные параметры и функциональные возможности DSP:
объем памяти программ и памяти данных; производительность (число операций, выполняемых процессором за один такт); разрядность шин данных; число фаз конвейера.

***Реконфигурируемость.***

Выполнение операций не только над скалярными, но и над векторными данными с разрадяностью 16/32/64/128 бит с фиксированной и плавающей точкой при помощи реконфигурируемого тракта обработки данных.
В DSP-ядре Elcore-30 имеется возможность перераспределения общего заданного объема памяти между памятью программ и данных (реконфигурация).

***Эффективное взаимодействие в составе «системы-на-кристалле»***

Возможность DSP-ядер в составе «системы-на-кристалле» обеспечить:
• применение стандартных интерфейсов AMBA AHB, AMBA AXI;
• двухпортовая память программ и данных, что позволяет производить обмен данными на фоне выполнения программ;
• аппаратные поддержка синхронизации вычислительных потоков;
• система входящих и исходящих прерываний.

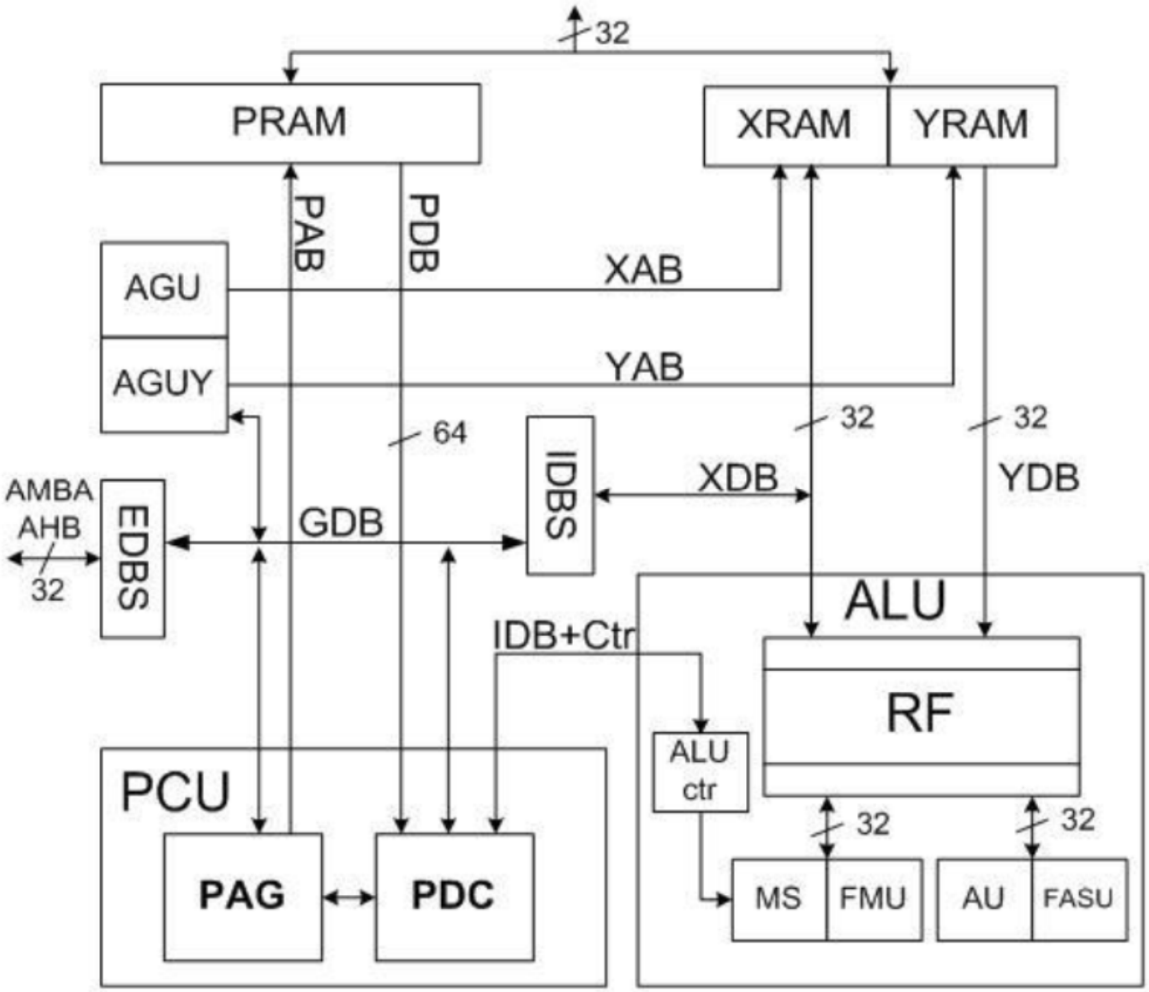
# Характеристики аппаратных средств ПЦОС Elcore

Основные технические характеристики DSP-ядер серии Elcore-xx

| DSP-ядро | Входит в состав м/схемы | Па-мять про-грамм | Память данных | Техно-логия, нм | Рабо-чая часто-та, МГц | Производительность, млн. операций в секунду | | |
|---|---|---|---|---|---|---|---|---|
| | | | | | | плав. точка, 32 р. | фикс. точка, 32 р. | фикс. точка, 16 р. |
| Elcore-14 | 1892ВМ3Т | 4Кх32 | 36Кх32 | 250 | 80 | 240 | 320 | 640 |
| Elcore-24 | 1892ВМ2Я | 4Кх32 | 40Кх32 | 250 | 80 | 480 | 640 | 1280 |
| Elcore-26 | 1892ВМ4Я<br>1892ВМ5Я | 4Кх32 | 16Кх32 | 250 | 100 | 600 | 800 | 1600 |
| Elcore-28 | 1892ВМ7Я | 8Кх32 | 32Кх32 | 180 | 250 | 1500 | 2000 | 6000 |
| Elcore-09 | 1891ВМ7Я | 8Кх32 | 32Кх32 | 90 | 500 | 3000 | 4000 | 12000 |
| Elcore-30M | 1891ВМ10Я | 8Кх32 | 32Кх32 | 130 | 300 | 1800 | 2400 | 7200 |

**По данным А.А.Беляева, 2012 г**

# Ядро ПЦОС Elcore




**PAG** - генератор адреса программной памяти

**PRAM** – память программ

**PDC** – декодер инструкций (команд)

**AGU**- генератор адреса памяти данных

**X|YRAM** – память данных

**RF** – регистровый файл

**MS, FMU, AU, FASU** – операционные устройства

**ALU_ctr** – устройства управления АЛУ

**IDB_ctr** – устройство управления шиной данных

**EDBS, IDBS** – коммутаторы шин данных

**PAB, XAB, YAB** – шины адреса

**PDB, XDB,YDB,GDB** – шины данных

**По данным А.А.Беляева, 2012 г.**

# Модифицированная гарвардская архитектура с реконфигурацией

Память программ PRAM отделена от памяти данных.

Память данных также разделена на две области (XRAM и YRAM) и адресуется двумя указателями, что позволяет в течение одного процессорного такта выполнять чтение инструкции и извлечение/запись двух операндов.

В первых модификациях DSP-ядер Elcore-14, Elcore-24, Elcore-26 граница между XRAM и YRAM была фиксированной, то в более поздних модификациях, начиная с DSP-ядра Elcore-28, используется общее поле памяти данных XYRAM.

В архитектуре DSP-ядра Elcore-30M, имеющего подвижную границу между памятью программ и данных - данное ядро имеет ***реконфигурируемую*** гарвардскую архитектуру.

# Сравнение характеристик ПЦОС Elcore и TMS

| Процессор | Фирма | Техно-логия, нм | Тактовая частота, МГц | Потреб. мощ-ность, Вт | Производительность | | Конвейер, число фаз (уст./исп.) |
|---|---|---|---|---|---|---|---|
| | | | | | MOPs (16 р.) (MMACs) | MFLOPs | |
| **1892ВМ3Т** | **НПЦ «ЭЛВИС»** | **250** | **80** | **0,8** | **640** | **240** | **3 (2/1)** |
| **1892ВМ2Я** | **НПЦ «ЭЛВИС»** | **250** | **80** | **1,0** | **1280** | **480** | **3 (2/1)** |
| **1892ВМ4Я** | **НПЦ «ЭЛВИС»** | **250** | **100** | **1,2** | **3200** | **1200** | **4 (3/1)** |
| **1892ВМ5Я** | **НПЦ «ЭЛВИС»** | **250** | **100** | **1,2** | **3200** | **1200** | **4 (3/1)** |
| TMS320C6701 | Texas Instruments | 180 | 166 | 1,1 | 1333 | 1000 | 11 (6/5) |
| **1892ВМ7Я** | **НПЦ «ЭЛВИС»** | **130** | **250** | **2,4** | **24000** | **8000** | **7 (4/3)** |
| ADSP-21469 | Analog Devices | 130 | 450 | 1,5 | 900 MMACs | 2700 | 10(6/4) |
| TMS320C6713 | Texas Instruments | 130 | 300 | 1,2 | 2400 | 1800 | 11 (6/5) |
| ADSP-TS201S | Analog Devices | 130 | 600 | 3,5 | 14400 | 3600 | 10(6/4) |
| ADSP-TS203S | Analog Devices | 130 | 500 | 2,2 | 12000 | 3000 | 10(6/4) |
| **1892ВМ10Я** | **НПЦ «ЭЛВИС»** | **130** | **250** | **1,2** | **16000** | **4000** | **7 (5/2)** |
| **1891ВМ7Я (Эльбрус-2С+)** | **ЗАО «МЦСТ» НПЦ «ЭЛВИС»** | **90** | **500** | **25** | **48000*)** | **12000 *)** | **7 (5/2)** |
| **1892ВМ11Я** | **НПЦ «ЭЛВИС»** | **65** | **500** | **1,0** | **32000** | **8000** | **7 (5/2)** |
| TMS320C6655 | Texas Instruments | 40 | 1250 | 3,1 | 40 GMACs | 20000 | 11 (6/5) |
| TMS320C6657 | Texas Instruments | 40 | 1250 | 4,4 | 80 GMACs | 40000 | 11 (6/5) |

*)

**По данным А.А.Беляева, 2012 г.**

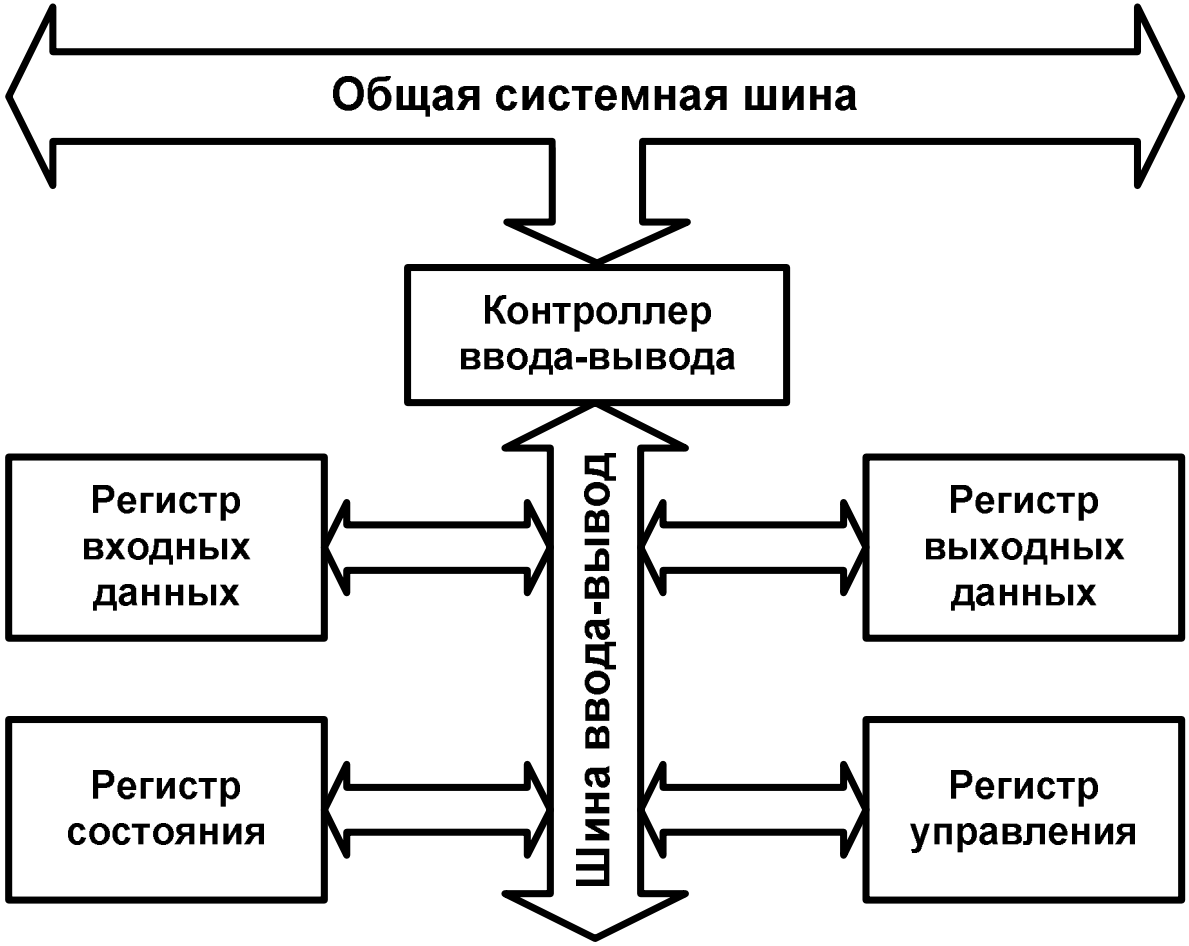
# Основные понятия ввода-вывода

***Вводом/выводом (ВВ)*** – процесс приема/передачи данных между МПр, основной памятью ОЗУ и внешними устройствами ввода-вывода (НЖМД, НМЛ, НОД, клавиатура, манипулятор типа «мышь», процессоры других управляющих устройств).

***Устройства ввода-вывода*** – устройства, специализированные на ввод команд и данных в управляющий комплекс, вывод результатов, преобразование данных и команд из одной формы в другую. Устройства ввода-вывода подключаются к параллельным или последовательным шинам ввода-вывода или к общесистемным шинам с помощью контроллеров (адаптеров) ввода/вывода.

***Контроллер ввода-вывода (контроллер ВВ)*** – микропроцессорное устройство, предназначенное для управления процессами ввода-вывода. Контроллер ВВ осуществляет приём/передачу сигналов от внешних устройств, их схемную или программную обработку с приёмом/передачей управляющих или информационных сигналов на шину для МПр или ОЗУ.

# Обобщенная схема устройства ввода-вывода



# Режимы ввода-вывода

***Программно-управляемый ВВ*** (программный, нефорсированным ВВ) – инициирование и управление ВВ осуществляется программой, выполняемой процессором. Внешние устройства сравнительно пассивны.

***ВВ по прерываниям*** (форсированный ВВ) – инициируется по специальному сигналу прерывания от устройства или программы. Реагируя на этот сигнал, процессор передает управление ВВ подпрограмме обслуживания данного прерывания.

***Прямой доступ к памяти, DMA*** – метод обращения внешнего устройства к оперативной памяти управляющего комплекса для ВВ без участия микропроцессора.

# Понятие прерывания

Под ***прерыванием*** понимается операция процессора, состоящая в регистрации предшествующего прерыванию состояния процессора и установление нового состояния (ГОСТ Р 50304–92).

С учётом ГОСТ 15971–90, ***прерывание*** является реакцией процессора на некоторые условия, возникающие как в самом процессоре так и вне его.

Прерывания инициируются устройствами или процессами, генерирующими в направлении МПр запрос на прерывание, IRQ. Все доступные МПР прерывания имеют присвоенный производителем МПр номер-идентификатор.

# Виды прерываний

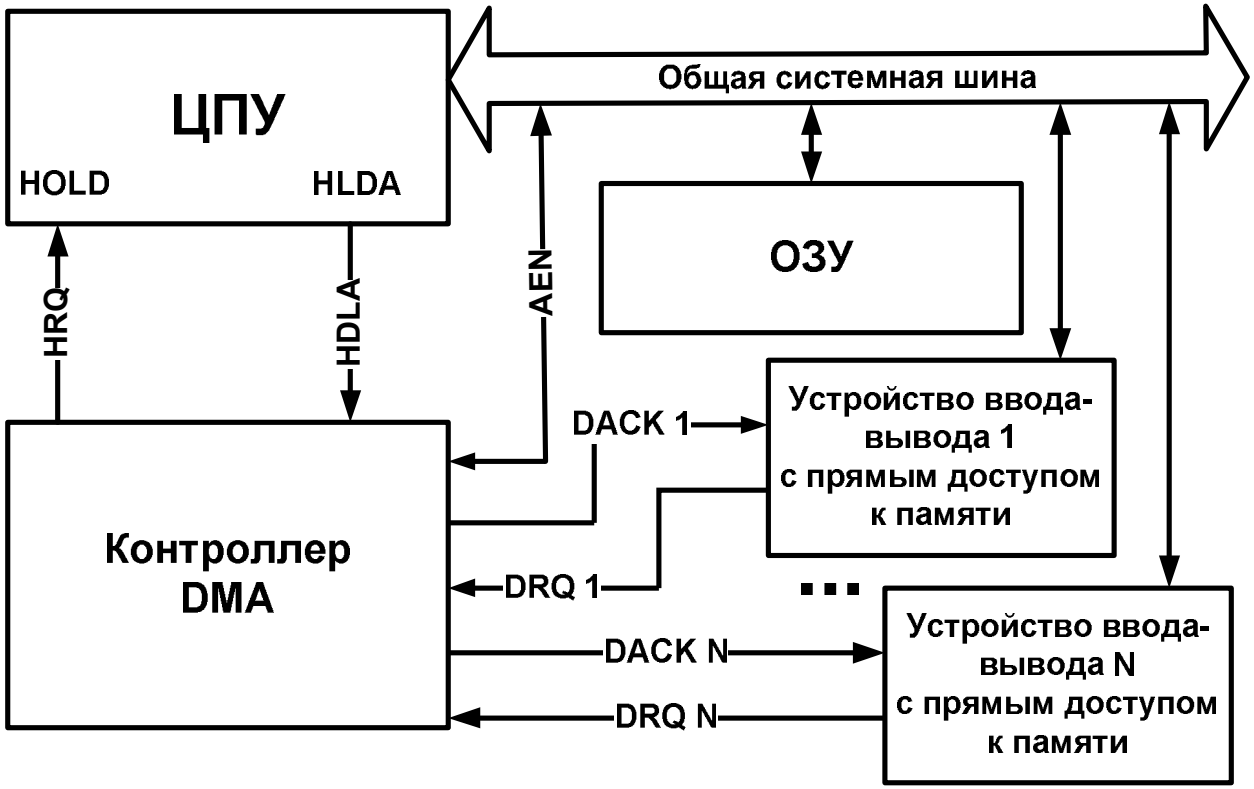
***Внутрипроцессорные*** – возникают при попытке МПр выполнить операцию с ошибочным кодом или в результате аппаратного сбоя.

***Внутрисистемные*** – возникают в случае событий на устройствах, не входящих в состав МПр (прерывания от таймера, от устройств ввода-вывода, нарушение электропитания, ошибки обращения к ОСШ).

***Прерывания, намеренно заложенные*** в программу МПр (планируемые прерывания) – используются для отладки ПО.

***Межмашинные прерывания*** – возникают при межмашинной связи для обмена данными между различными МПр.

# Организация прямого доступа к памяти, DMA



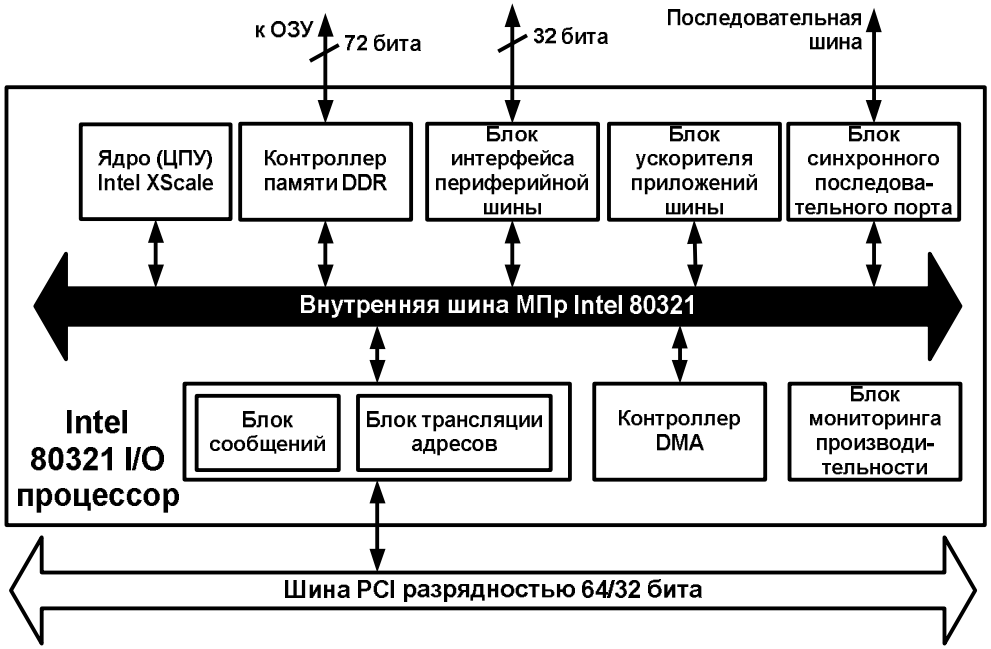

**AEN (address enable)** – Общая системная шина доступна для передачи физического адреса памяти

**DRQ (DMA Request)** – Запрос на прерывание с DMA

**HRQ (Hold DMA Request)** – Сигнал запроса шины для режима DMA

**DACK (DMA Acknowledge)** – Подтверждение прямого доступа к памяти DMA

# Аппаратные средства ввода-вывода (1)

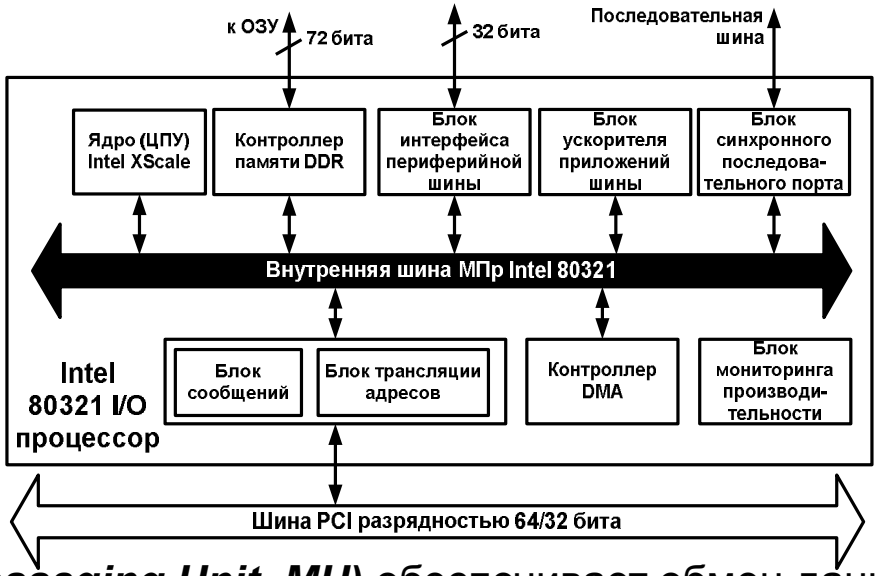



***Ядро (core, ЦПУ) МПр 80321*** имеет тактовую частоту 600 МГц, кэш-память для инструкций ёмкостью 32 Кбайт и кэш данных ёмкостью 32 Кбайт, дополнительный мини-кэш данных ёмкостью 2 Кбайт. Кэш-памяти команд и кэш-памяти малой ёмкости традиционно предназначена для хранения постоянно меняющихся данных.

***Внутренняя шина (Internal Bus)*** имеет разрядностью 64 бит с тактовой частотой 200 МГц. Соединяет все внутренние компоненты процессора ввода-вывода между собой.

***Блок трансляции адресов (Address Translation Unit, ATU)*** обеспечивает прямой доступ к локальной памяти ОЗУ МПр 80321 для обращений с шины PCI. Блок ATU поддерживает отображение между адресами шины PCI и внутренним адресным пространством МПр 80321. Трансляция адресов контролируется через программируемые регистры, доступные как через интерфейс с шиной PCI так и ядру Intel XScale. Поддерживается очередь на чтение/запись ёмкостью до 4 Кбайт.

# Аппаратные средства ввода-вывода (2)

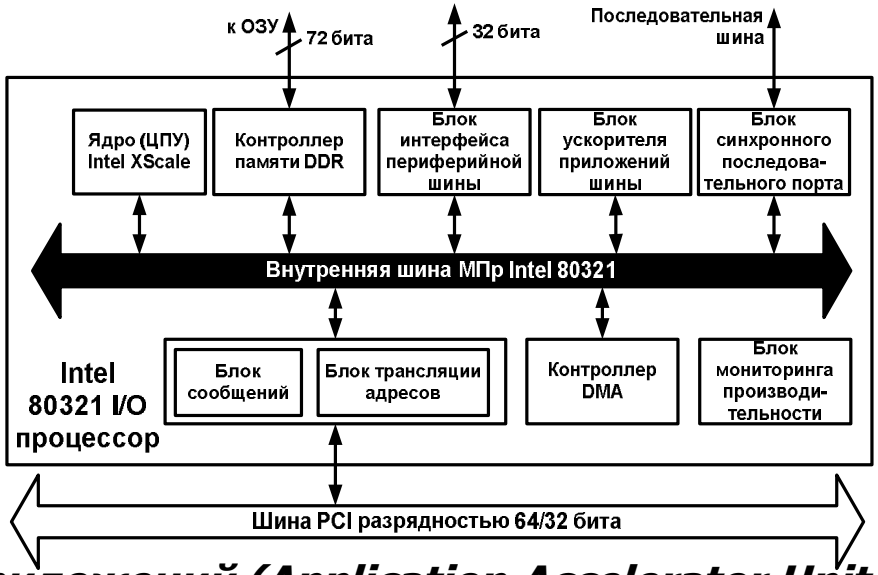



***Блок сообщений (Messaging Unit, MU)*** обеспечивает обмен данными между шиной PCI и МПр 80321, использует систему прерываний для уведомления МПр о поступлении новых данных. Используются специальные внутренние Рг для организации промежуточного хранения и обмена данными.

***Контроллер оперативной памяти DDR*** позволяет реализовать прямое управление подсистемой памяти PC200 DDR SDRAM. Возможности контроллера позволяют программно поддерживать выбор микросхемы памяти и коды коррекции ошибок (error correction codes, ECC).

***Блок интерфейса периферийной шины (peripheral bus interface unit, PBI)*** - обмен данными аппаратных компонентов, которые не имеют интерфейса с шиной PCI (флэш-память или интерфейсные порты к ПЦОС). Блок PBI поддерживает 32-х разрядную передачу данных с частотой 33, 66 и 100 МГц.

# Аппаратные средства ввода-вывода (3)




***Блок ускорителя приложений (Application Accelerator Unit, AAU)*** - переносит блоки данных в локальную память ОЗУ 80321 или из ОЗУ, а также выполняет дискретные операции с данными, напр. XOR.

***Блок мониторинга производительности*** (performance monitoring unit, PMON) позволяет организовать мониторинг событий, происходящих на МПр 80321 с помощью 14 счётчиков событий, запрограммированных для наблюдения за событиями.

***Блок синхронного последовательного порта (synchronous serial port, SSP)*** реализует дуплексный синхронный последовательный интерфейс с тактовой частотой от 7,4 КГц до 1,84 МГц, что позволяет подключать широкий набор внешних аналогово-цифровых преобразователей (конвертеров), аудиокодеков а также иные устройства, использующие последовательный интерфейс передачи данных.

# Выводы по лекции 7

1. Широкое применение цифровых сигнальных процессоров на основе гарвардской архитектуры связано прежде всего с развитием систем цифровой обработки речи и изображений (как неподвижных так и движущихся). Это обусловлено быстрым развитием цифровой сотовой связи и компьютерных систем мультимедиа, в том числе развлекательных.

2. Процессоры ввода-вывода ИУУ или ГУУ, где выполняют функции устройства ввода-вывода, обеспечивая обмен данными с внешними устройствами с минимальными задержками по времени.

ФГБОУ ВО
Поволжский государственный университет
телекоммуникаций и информатики

# Лекция 8.
# Аппаратные средства оптических телекоммуникационных систем

Лектор :

доцент кафедры АЭС ПГУТИ,

к.т.н. Гребешков А.Ю.

Самара
2017 год

кафедра
автоматической электросвязи

# Оптический передатчик

***Оптический передатчик*** обеспечивает преобразование входного электрического (цифрового или аналогового) сигнала в выходной оптический сигнал.

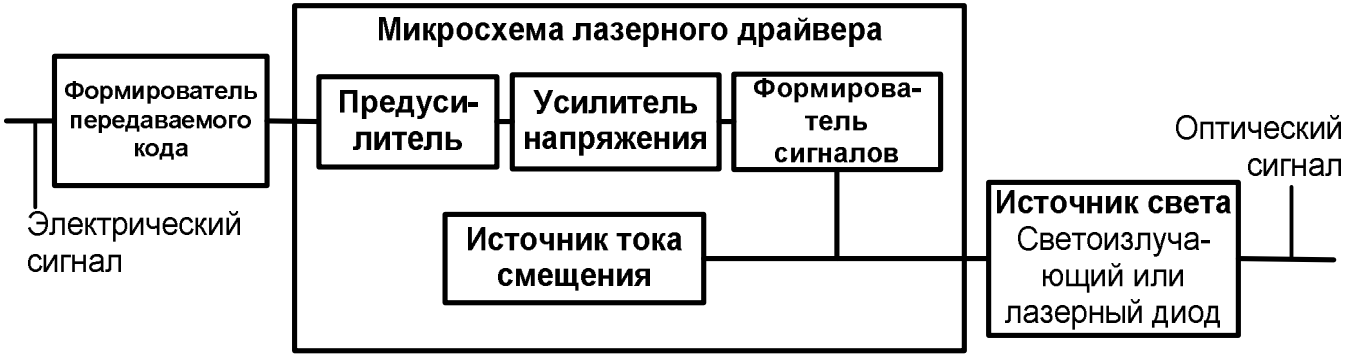
| Активный материал | Подложка | Диапазон возможных значений $E^g$, эВ | Диапазон излучаемых длин волн l, нм |
|---|---|---|---|
| $Ga_{(1-x)}Al_xAs$ | GaAs | 2.02….1.42 | 610…870 |
| $In_{(1-x)}Ga_xAs_yP_{(1-x)}$ | InP | 0.95 | 1100…1700 |
| $In_{0.37}Ga_{0.27}As_{0.58}P_{0.42}$ | InP | 0.95 | 1310 |
| $In_{0.57}Ga_{0.42}As_{0.9}P_{0.1}$ | InP | 0.8 | 1550 |

**Композиционные материалы для построения светоизлучающих устройств**

При цифровой передаче оптический излучатель передатчика «включается» и «выключается» в соответствии с поступающим на него дискретным электрическим сигналом.

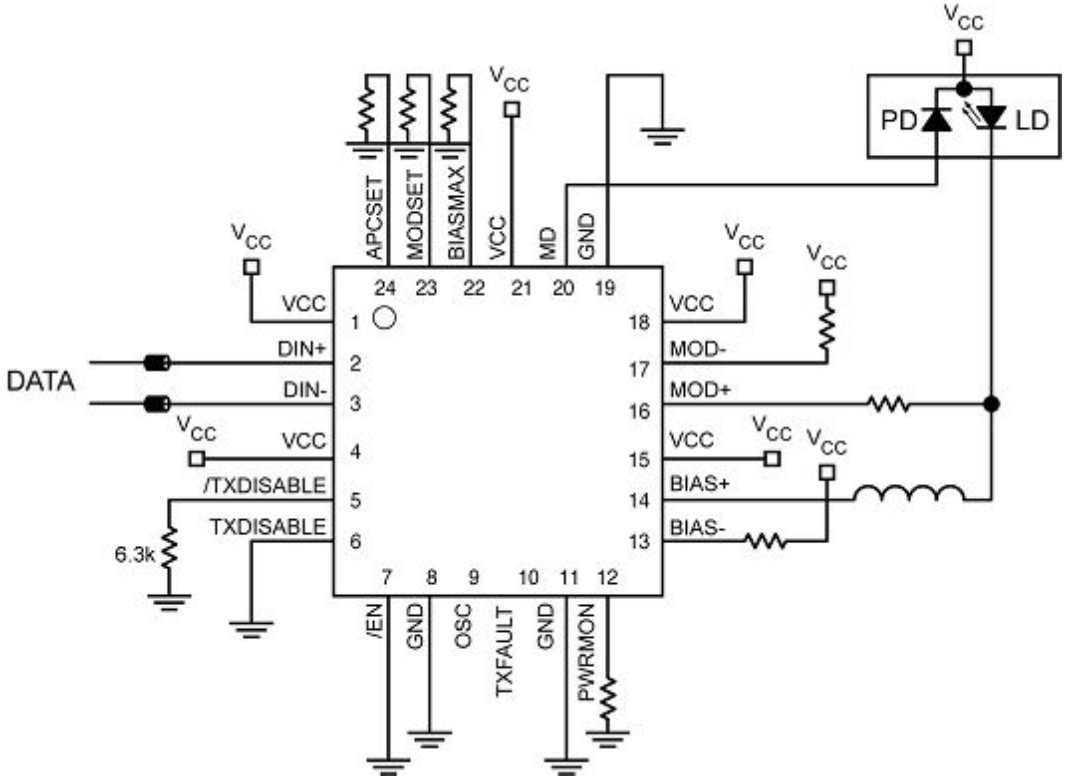
Для этих целей используются инфракрасные светоизлучающие диоды LED или лазерные диоды ILD. Они способны поддерживать модуляцию излучаемого света с мегагерцовыми или гигагерцовыми частотами.

# Функционирование оптического передатчика




1. На вход поступает определенное сообщение в виде электрического сигнала.
2. Формирователь передаваемого кода определяет код, пригодный для передачи по линии связи, обеспечивает контроль ошибок при передаче и формирует признаки сообщения, обеспечивающие его доставку только адресату.
3. Тип применяемого цифрового кода определяется лазерным драйвером, оптической средой передачи и приемником. Приемник может быть объединен в один комплект с передатчиком.
4. Лазерный драйвер осуществляет преобразования выходных сигналов преобразователя в виде стандартных электрических сигналов уровня ТТЛ или ЭСЛ в сигналы электрического тока, определяемые ватт-амперной характеристикой излучателя. В качестве излучателя может использоваться лазерный диод GaAlAs/GaAS для длины волны 850 нм , и lnGaAsP/InP для длины волны 1,3 мкм.

# Пример микросхемы драйвера лазерного диода Micrel SY88212L




- Используется в аппаратуре ЛВС и городские сети MAN со скоростью передачи до 2,5Гбит/с.
- Имеет одним источник питания 3,3 В.
- Обеспечивает ток модуляции до 85мА и ток смещения до 70мА
- Работает в схемах с подключением лазера по постоянному и переменному току.
- Выпускается в 24-выводом (4х4мм) MLF-корпусе
- Рабочий диапазон температур от –40$^{O}$C до + 85$^{O}$C.

# Оптический приемник и его свойства

- Оптический приемник осуществляет обратное преобразование входных оптических сигналов в выходные импульсы электрического тока.

- В качестве основного элемента оптического приемника используется p-i-n и лавинные фотодиоды, имеющие очень малую инерционность.

- Тип фотоприемника определяют исходя из требований, предъявляемых к системе. Необходимо, чтобы фотоприемник имел максимальную чувствительность в рабочем диапазоне длин волн.

- Требуемую чувствительность приемника обычно определяют, исходя из заданных значений скорости передачи информации или полосы частот.

# Состав оптического приемника

- Оптический приемник (ОП) состоит из оптического детектора и промежуточных соединительных устройств между оптическим входом и коаксиальным выходом.

- Оптический приемник обрабатывает полученный сигнал и преобразует импульсы тока в импульсы напряжения, чтобы сигнал с выхода приемника был совместим с системой передачи которая к выходу и подключается.

- Оптические приёмники разных производителей оснащены различным наборам аттенюаторов (АТТ) и эквалайзеров, выполненных в виде встроенных фиксированных или перестраиваемых вставок, а также в виде заменяемых вставок.

- Число усилительных каскадов у ОП различно. Практически все приёмники имеют системы автоматического регулирования.

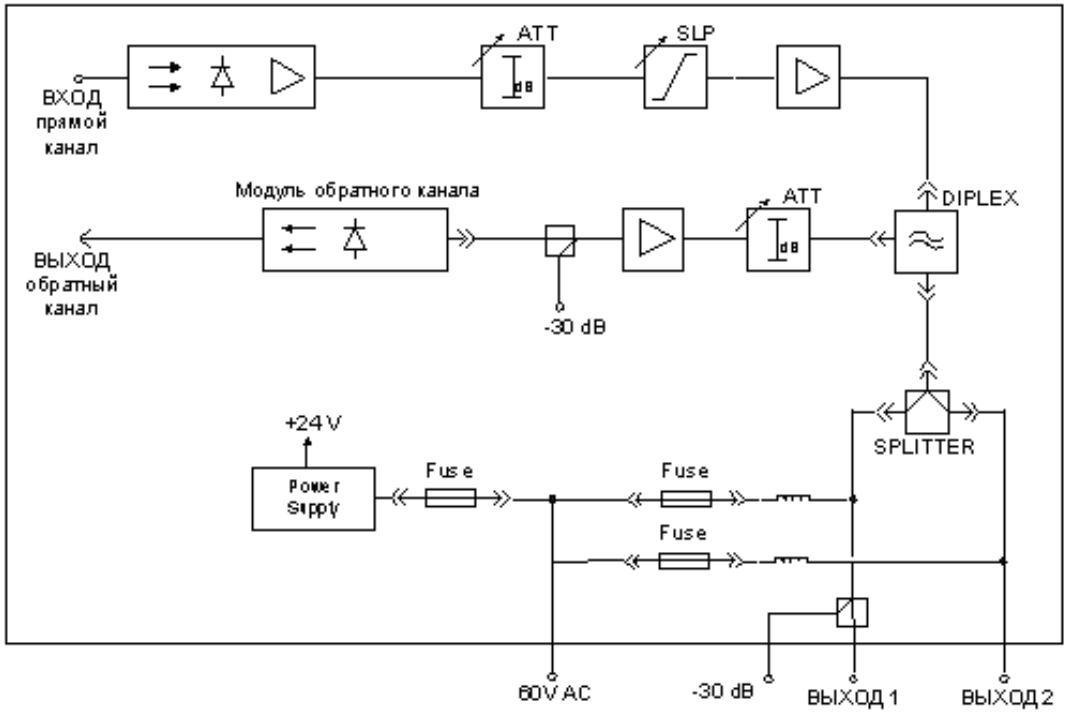
# Использование оптического аттенюатора

- Оптический аттенюатор применяют, чтобы намеренно снижать величину мощности сигнала, передаваемого по оптоволоконным кабелям. Это нужно для недопущения перегрузок оптического прибора, на который поступает слишком мощный сигнал. Перегрузка может привести к отказу аппаратных средств.

- С помощью оптических аттенюаторов вносятся запланированные затухания сети. В частности, если есть оптический приемник и передатчик с большой дистанцией работы, а требуется передача сигнала на небольшое расстояние, то аттенюатор позволит создать оптические потери и сохранит в исправном состоянии оптический приемник.

- Кроме аттенюатора в последнее время используются также устройства автоматического регулирования мощности, АРУ.

# Структурная схема оптического приемника TA8130 для кабельного ТВ




- Работает на длине волны 1290 – 1600 нм.
- Уровень входного оптического сигнала находится в диапазоне –5 …. +2 дБ.
- Тип оптического коннектора SC/APC или FC|APC.
- Полоса частот для прямого канала 47/87 ….860 МГц, обратный канал 5/30 ….. 65 МГц.
- Напряжение питания дистанционное 30…60 В, 50 Гц.
- Местное электропитание 220 В, 50 Гц.

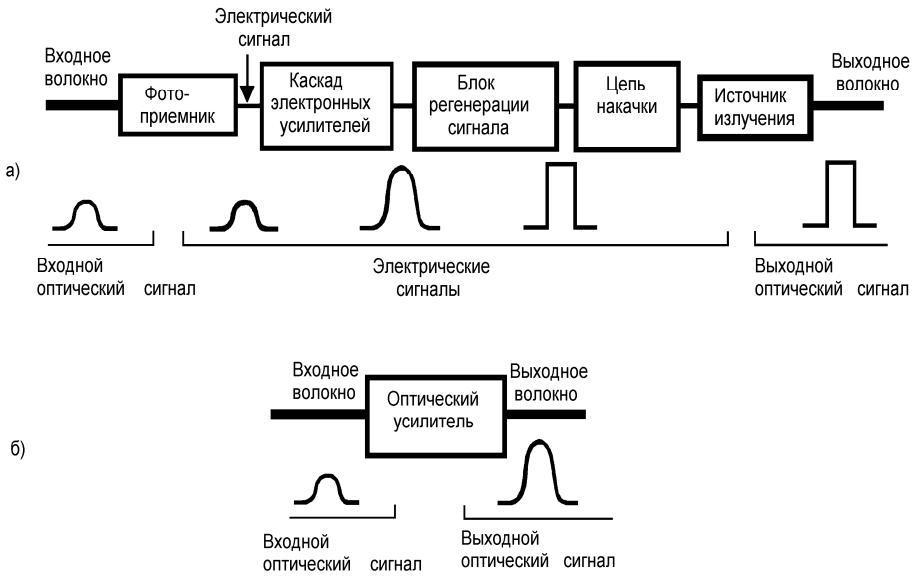
# Ретранслятор оптического сигнала

- ***Ретранслятор*** выполняет функцию усиления оптического сигнала, и дополнительно (при цифровой передаче) может восстанавливать форму импульсов, уменьшать уровень шумов и устранять ошибки.

- В качестве ретрансляторов используются повторители и оптические усилители.

- ***Повторители*** чаще используются в волоконно-оптических системах ЛВС, в то время как при построении оптических транспортных сетей (магистралей) преимущественно используются оптические усилители.

# Блок-схемы ретрансляторов оптического сигнала




**Типы ретрансляторов:**
**а) электронно-оптический повторитель;**
**б) оптический усилитель**

- Аналоговый повторитель выполняет функцию усиления сигнала. При этом вместе с полезным сигналом усиливается полезный шум.

- При цифровой передаче повторитель наряду с функцией усиления может регенерировать сигнал.

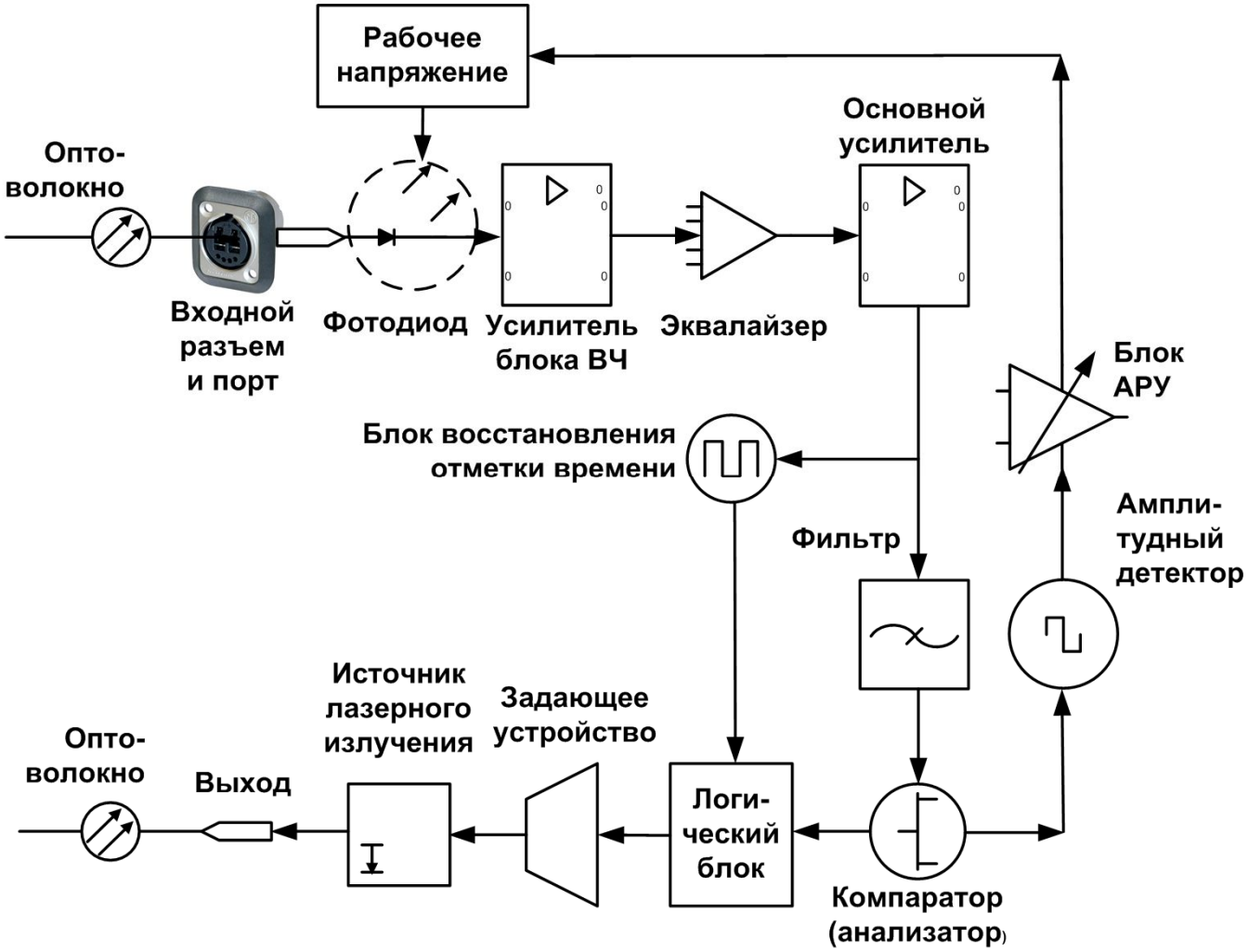
- Блок регенерации включает компаратор, логический блок (принятие решения) и блок восстановления отметки времени (таймер).

- Блок регенерации сигнала восстанавливает прямоугольную форму импульсов, устраняет шумы, ресинхронизирует передачу так, чтобы выходные импульсы попали в соответствующие канальные временные интервалы (тайм–слоты).

# Сравнение оптических повторителей и усилителей

| Характеристика | Повторитель | Оптический усилитель |
|---|---|---|
| Конструкция | Сложная | Простая |
| Цена | Низкая | Высокая, но падает |
| Надежность | Высокая | Очень высокая |
| Регенерация сигнала | Допустимая | Исключена |
| Возможность одновременной передачи нескольких сигналов | Не допускается | Допускается |
| Рабочая длина волны, нм | 850, 1300, 1550 | Область 1530-1560 |
| Отношение сигнал шум | Высокое | Низкое |
| Область применения | ЛВС, региональные и межрегиональные транспортные сети | Региональные, межрегиональные, национальные и международные транспортные сети |

# Пример ретранслятора для ВОЛС PDH



# Микроэлектромеханические системы

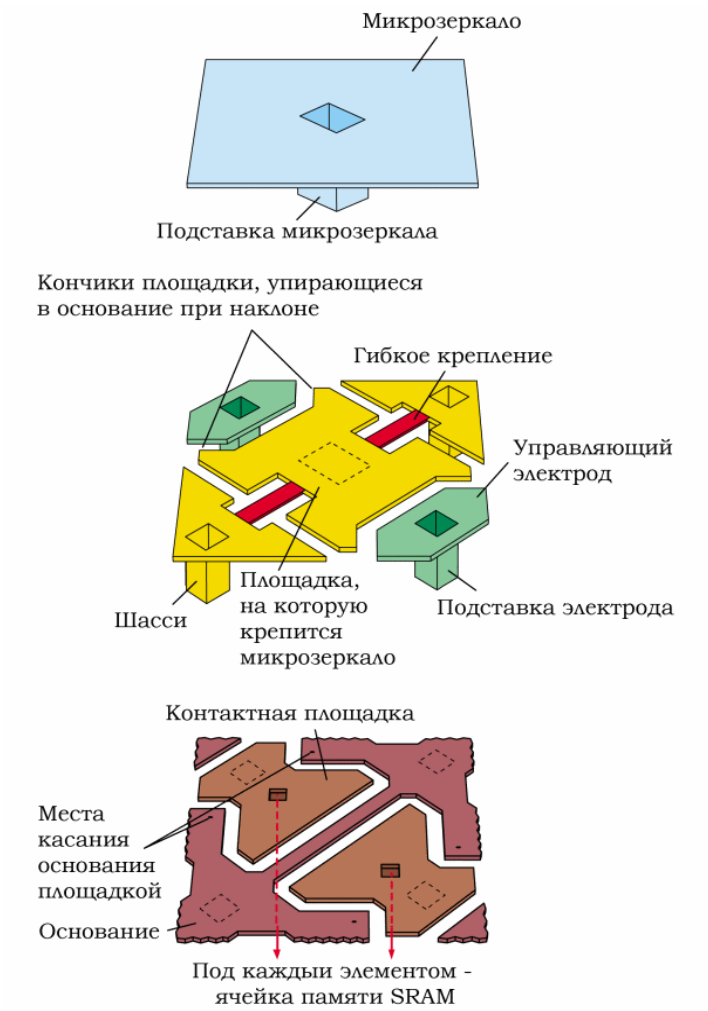
**Микроэлектромеханические системы (МЭМС)** – микросхемные устройства, содержащие как электронные, так и механические компоненты с размерами от 1 мкм до 100 мкм.

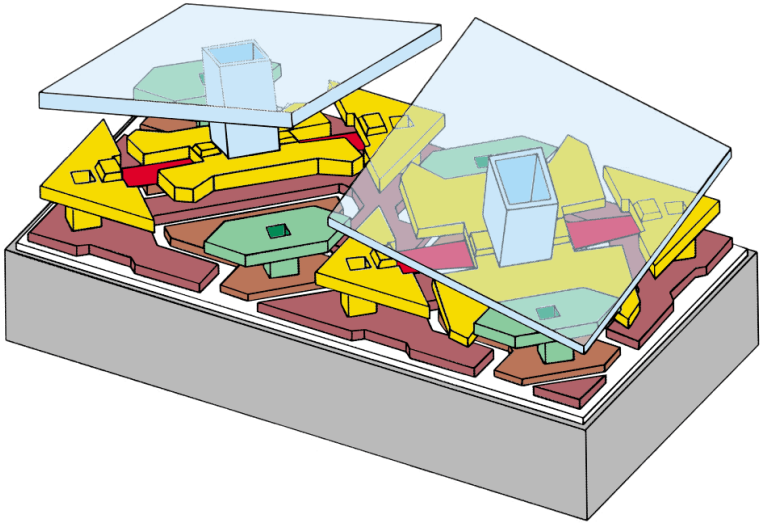
Устройство МЭМС состоит из электронного модуля управления с использованием микропроцессора или микроконтроллера и набора микроскопических механо-электрических датчиков и/или электромеханических преобразователей (актуаторов).

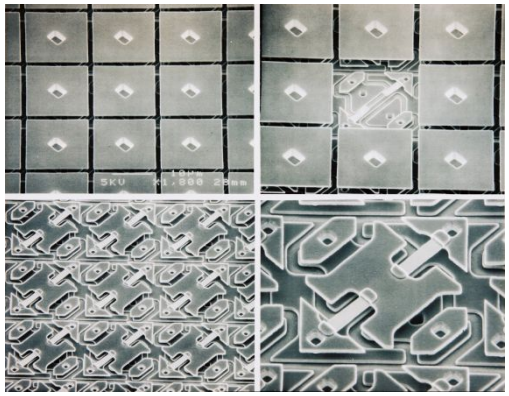
Благодаря размерам, МЭМС демонстрируют уникальные свойства, не выраженные для макроскопических (т.е. обычных по размерам, классических) объектов в силу более высокого отношения площади поверхности к объему.

МЭМС демонстрируют повышенную чувствительность к статическому (поверхностному) электричеству.

# Сборка матрицы микрозеркал





# Использование МЭМС

Системы, в которых используются MEMS делятся на несколько подклассов:

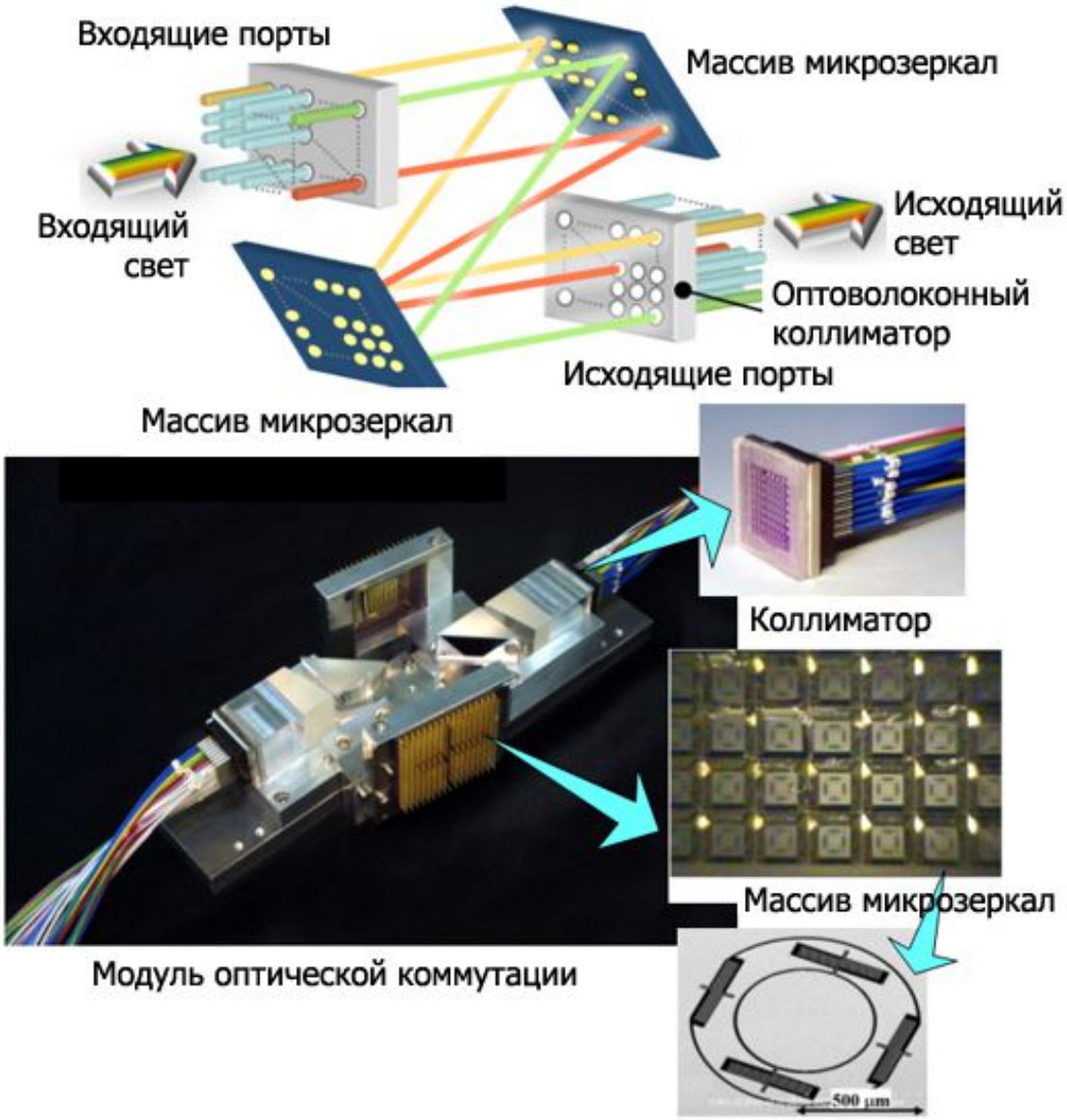
- магистральные оптические коммутаторы, автоматизированные платформы для управления оптоволоконной кабельной системой (Automated Fiber Management Platform, AFMP);
- регулируемые оптические аттенюаторы (Variable Optical Attenuator, VOA);
- реконфигурируемые оптические мультиплексоры добавления и удаления сигналов (Reconfigurable Optical Add-Drop Multiplexer, ROADM).

# Оптический коммутатор

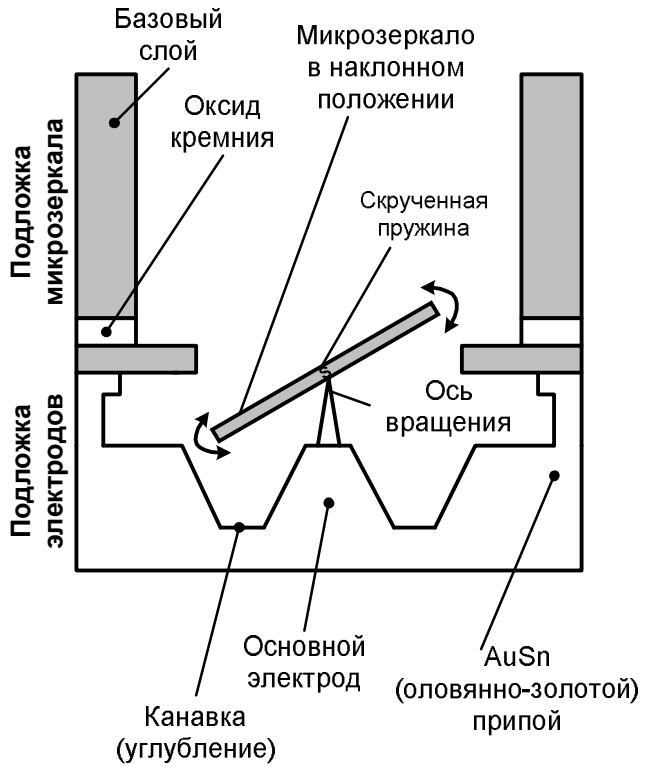
***Оптический коммутатор*** – техническое средство коммуникаций, применяемое для обработки оптических сигналов в процессе переноса сигнала по волоконно-оптическим линиям связи.

***Опто–электронное преобразование*** в процессе переноса сигнала предусматривает, что оптический сигнал на входе в устройство оптической связи преобразуется в электрический сигнал. Далее осуществляется обработка электрического сигнала с помощью электронных компонентов, а на выходе электрический сигнал вновь преобразуется в оптический и передаётся в оптическую линию связи.

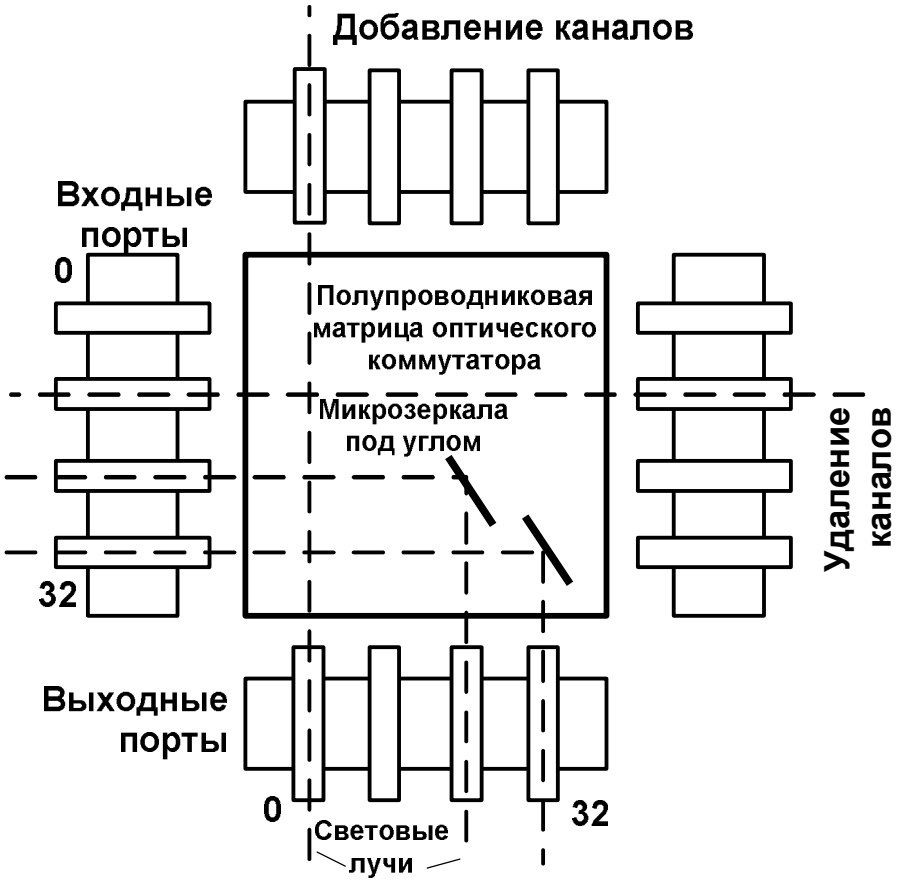
# Модуль оптической коммутации



# Применение микроэлектромеханических систем МЭМС в коммутации

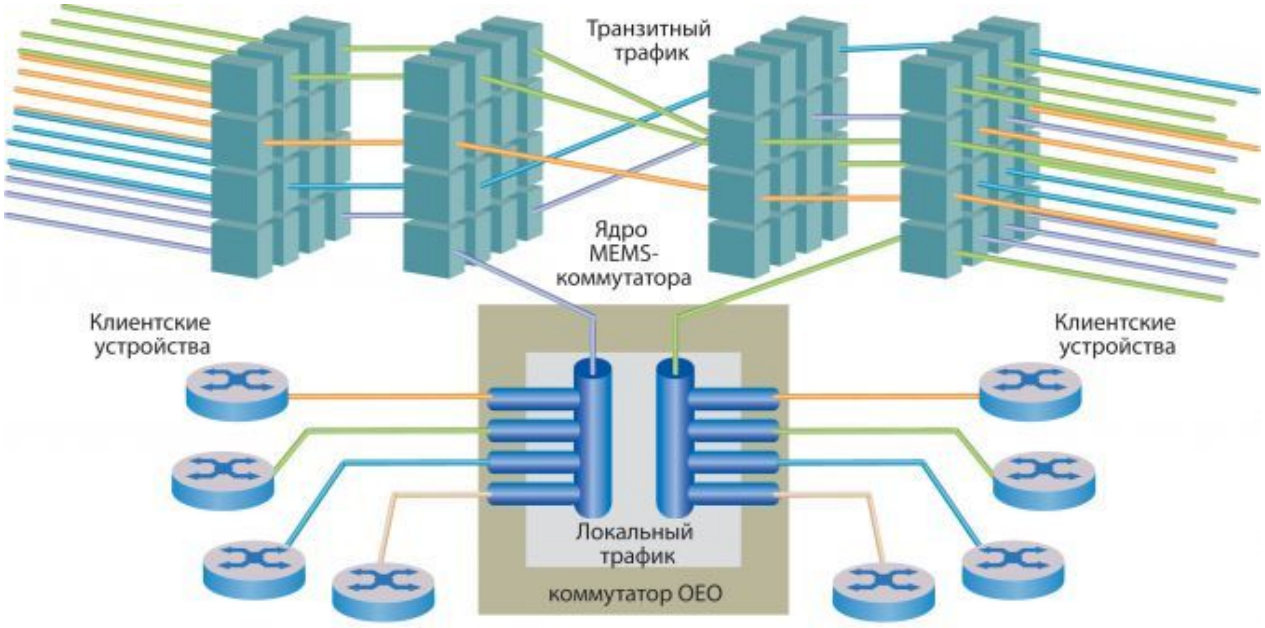



а) кристаллическое микрозеркало в разрезе




б) двумерная оптическая коммутация с помощью микрозеркал

# Использование полностью оптического (фотонного)коммутатора




MEMS-базированные коммутаторы выбора волн используют дифракционные компоненты или зеркала.
Дифракционные компоненты строятся на пьезоэлектрических элементах, смонтированных на субстрате.
В неактивном состоянии они представляют собой отражающее свет зеркало.
При приложении напряжения сдвигаются по направлению к субстрату и образуют дифракционную решетку, ослабляя свет определенной частоты.

# Достоинства и недостатки оптических коммутаторов

**Достоинства** – коммутация оптические сигналов без электрического преобразования, в результате чего увеличивается производительность коммутаторов, уменьшается  необходимое число узлов на сети, увеличивается скорость передачи, снижается потребляемой мощности.

**Недостатки** – высокие оптические потери, малая емкость оптического коммутатора.  Для работы в реальном времени требуется уменьшение времени срабатывания микрозеркал, для чего необходимо в кратной степени увеличивать ток срабатывания схемы для отклонения микрозеркала и увеличивать производительность устройства управления МЭМС.

# Использование MEMS в VOA и ROADM

VOA имеют регулируемые элементы, которые позволяют частично или полностью блокировать световой поток. Для тонкой настройки степени ослабления сигнала используются исполнительные механизмы.

ROADM с использованием MEMS релизуют систему удаленного тестирования выбранных длин волн, динамическую балансировку мощности (equalization), удаленный мониторинг сигналов.

В ROADM используется два типа компонентов: блокираторы волн и коммутаторы выбора волн. С помощью блокираторов осуществляется добавление или удаление волн в оптический канал. С помощью коммутаторов выбора волн добавляется/удаляется или пропускается любая комбинация длин волн.

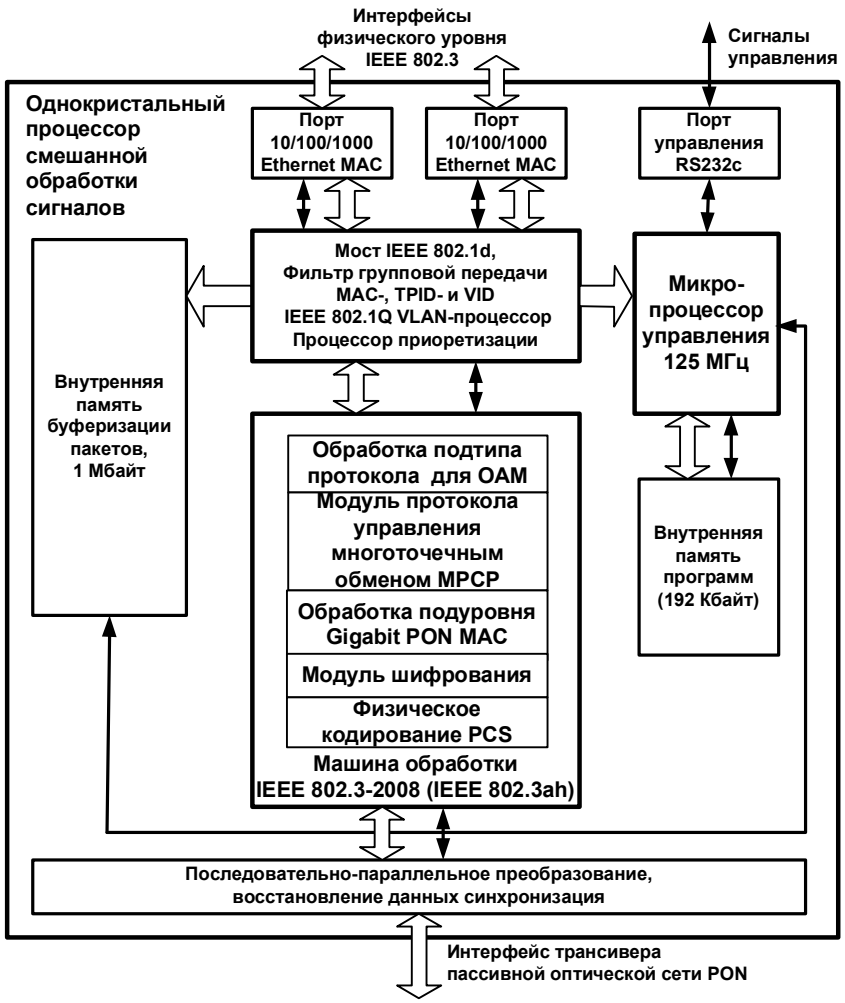
# Мост (bridge) для сети EPON

***Мост*** входит в состав оптического сетевого устройства пользователя ONU и может быть построен на базе СБИС класса «системы–на–кристалле».

***Мост*** выполняет функции трансляции кадров управления доступом к среде передачи MAC из оптической сети в проводную сеть с необходимыми преобразованиями кадров.

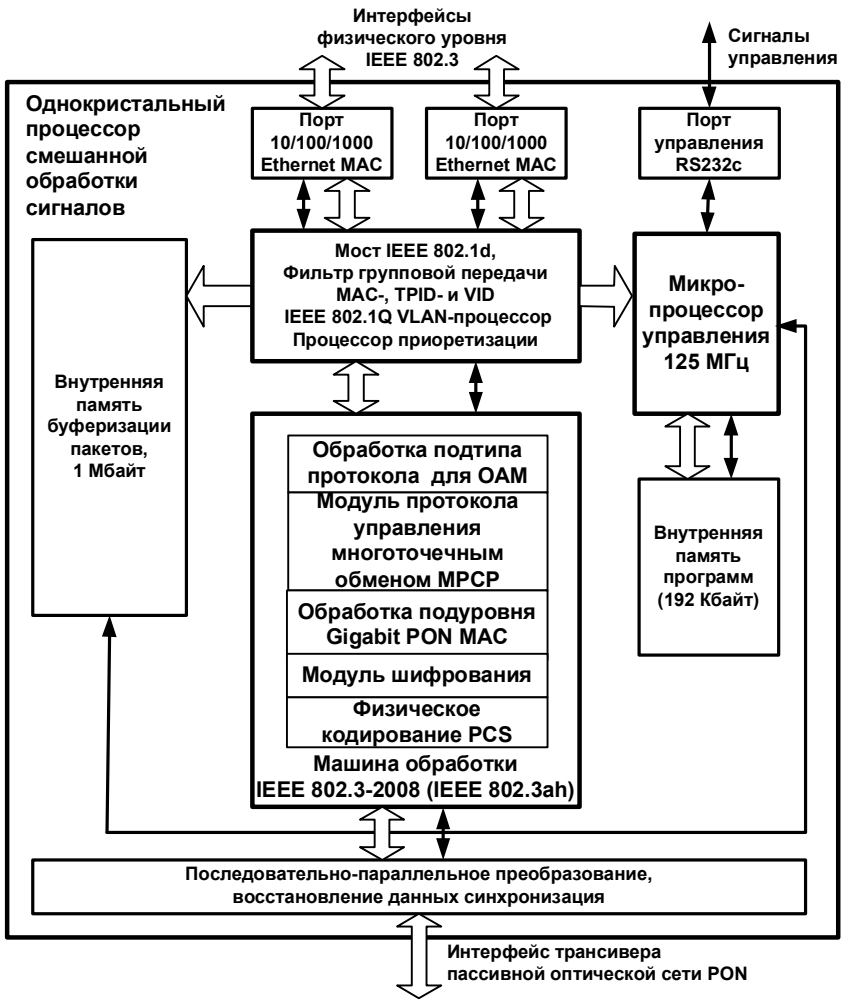
***Мост*** обеспечивает соединение сети PON и проводной сети Gigabit Ethernet. Через такой мост пройдут только транзитные пакеты между PON и Gigabit Ethernet.

# Функции блоков моста сети EPON (1)




- **Мост IEEE 802.1d** обрабатывает как физические MAC-адреса, так и IP-адреса, предотвращает зацикливание пакетов согласно протоколу STP.
- **Фильтры групповой передачи** позволяют направлять копии пакетов/кадров определенному подмножеству адресатов.
- **Процессор IEEE 802.1Q** позволяет поддерживать технологии виртуальных подсетей VLAN для ограничения распространения широковещательных пакетов.
- **Машина обработки по стандарту IEEE 802.3–2008** выполняет функции протокольного процессора Gigabit Ethernet.
- **Модуль обработки подтипа протокола для OAM** выполняет обработку протокольных блоков данных PDU PON для администрирования и управления, OAM PDU, в том числе управление обменом запросами, откликами, событиями и командами управления.

# Функции блоков моста сети EPON (2)




- **Модуль протокола управления многоточечным обменом MPCP** используется для определения наличия и назначения MAC-адресов новым устройства ONU в сети. В результате ONU выделяет во входящем (downstream) потоке сообщений кадры, предназначенные данному ONU.
- **Управление подуровнем MAC** осуществляет управление доступом к общей среде передачи информации в комбинации с возможностью схемы «точка-точка».
- **Модуль шифрования обеспечиваетAES-шифрование** как для восходящего так и для нисходящего потока кадров.
- **Физическое кодирование PCS** осуществляется для передачи по волоконно-оптической линии связи преобразует код 8B/10B в код двоичный код NRZ и наоборот.

## Выводы по лекции 8

1. Аппаратные средства в оптической связи применяется в основном для оптоэлектронного и оптического преобразования сигналов.

2. Аппаратные средства, такие как микроэлектромеханических системы, МЭМС, могут использоваться для оптической коммутации.

3. В узлах оптической связи широко используются специализированные микросхемы, на аппаратном уровне выполняющие функции обработки оптических или электрических сигналов.

ФГБОУ ВО
Поволжский государственный университет
телекоммуникаций и информатики

# Лекция 9.
# Аппаратные средства специализированных микропроцессорных комплектов в телекоммуникационных системах

Лектор :

доцент кафедры АЭС ПГУТИ,

к.т.н. Гребешков А.Ю.

Самара
2017 год

кафедра
автоматической электросвязи

# Основные понятия

***Микропроцессорный комплект (МПК) интегральных микросхем*** - совокупность микропроцессорных и других интегральных микросхем, совместимых по архитектуре, конструктивному исполнению и электрическим параметрам и обеспечивающих возможность совместного применения (согласно ГОСТ 17021–88). В составе микропроцессорного комплекта могут присутствовать интегральные микросхемы нескольких типов.

***Архитектура микропроцессорных комплектов -*** совокупность принципов и подходов, структурных, технических, технологических решений, определяющих концепцию взаимосвязи компонентов микропроцессорного комплекта.

# Общие характеристики и параметры МПК

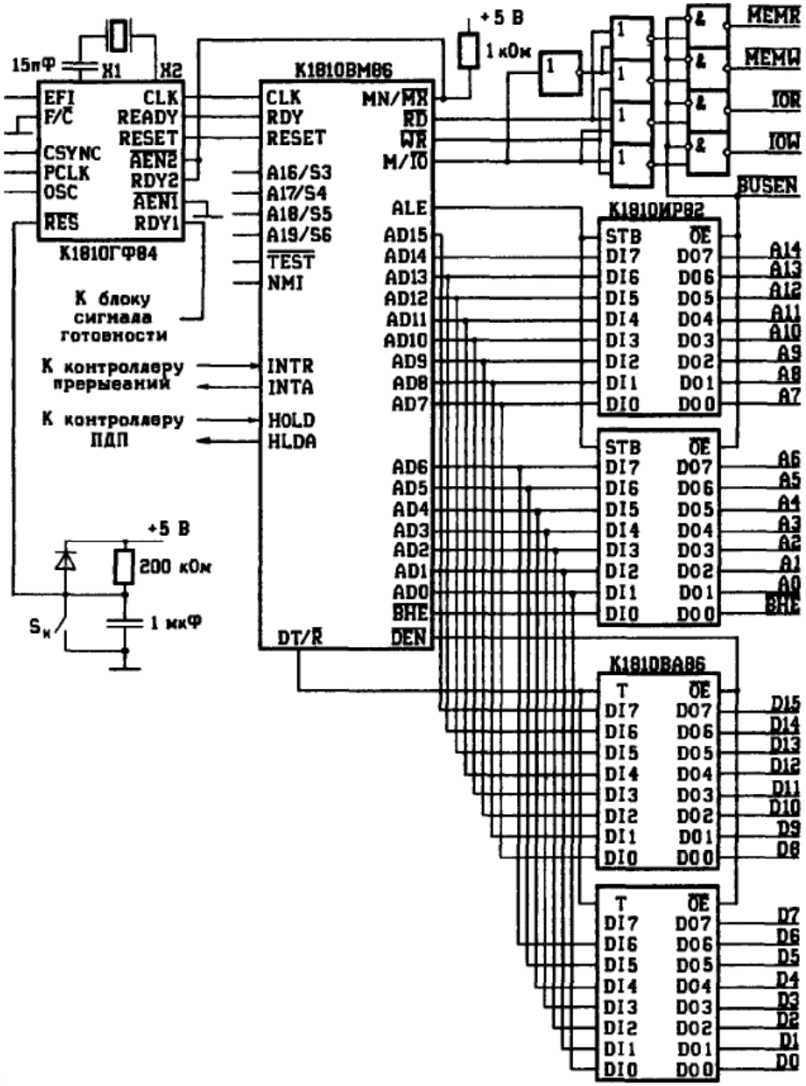
1. Назначение и функции микросхем МПК
2. Разрядность МПр
3. Тактовая частота МПр
4. Потребляемая мощность
5. Технология производства микросхемы
6. Тип корпуса (как правило – металлокерамический)
7. Размеры кристалла микросхемы и количество выводов на микросхеме.

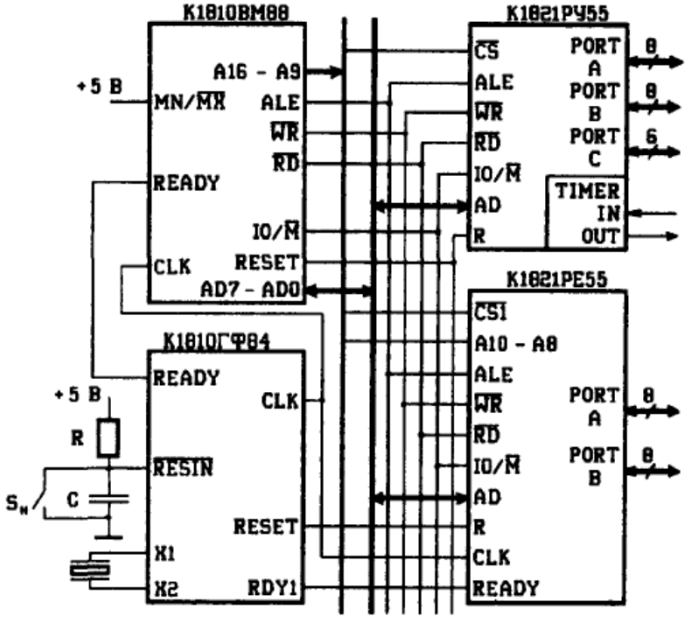
# Состав раннего МПК ВМ86 универсального назначения

МПК серии КМ1810 включает :

•центральный процессор(тип микросхемы К1810ВМ86);
•арифметический сопроцессор (тип микросхемы К1810ВМ87);
•специализированный процессор ввода-вывода (тип микросхемы К1810ВМ89);
•генератор тактовых сигналов (тип микросхемы К1810ГФ84);
•системный контроллер (тип микросхемы К1810ВГ88);
•арбитр системной шины (тип микросхемы К1810ВБ89);
•контроллеры динамической памяти (типы микросхем К1810ВТ02 и К1810ВТ03);
•интервальный таймер (тип микросхем К1810ВИ54);
•усовершенствованный контроллер прямого доступа к памяти (тип микросхем К1810ВТ37);
•программируемый контроллер прерываний (тип микросхем К1810ВН59);
•регистр–защелка (К1810ИР82/83);
•шинный формирователь (К1810ВА86/87).

# Реализация ЦПУ и микропроцессорной системы на базе МПК ВМ86/ВМ88



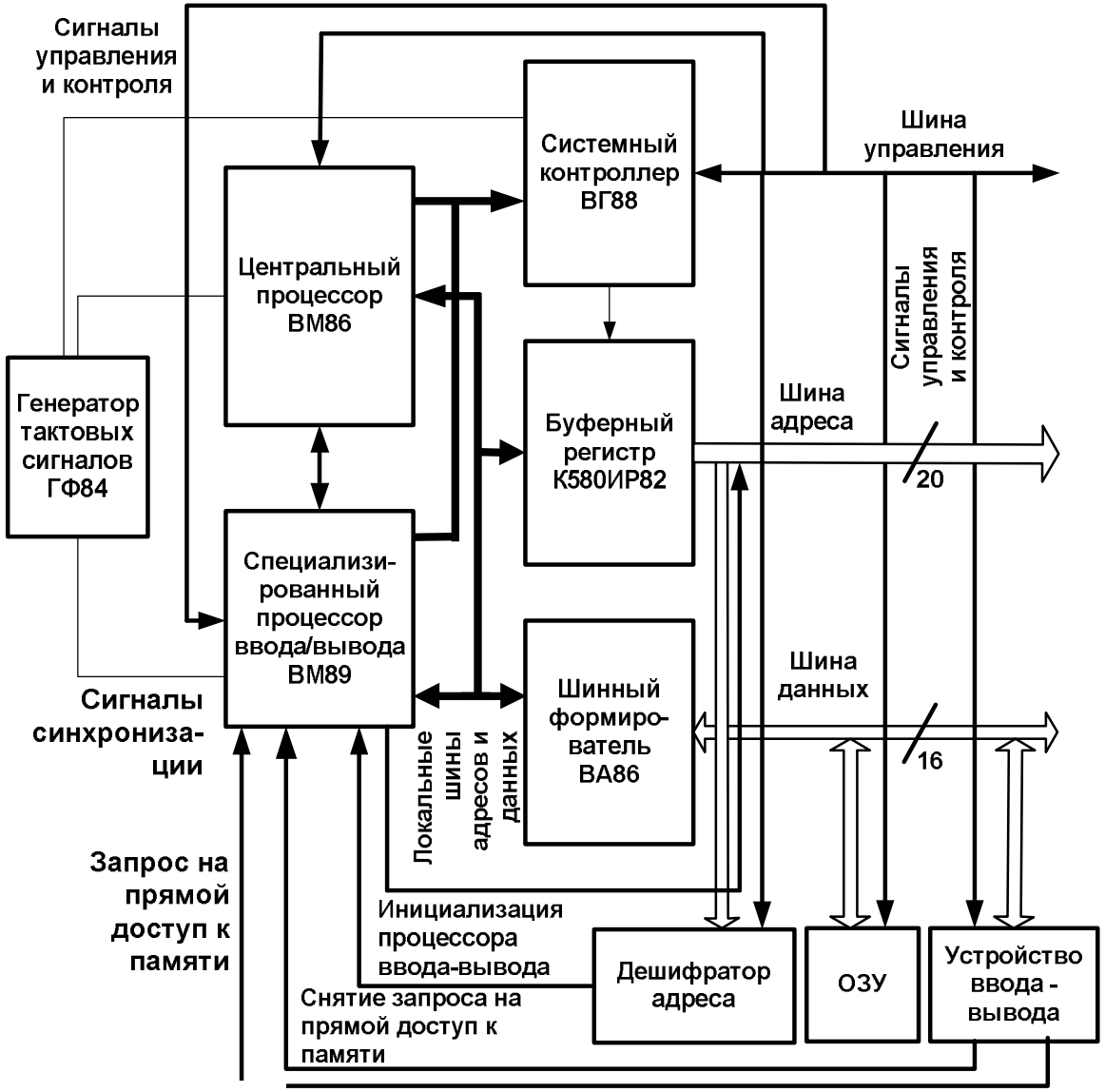
# Характеристики раннего МПК универсального назначения К1810

- Напряжение электропитания от 5,75 В до 5,25 В;
- емкость входа или входа/выхода до 10 пФ;
- емкость нагрузки до 100 пФ;
- входное напряжение низкого уровня до 0,8 В;
- входное напряжение высокого уровня до 2,0 В;
- выходное напряжение низкого уровня до 0,45 В;
- выходное напряжение высокого уровня минимально 2,4 В.

# Характеристики простейшего процессора МПК универсального назначения К1810

- Однокристальный МПр с 29 000 транзисторов на кристалле;
- размер 5,5х5,5 мм;
- напряжение питания +5 В;
- потребляемая мощность 1,7 Вт;
- тактовая частота 25 МГц;
- производительность 1,66 миллиона операций в секунду;
- шина адреса 20-ти разрядная;
- шина данных 16-ти разрядная;
- ОЗУ поделено на физические сегменты по 64 Кбайт;
- 16 регистров общего назначения;
- для уменьшения числа выводов на микросхеме МПр младшие 16 линий шины адреса мультиплексированы по времени с линиями данных и составляют единую шину адреса/данных.

# Схема ввода-вывода универсального МПК К1810



# Назначение компонентов схемы ввода-вывода К1810

***ЦПУ*** формирует необходимую команду или сообщение в ОЗУ, далее активизирует процессор ВМ89 для выполнения команды.

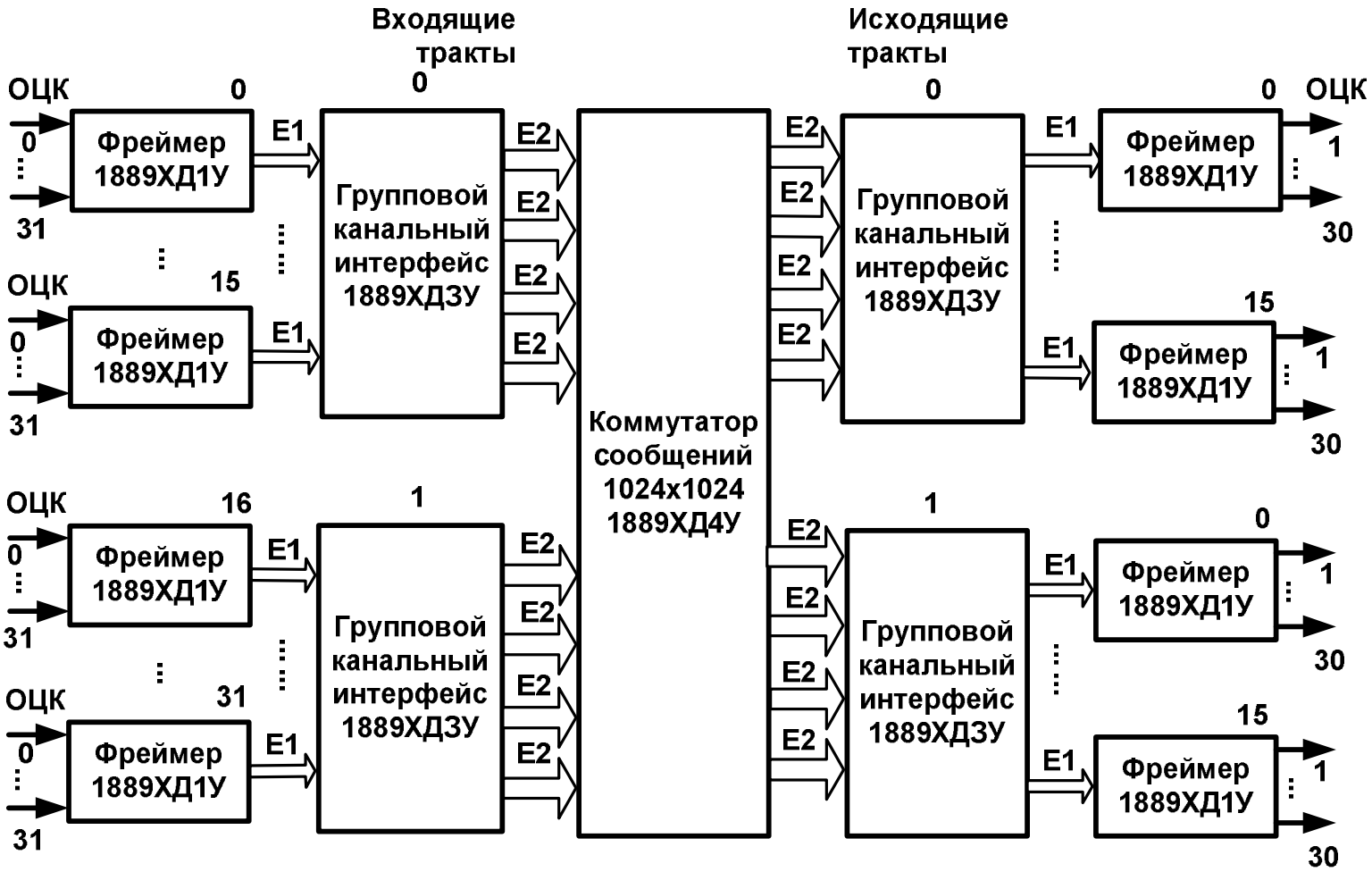
***Процессор ввода-вывода*** обращается для записи-чтения данных к ОЗУ и внешним устройствам. Для прямого доступа в память процессор ВМ89 оснащён входами DRQ.

***Генератор тактовых частот*** формирует тактовые импульсы для синхронизации МПК

***Системный контроллер*** управляет обменом данными между шинами, переключает ***шинные формирователи*** для передачи данных с локальной шины на шину ввода-вывода или на системную шину и наоборот.

***Контроллеры динамической памяти*** выполняют функцию управления чтением, записью и регенерацией содержания ОЗУ различной ёмкости.

# МПК специального назначения на основе БИС



# Характеристики специализированного МПК

- Количество микросхем 4;
- напряжение электропитания микросхем 5 В;
- температура окружающей среды от -60 град.С до +85 град.С;
- выходное напряжение высокого уровня при токе нагрузки 0,2 мА не менее 4 В;
- выходное напряжение высокого уровня при токе нагрузки 1,6 мА – не более 0,45 В;
- входное напряжение высокого уровня составляет не менее 3,8 В;
- входное напряжение низкого уровня – не более 0,8 В;
- емкость нагрузки не более 100пФ;
- ток потребления, от 20мА до 120 мА;
- КМОП технология с размером элемента 1200 нм (1,2 мкм).

# Назначение микросхем специализированного МПК

1. **Фреймер** в виде микросхемы 1889ХД1У позволяет объединять 30(31) основной цифровой канал 64 кбит/с в первичный групповой тракт Е1 (2 048 кбит/сек), поддерживает режим разделения первичного тракта Е1 на 30(31) ОЦК.

2. **Групповой канальный интерфейс** в виде микросхемы 1889ХД3У формирует групповой тракт цифровых систем передачи со скоростью 8 192 кбит/сек

3. **Коммутатор сообщений** с полем коммутации 1024х1024 канала со скоростью передачи 8192 кбит/сек выполнен в виде микросхемы 1889ХД4У; количество входящих групповых трактов Е2 равно 8, количество исходящих групповых трактов Е2 также равно 8.

# Функции фреймера микросхем линейного модуля

***Фреймер*** (1889ХД1У) позволяет объединять 30(31) основной цифровой канал 64 кбит/с в первичный групповой тракт Е1 (2 048 кбит/сек), поддерживает режим разделения первичного тракта Е1 на 30(31) ОЦК.

В режиме объединения микросхема обеспечивает:

• аппаратное формирование кодов циклического контроля ошибок;

• аппаратное формирование кодовой последовательности цифровой синхронизации;

• хранение программно задаваемой информации служебного канала в 16-м временном интервале.

В режиме разделения осуществляется :

• обнаружение и поддержка цикловой и сверхцикловой синхронизации;

• аппаратный контроль принимаемого значения кода CRC;

• аппаратный подсчёт количества блоков с ошибками CRC (пороговое значение равно 915);

• хранение информации служебного канала в буферной памяти.

Есть стык с процессором устройства управления с поддержкой 8-ми разрядной двунаправленной шины данных, 5-тиразрядной шины адреса и шины управления с передачей сигналов «Выборка», «Запись», «Чтение», «Установка».

# Функции группового канального интерфейса линейного модуля

**Групповой канальный интерфейс** 1889ХД3У формирует групповой тракт цифровых систем передачи со скоростью 8 192 кбит/сек и функционирует совместно с микросхемой коммутатора сообщений 1889ХД3, для чего содержит в своём составе по четыре независимых канала мультиплексирования/демультиплексирования.

Каждый канал мультиплексирования объединяет четыре тракта Е1 в один тракт Е2, а каждый канал демультиплексирования разделяет один тракт Е2 на четыре тракта Е1.

Все исходящие тракты при мультиплексировании являются выровненными, каждый исходящий кадр на частоте 8192 МГц, сопровождается выработкой выходного сигнала «Начало кадра», общим для всех каналов мультиплексора.

Взаимодействие с внешним МПр осуществляется через коммутатор сообщений в составе выделенного канала с последовательной передачей сообщений. В направлении МПр передаётся информация о состоянии цикловой синхронизации и принимаются команды на отключение каналов.

# Функции коммутатора сообщений линейного модуля

**Коммутатор сообщений** с полем коммутации 1024х1024 канала со скоростью передачи 8192 кбит/сек выполнен в виде микросхемы 1889ХД4У; количество входящих групповых трактов Е2 равно 8, количество исходящих групповых трактов Е2 также равно 8. Все входящие групповые тракты предварительно выровнены, исходящие групповые тракты обеспечены цикловой и сверхцикловой синхронизацией и кодами циклического контроля ошибок.

Микросхема может аппаратно формировать необходимую цикловую и сверхцикловую синхронизацию, вести буферизацию и возможность программного чтения/записи служебной информации всех входящих трактов для канальных временных интервалов с номерами 0 и 16 нечетных циклов для каждого полусверхцикла. Считанная информация записывается в два блока ОЗУ объёмом 288 бит каждый на передаче и два блока на приёме. Имеются блоки буферных регистров для записи отдельных битов канального временного интервала 0.

Есть стык с МПр управления с поддержкой 11-ти разрядной двунаправленной шины данных, 8-ми разрядной шины адреса и шины управления с передачей сигналов «Выборка», «Запись», «Чтение», «Установка».

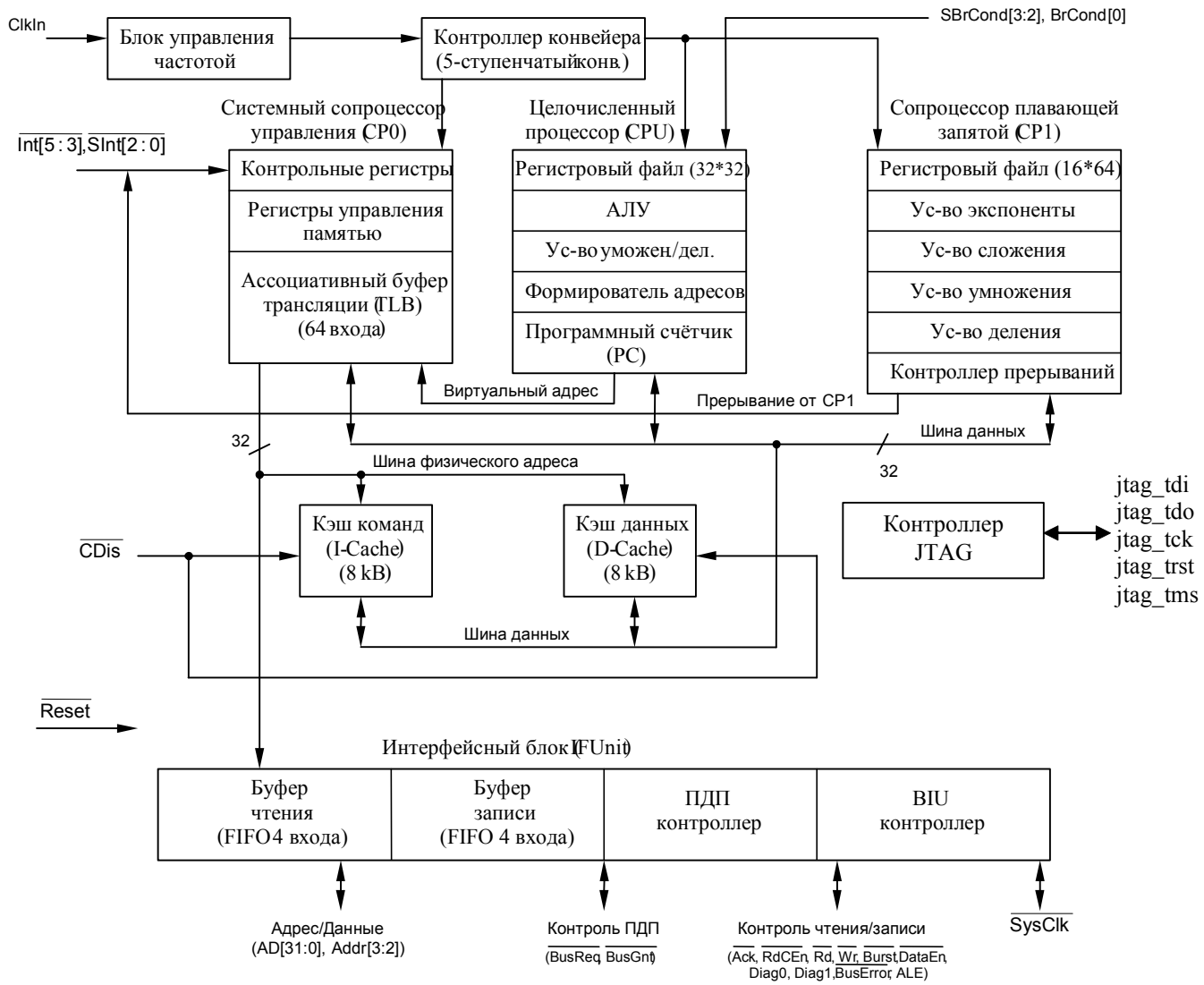
# Специализированные радиостойкие ИС КМОН КНС для систем космической связи

| | | | |
|---|---|---|---|
| 1 | Б1825ВР3-2 | бК0.347.600-04ТУ | 16-ти разрядный арифметический умножитель |
| 2 | Б1825ВР5-2 | бК0.347.600-20ТУ | Модульное умножающее, нормализующее и сдвигающее двоичные числа устройство (арифметический расширитель 8х8) |
| 3 | Б1825ВА1-2 | бК0.347.600-05ТУ | Логический элемент согласования |
| 4 | Б1825ВК1-2 | бК0.347.600-06ТУ | Логический мажоритирующий элемент |
| 5 | Б1825ВА2-2 | бК0.347.600-08ТУ | Коммутатор магистралей |
| 6 | Б1825ИР1-2 | бК0.347.600-09ТУ | Многофункциональный регистр |
| 7 | Б1825ВУ1-2 | бК0.347.600-10ТУ | Формирователь адреса микрокоманд |
| 8 | Б1825ВБ1-2 | бК0.347.600-11ТУ | Перестраиваемый синхронизатор |
| 9 | 1825ВБ2Н2 | бК0.347.600-22ТУ | Модернизированный Перестраиваемый синхронизатор |
| 10 | Б1825ВС3-2 | бК0.347.600-13ТУ | 16-ти разрядный модульный микропроцессор |
| 11 | 1825ВС 3 | бК0.347.516-12ТУ | 16-ти разрядный модульный микропроцессор; (корпус4135.64-1) |
| 12 | Б1825ВВ1-2 | бК0.347.600-14ТУ | Кодек для логического и алгоритмического сопряжения с мультиплексным каналом связи |
| 13 | 1825ВВ1 | бК0.347.516-13ТУ | Кодек для логического и алгоритмического сопряжения с мультиплексным каналом связи (корпус 429.42-5) |
| 14 | Б1825ВА3-2 | бК0.347.600-15ТУ | Магистральный приемо-передатчик |
| 15 | 1825ВА3Т | АЕЯР.431280.249-01ТУ | Магистральный приемо-передатчик (корпус 4118.24-2) |
| 16 | 1825КН1Н2 | бК0.347.600-21ТУ | 16-канальный коммутатор-мультиплексор с последовательным управлением |
| 17 | 1825КН2Н2 | бК0.347.600-23ТУ | 16-канальный коммутатор-мультиплексор аналоговых сигналов с последовательным |

# Специализированный МПК 1892 для обработки цифровых сигналов

| | | |
|---|---|---|
| 1892ВМ 10Я | МНОГОЯДЕРНЫЙ СИГНАЛЬНЫЙ МИКРОЦЕССОР ДЛЯ СИСТЕМ СВЯЗИ И НАВИГАЦИИ | АЕЯР.431280. 823ТУ |
| 1892ВМ 1Я | 32-РАЗРЯДНЫЙ СИГНАЛЬНЫЙ МИКРОКОНТРОЛЛЕР С АРХИТЕКТУРОЙ RISC-ЯДРА И ЯДРА СОПРОЦЕССОРА - АКСЕЛЕРАТОРА ДЛЯ ОБРАБОТКИ ДАННЫХ В ФОРМАТЕ С ФИКСИРОВАННОЙ ТОЧКОЙ | АЕЯР.431280. 376ТУ |
| 1892ВМ 2Я | 32-РАЗРЯДНЫЙ СИГНАЛЬНЫЙ МИКРОКОНТРОЛЛЕР С АРХИТЕКТУРОЙ RISC-ЯДРА И ЯДРА СОПРОЦЕССОРА - АКСЕЛЕРАТОРА ДЛЯ ОБРАБОТКИ ДАННЫХ В ФОРМАТЕ С ПЛАВАЮЩЕЙ ТОЧКОЙ | АЕЯР.431280. 376ТУ |
| 1892ВМ 3Т | 32-РАЗРЯДНЫЙ СИГНАЛЬНЫЙ МИКРОПРОЦЕССОР С ПЛАВАЮЩЕЙ И ФИКСИРОВАННОЙ ТОЧКОЙ | АЕЯР.431280. 418ТУ |
| 1892ВМ 4Я | 64-РАЗРЯДНЫЙ МИКРОПРОЦЕССОР ДЛЯ ЦОС | АЕЯР.431280. 493ТУ |
| 1892ВМ 5АЯ | 64-РАЗРЯДНЫЙ ПРОЦЕССОР ЦОС С ПАРАЛЛЕЛЬНОЙ АРХИТЕКТУРОЙ С ЧАСТОТОЙ СЛЕДОВАНИЯ ТАКТОВЫХ СИГНАЛОВ 100 МГц | АЕЯР.431280. 493ТУ |
| 1892ВМ 5БЯ | 64-РАЗРЯДНЫЙ ПРОЦЕССОР ЦОС С ПАРАЛЛЕЛЬНОЙ АРХИТЕКТУРОЙ С ЧАСТОТОЙ СЛЕДОВАНИЯ ТАКТОВЫХ СИГНАЛОВ 90 МГц | АЕЯР.431280. 493ТУ |
| 1892ВМ 8Я | 64-РАЗРЯДНЫЙ СИГНАЛЬНЫЙ МИКРОПРОЦЕССОР | АЕЯР.431280. 767ТУ |
| 1892КП 1Я | МНОГОКАНАЛЬНЫЙ ИНТЕЛЛЕКТУАЛЬНЫЙ КОММУТАТОР С ВЫСОКОСКОРОСТНЫМИ НИЗКОВОЛЬТНЫМИ (LVDS) КАНАЛАМИ, ПОДДЕРЖИВАЮЩИМИ ПАКЕТНУЮ ПЕРЕДАЧУ ДАННЫХ | АЕЯР.431260. 768ТУ |
| 1892ХД 1Я | МНОГОКАНАЛЬНЫЙ АДАПТЕР СОПРЯЖЕНИЯ С ШИНОЙ PCI И ВЫСОКОСКОРОСТНЫМИ LVDS КАНАЛАМИ | АЕЯР.431260. 567ТУ |
| 1892ХД 2Я | МНОГОКАНАЛЬНЫЙ КОММУТАТОР ДЛЯ ИС СЕРИЙ "МУЛЬТИКОР" С ВЫСОКОСКОРОСТНЫМИ LVDS КАНАЛАМИ, ПОДДЕРЖИВАЮЩИМИ ПАКЕТНУЮ ПЕРЕДАЧУ ДАННЫХ | АЕЯР.431260. 568ТУ |

# Структурная схема специализированной микропроцессорной системы 1890ВМ2Т



# Характеристики специализированной микропроцессорной системы 1890ВМ2Т

Внутрифирменное наименование **Комдив32**

- 32-разрядный RISC-микропроцессор
- архитектура ядра MIPS
- 108-выводной металло-керамическом корпус
- тактовая частота 33….100 МГц
- напряжение питания 3,3 В ±5%
- технологическая норма 350 нм, КМОП технология
- четыре слоя металлизации
- 1,7 миллиона транзисторов
- потребляемая мощность - не более 30 мВт/МГц (не более 0,45 Вт в режиме энергосбережения),
- микропроцессор производит обработку слов (32 бита), полуслов (16 бит), байтов (8 бит)
- рабочий диапазон температур -60$^0$ … +125$^0$ С.
- производитель НИИ системных исследований и РНЦ «Курчатовский институт)

# Система на кристалле 1890ВМ3Т

**В состав SoC входит:**

- 64-х разрядный микропроцессор
- системный контроллер
- контроллер PCI, Ethernet
- контроллер последовательных интерфейсов.

**Характеристики SoC**

- внутрифирменное наименование Комдив64СМП
- однокристальный 64-разрядный RISC-микропроцессор
- архитектура ядра MIPS64 release1
  тактовая частота до 400 МГц
- напряжение питания 3,3 В ±5%
- технологическая норма 180 нм, КМОП технология
- 19 миллионов транзисторов



http://forum.ixbt.com/post.cgi?id=print:8:24130&page=21

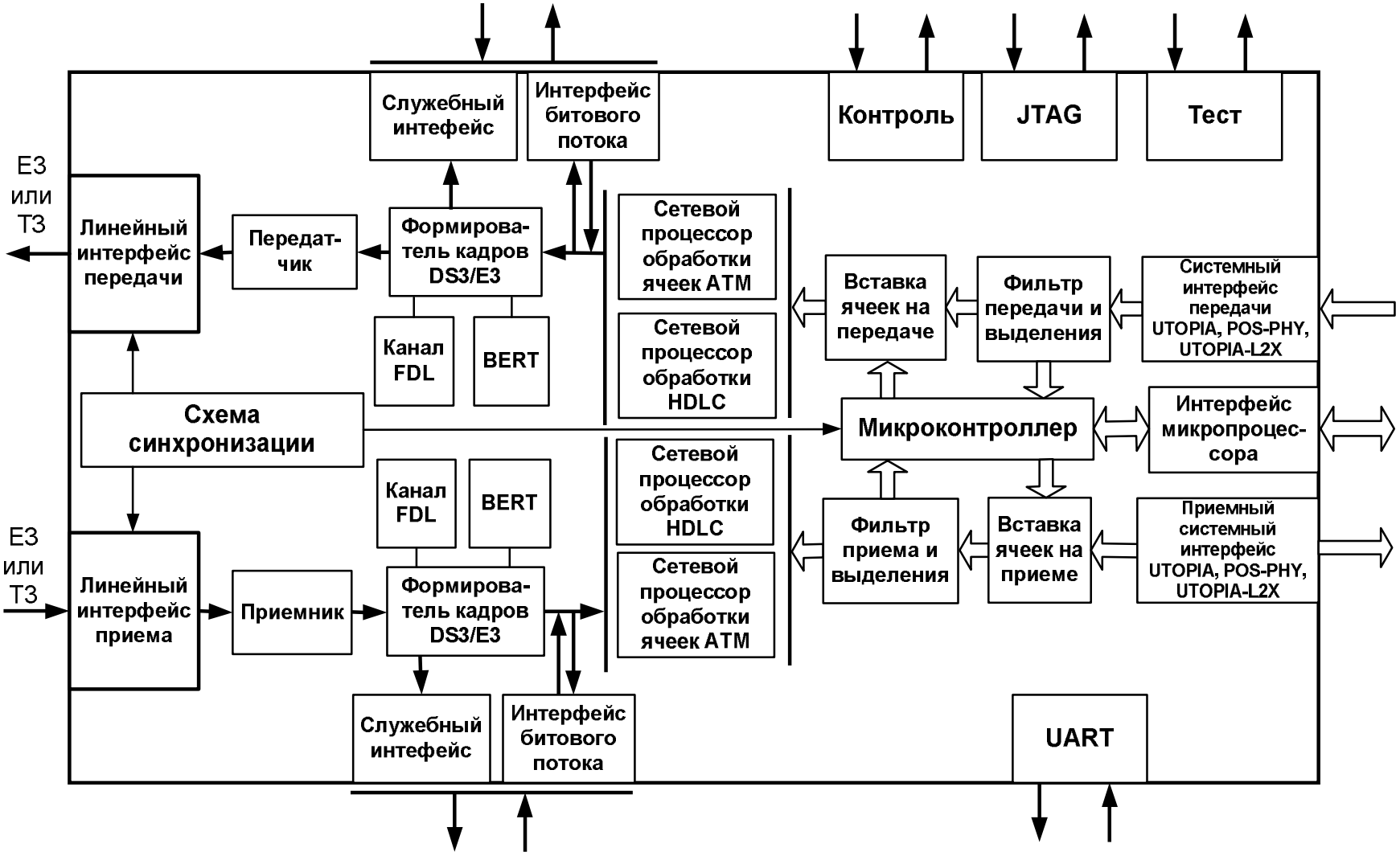
# Особенности технологии производства МПК для применения в условиях космоса

Проведенные эксперименты показали, что для СБИС, изготавливаемых по объемной КМОП технологии с проектными нормами 0,13 мкм, частота сбоев по тиристорным эффектам и эффектам одиночных сбоев на 1-2 порядка выше, чем для КМОП СБИС, изготавливаемых с проектными нормами 0,18 мкм и больше.

Поскольку интенсивность потока нейтронов от солнечных вспышек, длящихся от единиц часов до нескольких дней несколько раз в год, соответствует интенсивности нейтронов на высотах порядка 15 км, **недопустимо применение схем с технологическими нормами КМОП 0,13 мкм** не только в составе бортовой аппаратуры военной авиационной техники на всех высотах полетов, но и для модулей в составе аппаратуры наземного и морского базирования с высокими требованиями по надежности. Таким образом, производительность вычислительных систем существенно ограничена технологическими нормами изготовления микросхем. Решением задачи может служить создание многопроцессорных систем.

**С.Г. Бобков, 2008. Цит. по http://ms2.znate.ru/docs/534/index-73960-1.html**

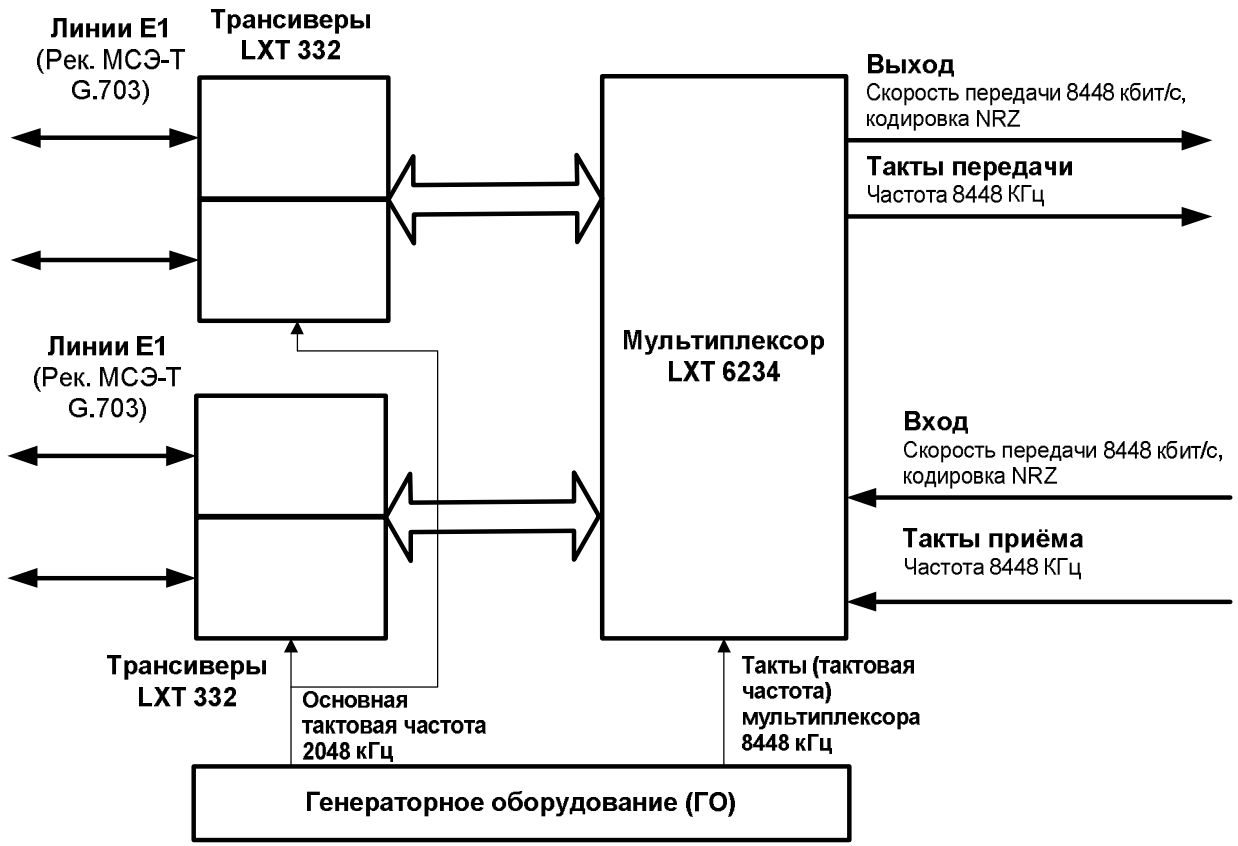
# Линейный модуль с интерфейсом трактов к ЦСП (микросхема)



# Характеристика микросхемы линейного модуля

- Микросхема имеет допустимое напряжение на входе и выходе 3,3 В.
- Потребляемая мощность 900 мВт.
- Пластиковый корпус 27х27х4 мм с 272 выводами.
- Микроконтроллер в составе микросхемы контролирует конфигурацию устройства, обрабатывает входящую сигнализацию и собирает статистические данные в соответствии с MIB SNMP.
- Синхронизирующее устройство, которое обеспечивает обработку служебных бит и бит проверки четности для цифрового первичного тракта E1 согласно Рек. МСЭ–Т G.751 и G.832.
- Интерфейс с внешним процессором управления позволяет подключать внешние 8/16-ти разрядные МПр Intel и Motorola.
- Функции обработки информации протоколов ATM и HDLC на физическом, канальном и сетевом уровнях модели ВОС.

# Аппаратные средства мультиплексора в системе передачи PDH



# Характеристики аппаратных средств микросхемы LXT6234

Микросхема Intel LXT-332 представляет собой полностью интегрированный блок линейного интерфейса для работы на скорости 1544 кбит/сек или 2048 кбит/сек.

В состав данной микросхемы входят :

- кодер-декодер HDB-3, B8ZS;
- линейный интерфейс согласно Рек. МСЭ-Т G.703 с эквалайзером, управляющим амплитудой выходных импульсов передатчика;
- аттенюатор джиттера, коммутируемый в так передачи и в так приёма;
- встроенный кварцевый генератор;
- генератор псевдослучайной последовательности и детектор ошибок для контроля тактов;
- устройства замыкания шлейфов как в сторону станции так и в сторону линии связи;
- последовательный интерфейс для работы с МПр;
- схема диагностики и контроля.

# Телекоммуникационная технология SDH транспортных сетей

***Синхронная цифровая иерархия, СЦИ или SDH*** – интегрированная транспортная сеть телекоммуникаций, основанная на волоконно-оптических линиях связи (ВОЛС), позволяющая передавать все виды трафика.

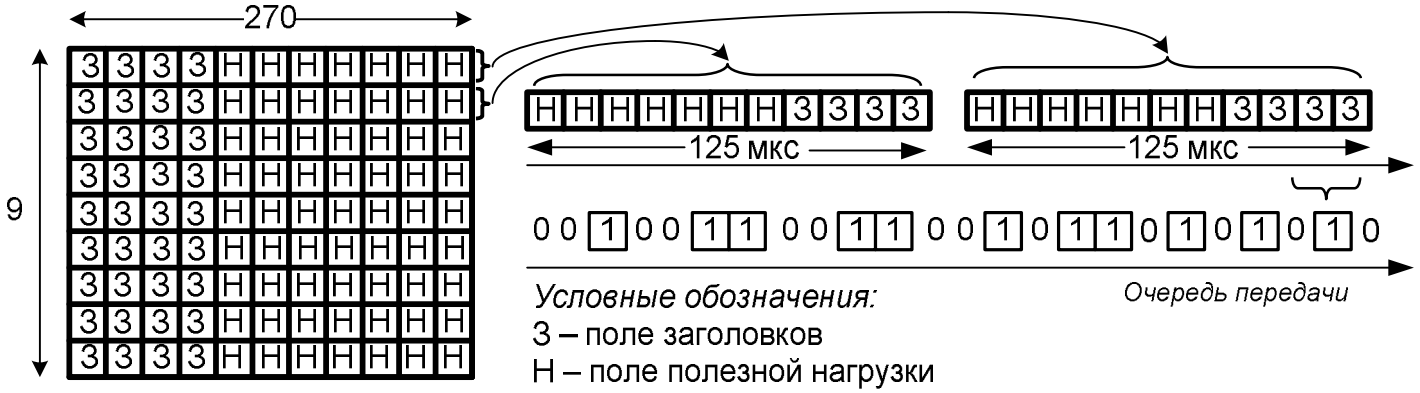
Преобразования в SDH в формат STM-N осуществляется в два этапа:

1. согласование скоростей передачи входящих потоков PDH (E1 со скоростью передачи 2,048 Мбит/с ) и образование STM-1;

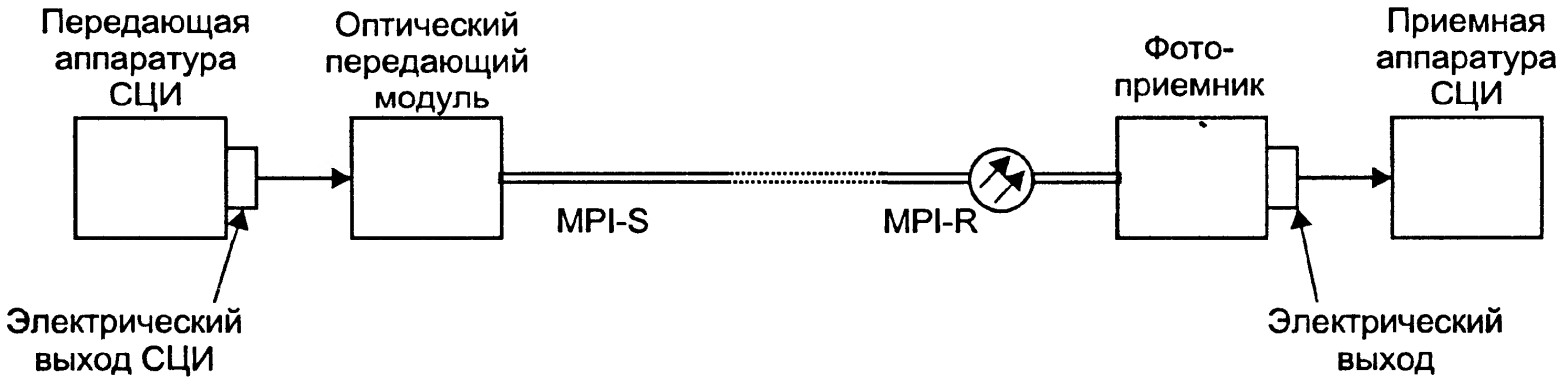
2. синхронное мультиплексирование STM–1 в STM–N (n= 1,4,16,64,256).

STM–1 со скоростью 155,520 Мбит/с;
STM–4 со скоростью 622,080 Мбит/с;
STM–16 со скоростью 2448,320 Мбит/с;
STM–64 со скоростью 9953,280 Мбит/с;
STM–256 со скоростью 39813,12 Мбит/с.

# Процесс передачи STM-1

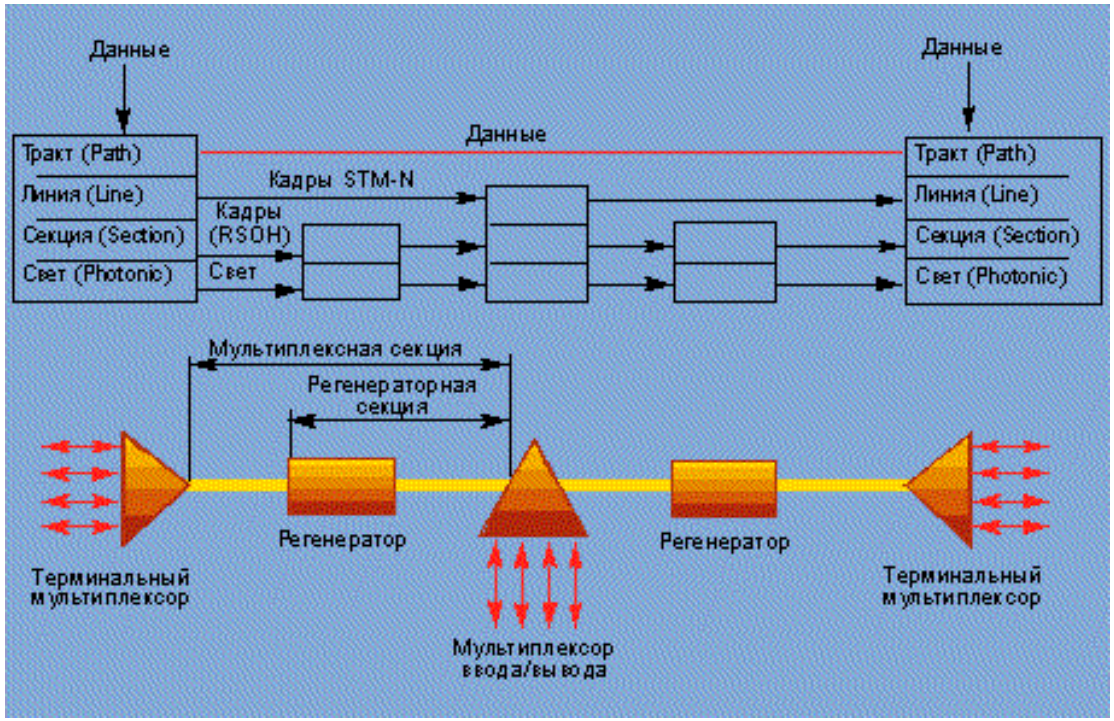



**Процесс циклической синхронной передачи STM-1**




**Тракт передачи STM-1**

# Назначение мультиплексора SDH добавления-выделения (add - drop)



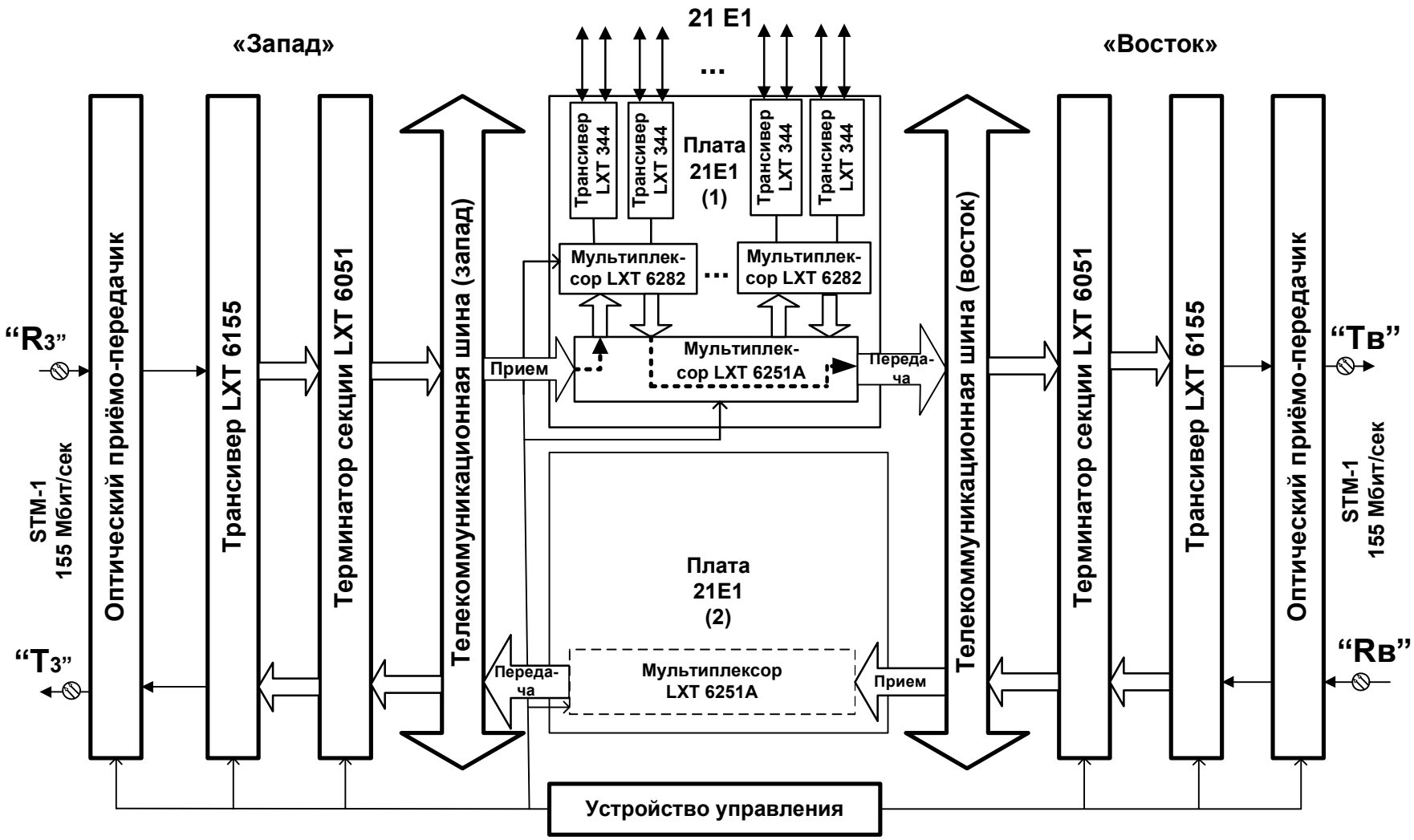

Мультиплексор добавления-выделения имеет два двухволоконных оптических интерфейса «Запад» **(Rз)** – «Восток»**(Rв)** и поддерживает добавление-выделение в тракт STM-1 до 42 трактов E1. Для построения мультиплексора используется специализированный микросхемный набор компании Intel.

В набор входят два базовых типа микросхем СБИС:

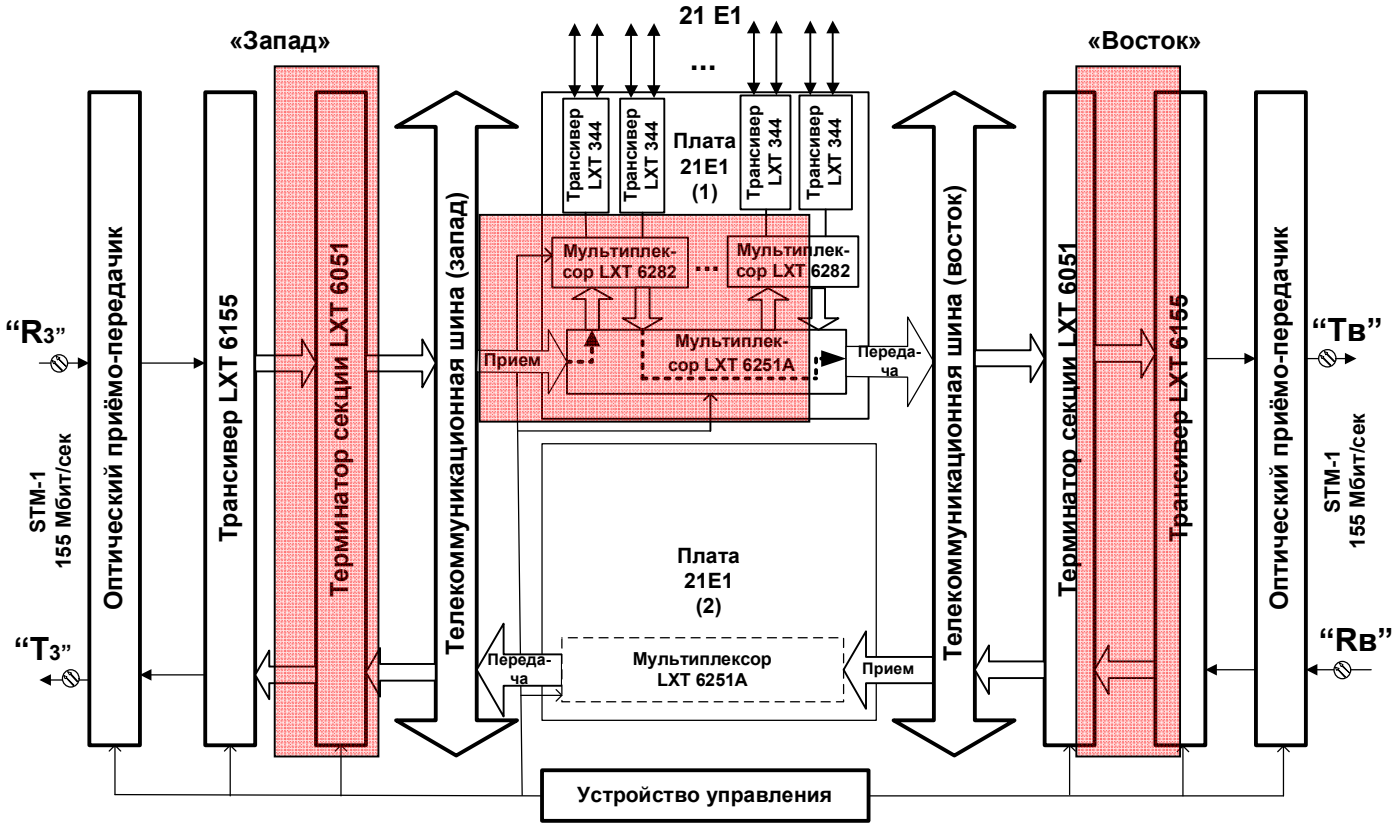
•микросхема LXT 6051, выполняющая функции терминатора секций STM – 1/0;

•микросхема LXT6251 выполняющая функции SDH-мэппера, т.е. размещающая тракты E1 в виртуальных контейнерах STM

# Функциональная блок-схема мультиплексора SDH

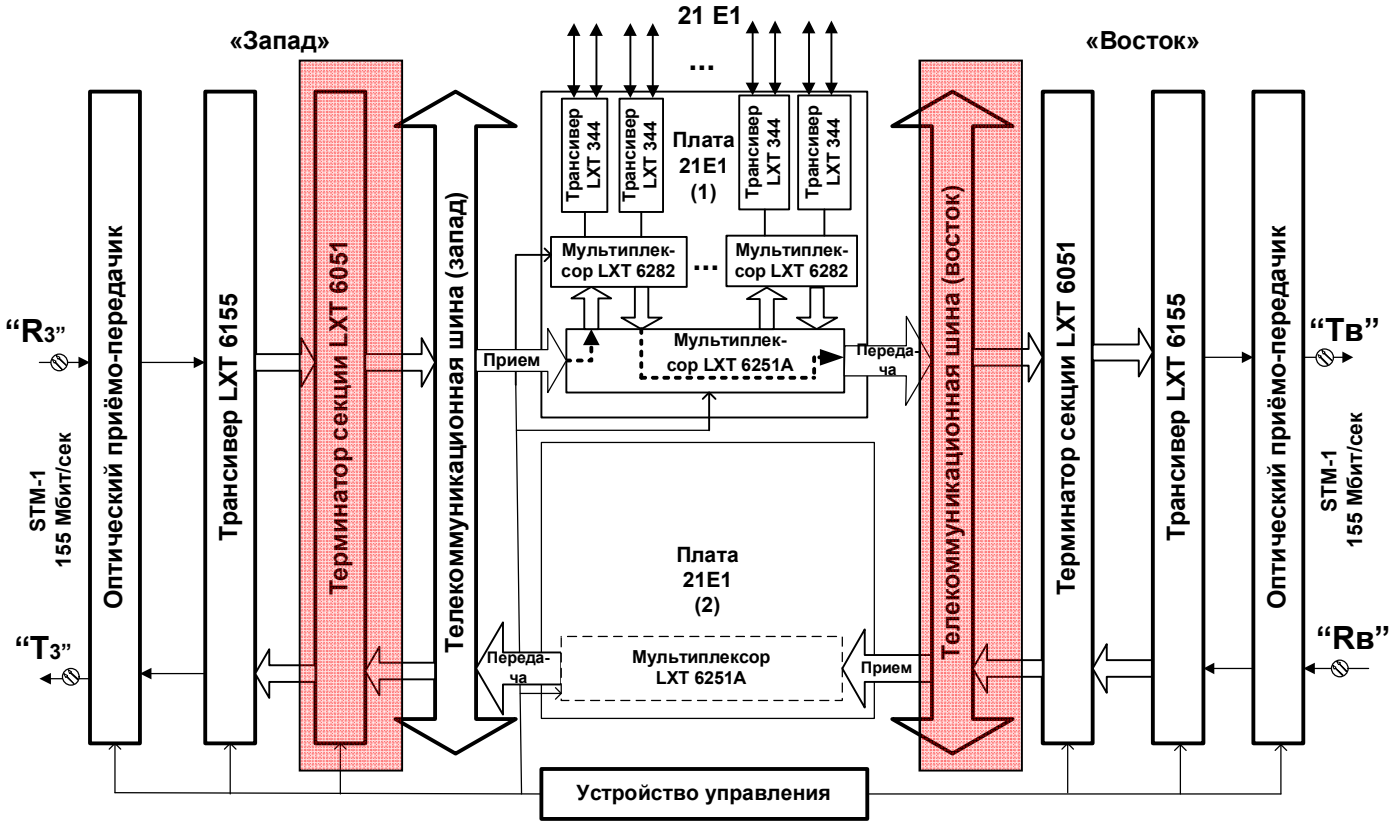


# Назначение трансиверов мультиплексора SDH



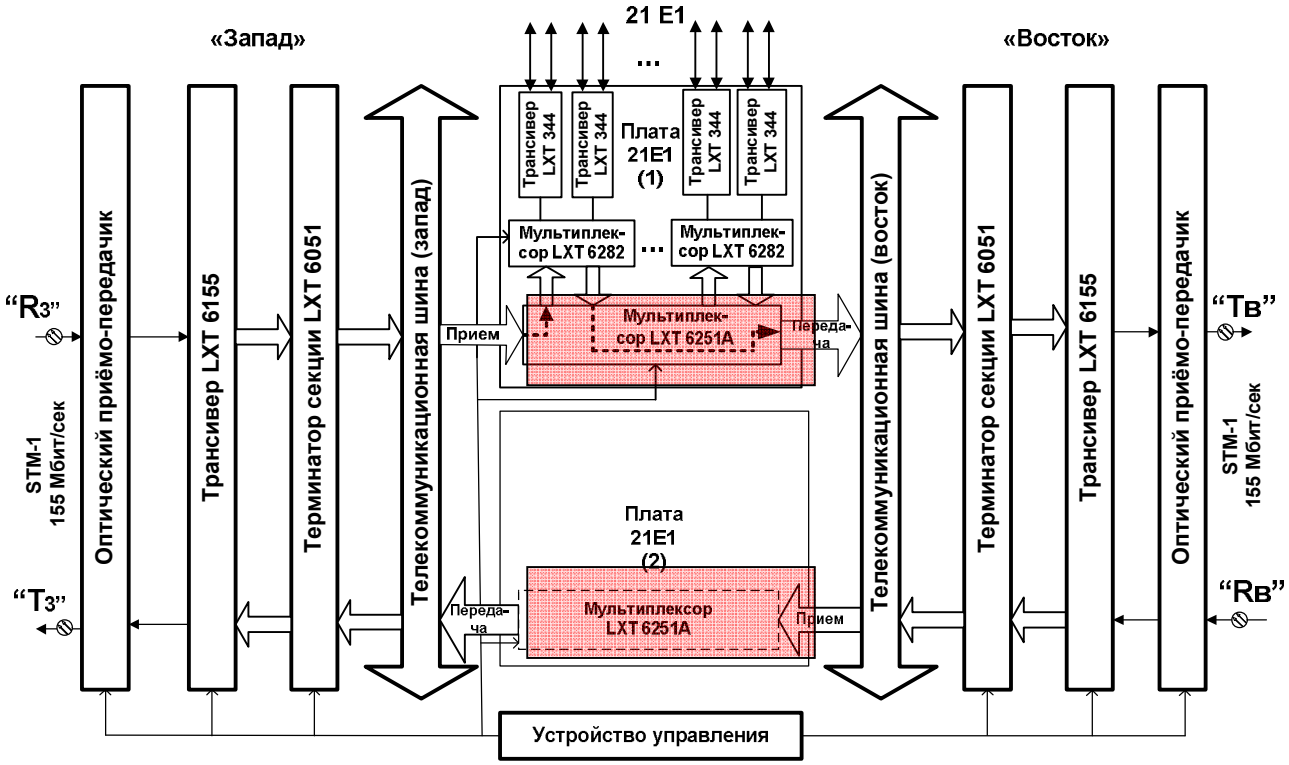

Трансивер оптической линии LXT6155 сопрягает параллельный электрический интерфейс STM-1 терминатора секции с последовательным интерфейсом оптического приемопередатчика. Мультиплексные устройства LXT6282 и трансиверы трактов E1 LXT344 сопрягают LXT6251 с трактами E1.

# Назначение терминатора секций мультиплексора SDH



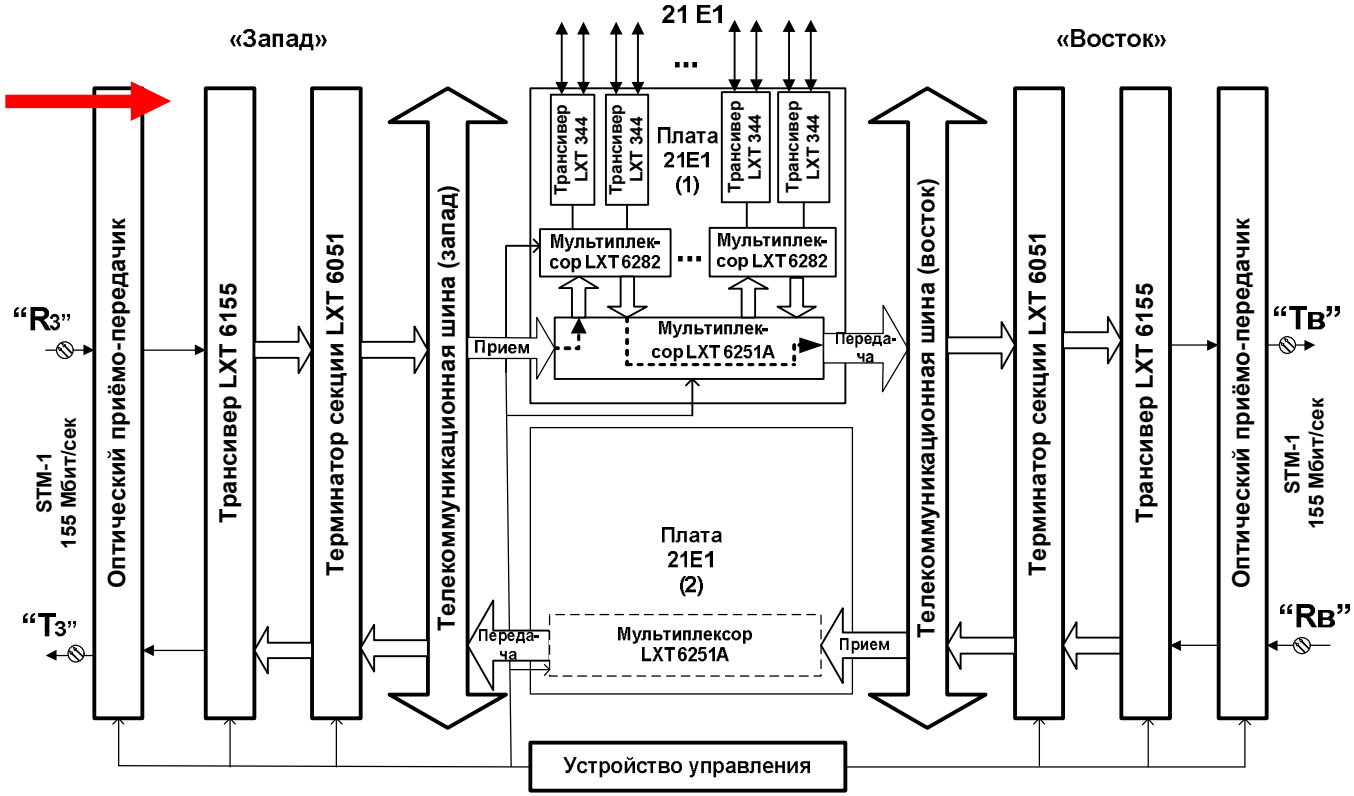

**Микросхема терминатора секций STM – 1/0 LXT 6051** выполняет преобразование трактов VC-4 (VC-3) в тракт STM-1 (STM-0) соответственно через AU-4 и AUG (AU-3 для STM-0).

# Назначение мэппера мультиплексора SDH



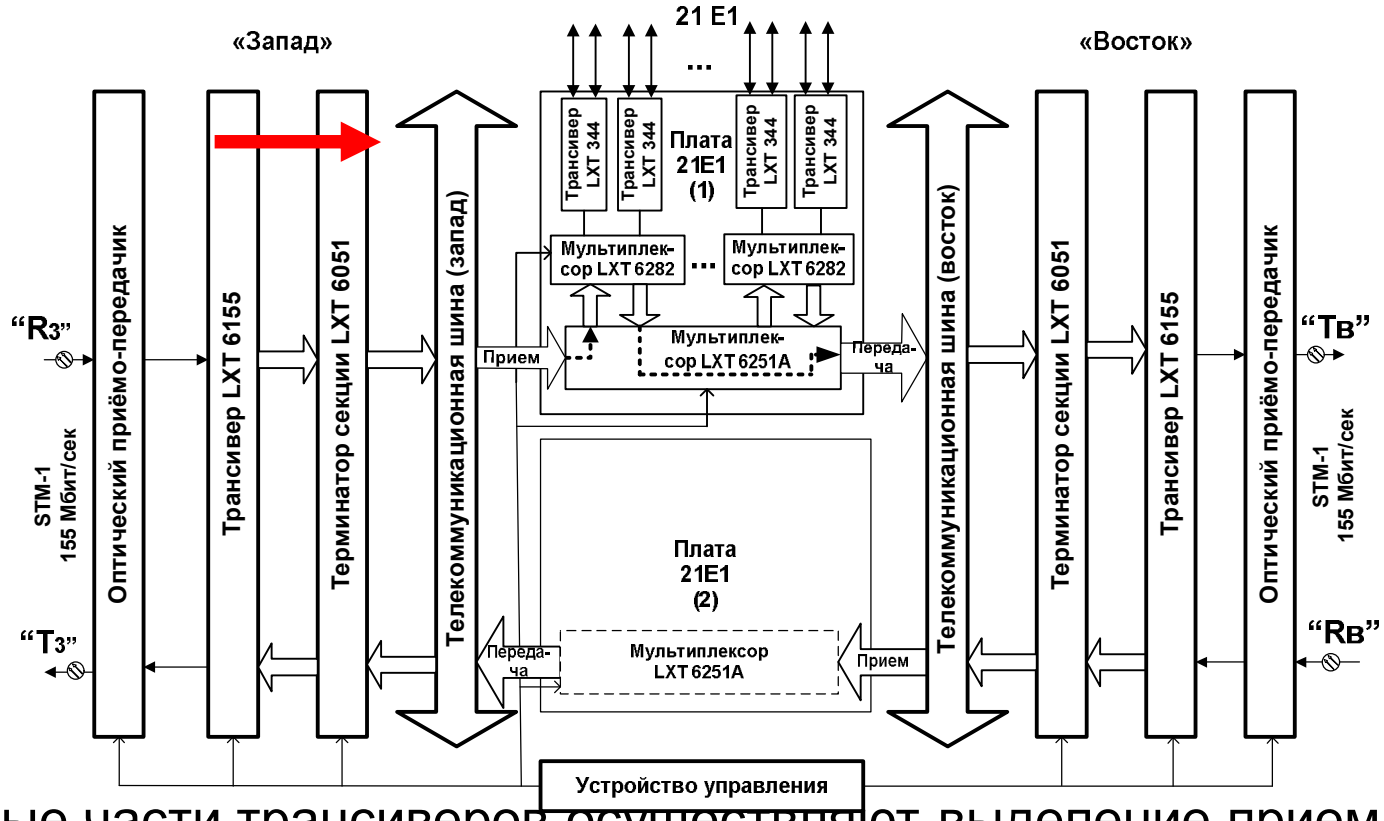

**Микросхема отображения (SDH-мэппер) 21 E1 типа LXT6251**
может поддерживать до 8 интерфейсов E1 и выполняет размещение потоков E1 в виртуальных контейнерах VC-12, извлечение потоков из этих контейнеров (мэппинг, mapping), мультиплексирование 21 VC-12 в TUG-3 (предварительная ступень VC-3/4), гибкое конфигурирование доступом.
Мэппер соединяется с терминаторами секции через двунаправленные телекоммуникационные шины (стандарт IEEE P1396).

# Назначение мэппера мультиплексора SDH



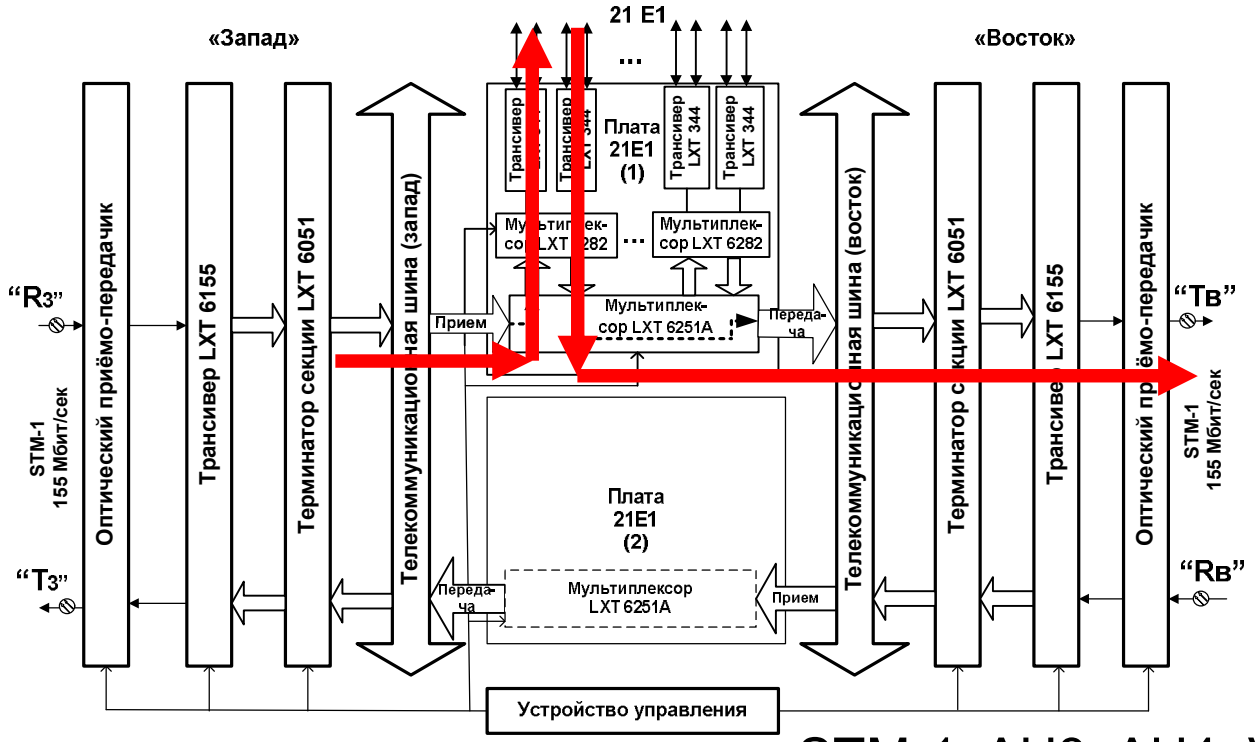

С выходов приёмных частей оптических приёмопередатчиков NRZ-кодированные сигналы 155 Мбит/сек поступают через последовательную эмиттерно-связанную логику интерфейса на входы трансиверов на основе микросхем LXT 6155 восточного и западного направления

# Принцип работы мультиплексора SDH(1)




Приёмные части трансиверов осуществляют выделение приемного тактового сигнала в каждом из направлений и преобразуют принимаемый сигнал в сигналы восьмиразрядного параллельного интерфейса STM-1. С выходов трансиверов сигналы подаются на входы терминаторов секции LXT6051 западного и восточного направлений.

# Принцип работы мультиплексора SDH(1)




Терминаторы анализируют заголовки STM-1, AU3, AU4, VC-3, VC-4 и выполняют функции окончания секции регенератора, секции мультиплексора, окончания маршрутов высших порядков, а также функции мониторинга и обнаружения аварийных состояний, конфигурирования маршрутов приёма и передачи. Далее свои функции реализует SDH-мэппер, трансиверы E1

# Выводы по лекции 9

1. В современных телекоммуникационных системах применяются микропроцессорные комплекты общего и специального назначения, которые отличаются архитектурой, функциями и техническими характеристиками.
2. Микропроцессорные комплекты общего назначения характеризуются универсальностью применения и могут использоваться при производстве широкого набора средств связи.
3. Микропроцессорные комплекты специального назначения характеризуются наличием специальных микросхем или набора микросхем. Это позволяет реализовывать некоторые функции с минимальной задержкой по времени, например функции (де)мультиплексирования, коммутации

ФГОБУ ВПО
Поволжский государственный университет
телекоммуникаций и информатики

# Лекция 10.
# Аппаратные средства абонентских устройств

Лектор :

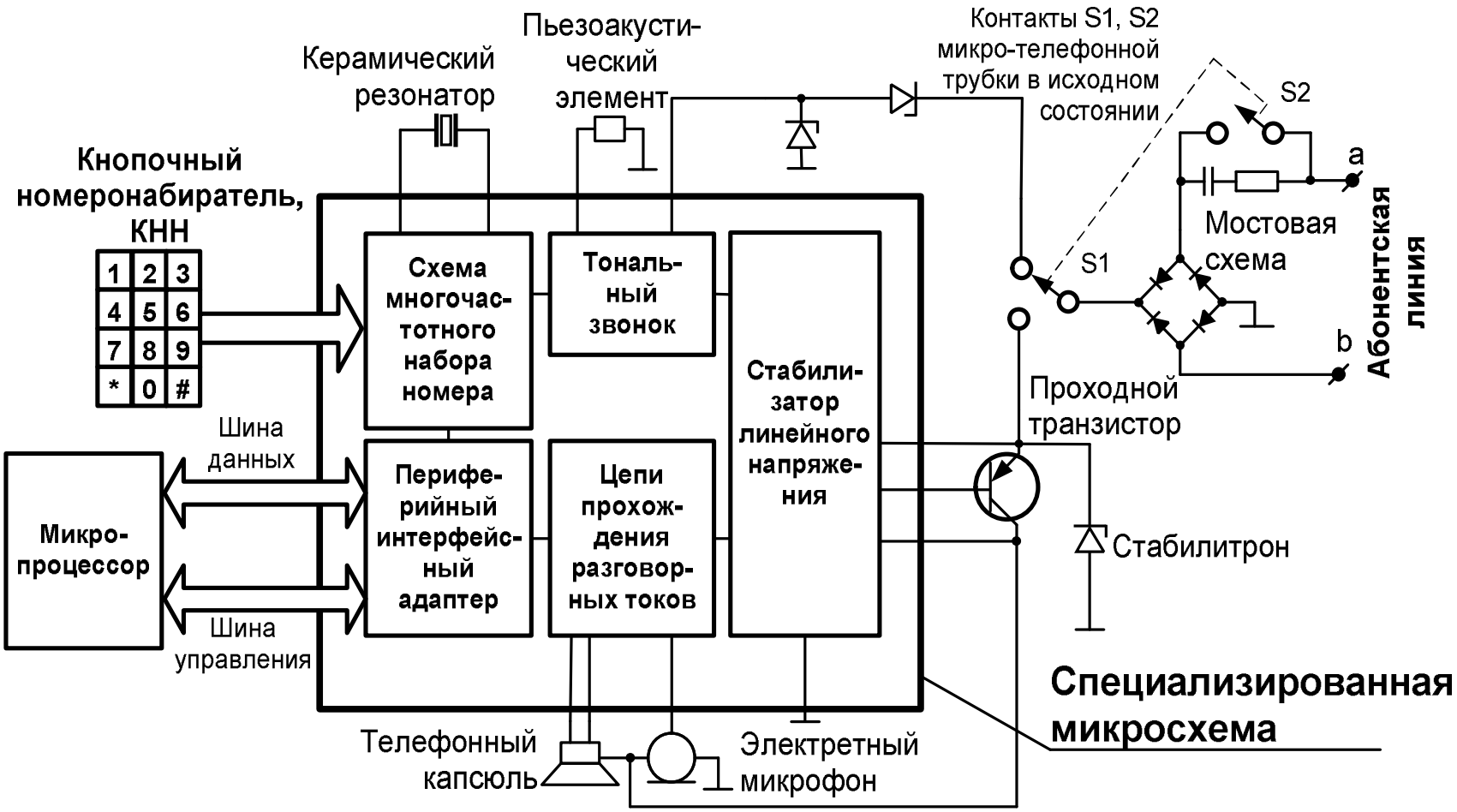
доцент кафедры АЭС ПГУТИ,

к.т.н. Гребешков А.Ю.

Самара
2017 год

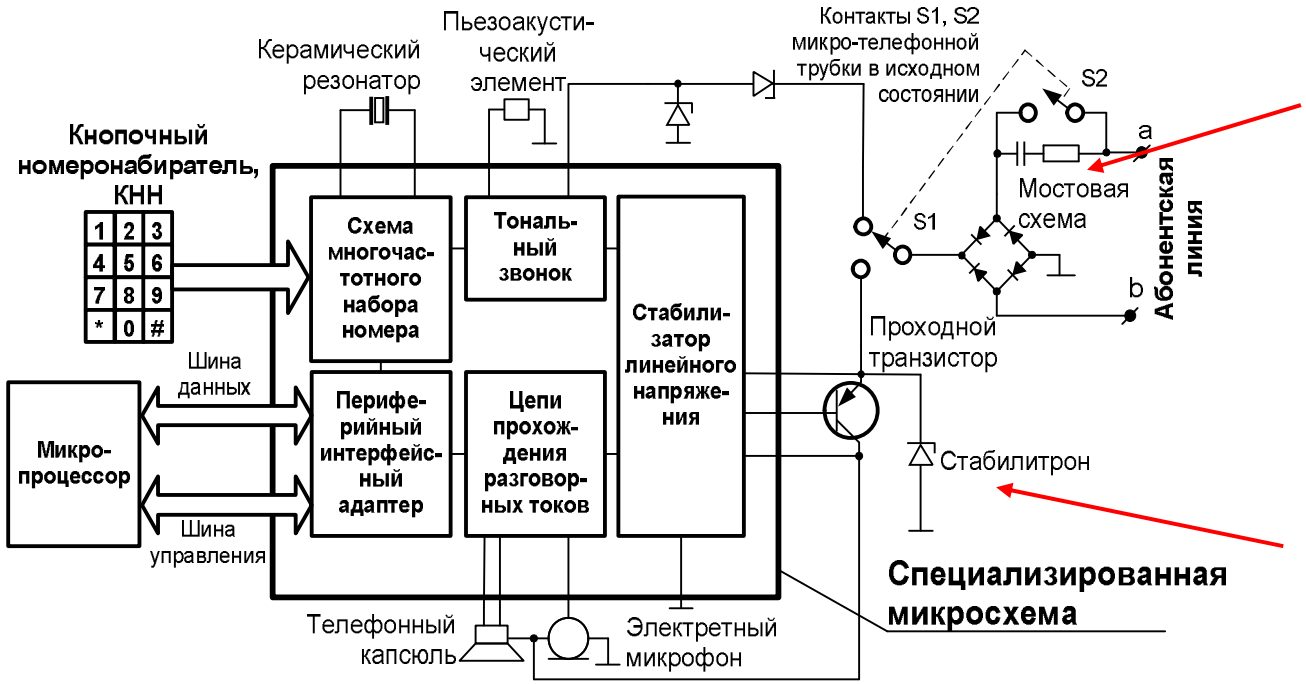
кафедра
автоматической электросвязи

# Функциональная блок-схема цифрового телефона



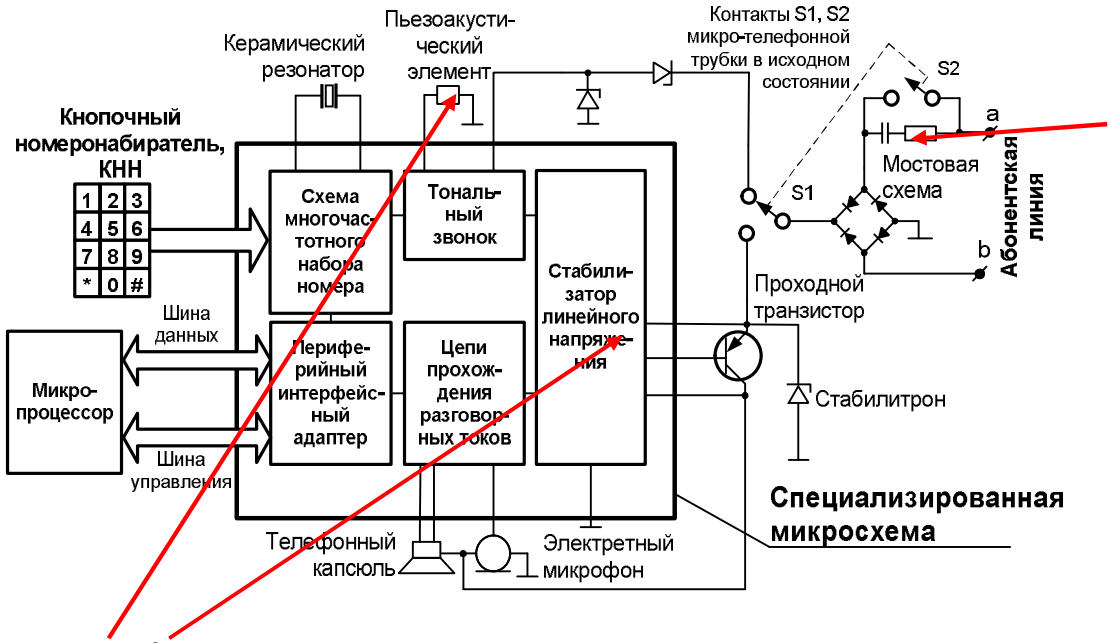

(с)Бигелоу С.Д. и др.

# Обработка сигнала вызова в цифровом телефоне (1)




Сигнал вызова поступает на вход мостовой схемы по проводам a и b, далее сигнал претерпевает двухполупериодное выпрямление, а его величина ограничивается стабилитронами.

# Обработка сигнала вызова цифровом телефоне (2)

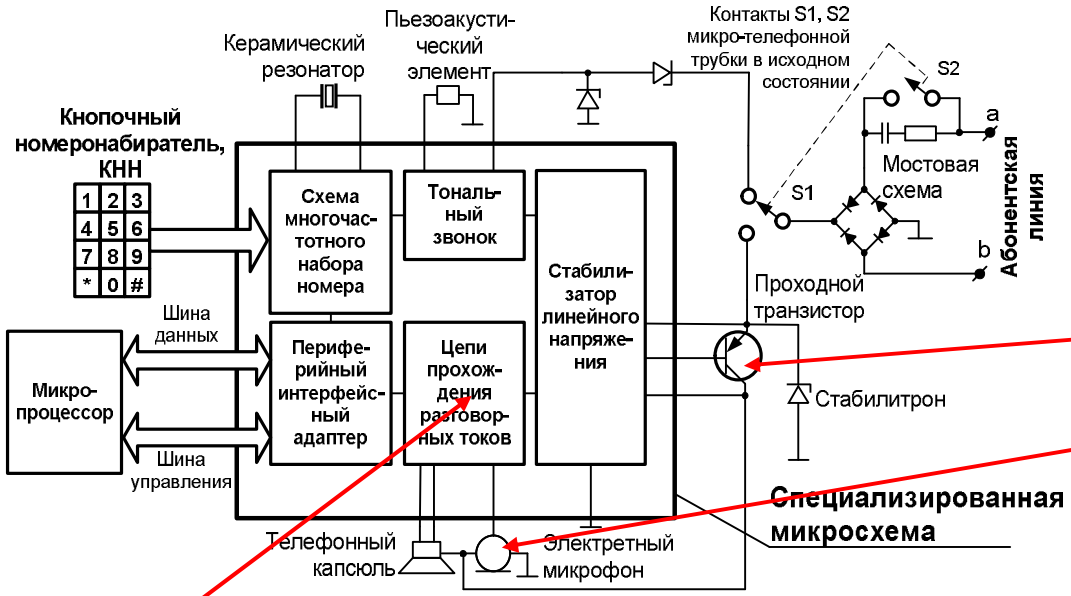



Когда напряжение сигнала вызова превышает уровень порогового значения, задаваемого резистором, запускается делитель частоты, обеспечивающий отношение частот 8/10.

Делитель обеспечивает попеременный двухтональный либо мелодичный (в виде трелей) сигнал, поступающий на выходной усилитель с несимметричным выходом, возбуждающий пьезоэлектрический акустический элемент.

Когда напряжение вызывного сигнала снижается ниже порогового уровня, делитель частоты с отношением 8/10 отключается и выходной сигнал вызова перестает звучать. Частота сигнала вызова может подстраиваться с использованием внешних элементов схемы.

# Прохождение речевого сигнала в цифровом телефоне (1)



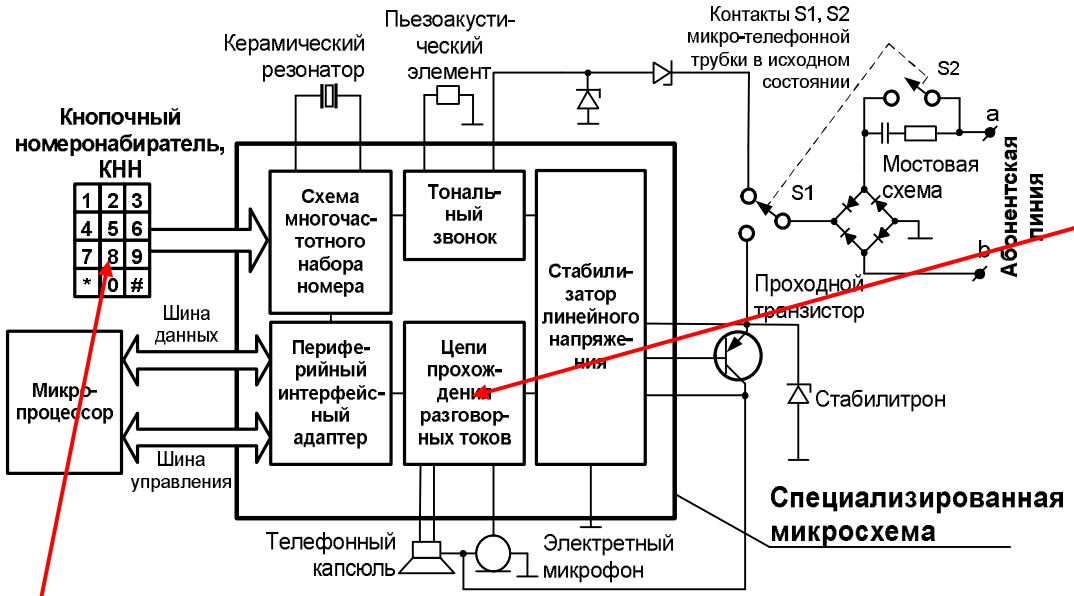

Сопряжение цепей электретного микрофона и телефонного капсюля с двухпроводной телефонной линией.

Ток, проходящий по цепи проходного транзистора, используется для питания электретного микрофона.

Цепь из резисторов в блоке «Цепи прохождения разговорных сигналов» задает необходимое смещение между микрофоном и передающим усилителем. Изменения тока в этой цепи представляют кодированную информацию речевого сигнала, которая поступает в телефонную линию.

Часть передаваемого сигнала через усилитель с малым коэффициентом усиления поступает обратно в телефонный капсюль, создавая сигнал самопрослушивания.

# Прохождение речевого сигнала в цифровом телефоне (2)




Имеется датчик пиковых значений и схема ограничения, ослабляющие любой громкий передаваемый сигнал и ограничивающие уровень звуковых искажений.

Сигнал отключения звука, поступающий от встроенного номеронабирателя, будет отключать микрофон и телефон трубки, чтобы подавить громкие звуки, возникающие при двухтональном многочастотном наборе, а также любые раздражающие слух щелчки, вызванные переключением контактов телефонной трубки или кнопок клавиатуры.

# Формирование сигналов набора номера цифрового телефона (1)

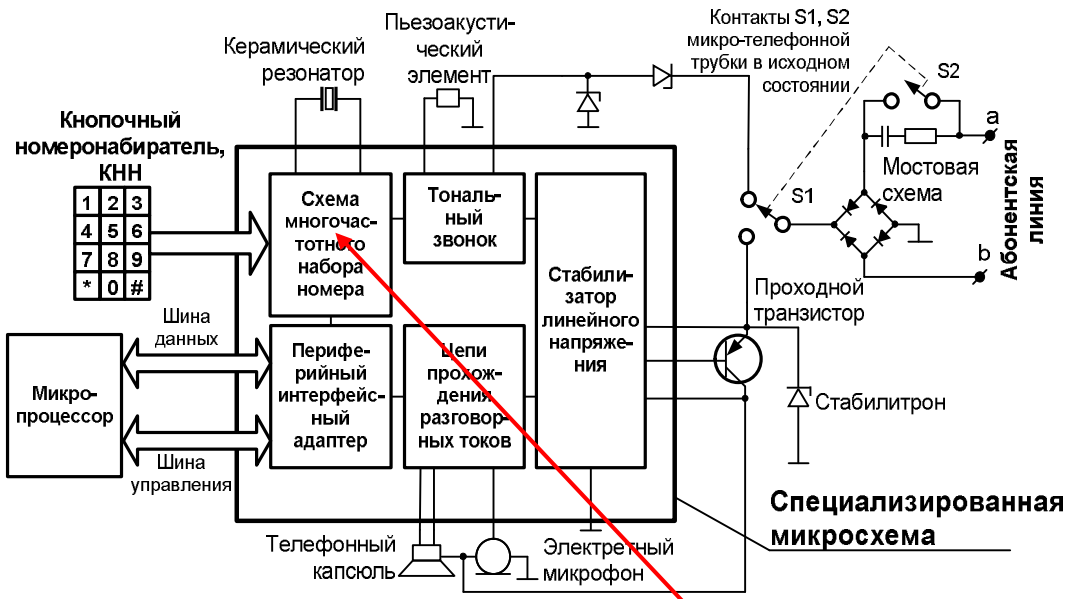
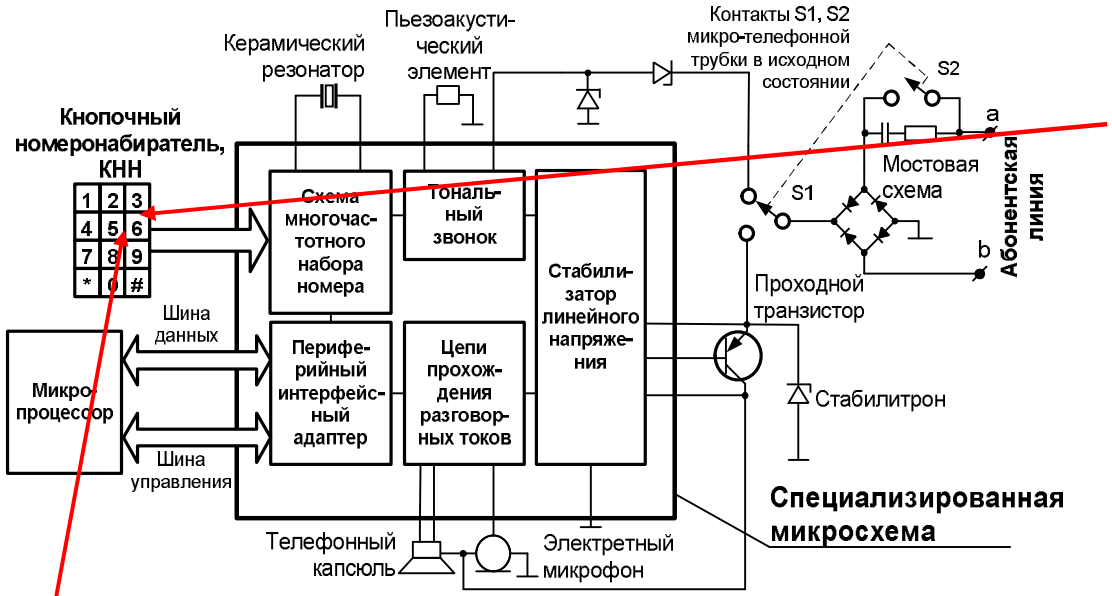



Схема обработки сигналов тонального номеронабирателя входит в состав специализированной микросхемы и совместима с 12-ти и 16-ти кнопочной клавиатурами.

# Формирование сигналов набора номера цифрового телефона (2)




При нажатии кнопки наборного поля клавиатуры схема компаратора (сравнения) клавиатуры определяет 3-х разрядные адреса строки и колонки для нажатой кнопки.

Адреса используются в схемах счетчика/кодирующего устройства, необходимых для формирования тональных сигналов со строго определенными частотами. Индивидуальные цифро–аналоговые преобразователи строк и колонок матрицы наборного поля формируют аналоговые сигналы. Эти синтезированные тональные сигналы смешиваются на операционном усилителе, чтобы сформировать необходимый двухтональный выходной сигнал набора номера.

# Работа микропроцессора в цифровом телефоне (1)

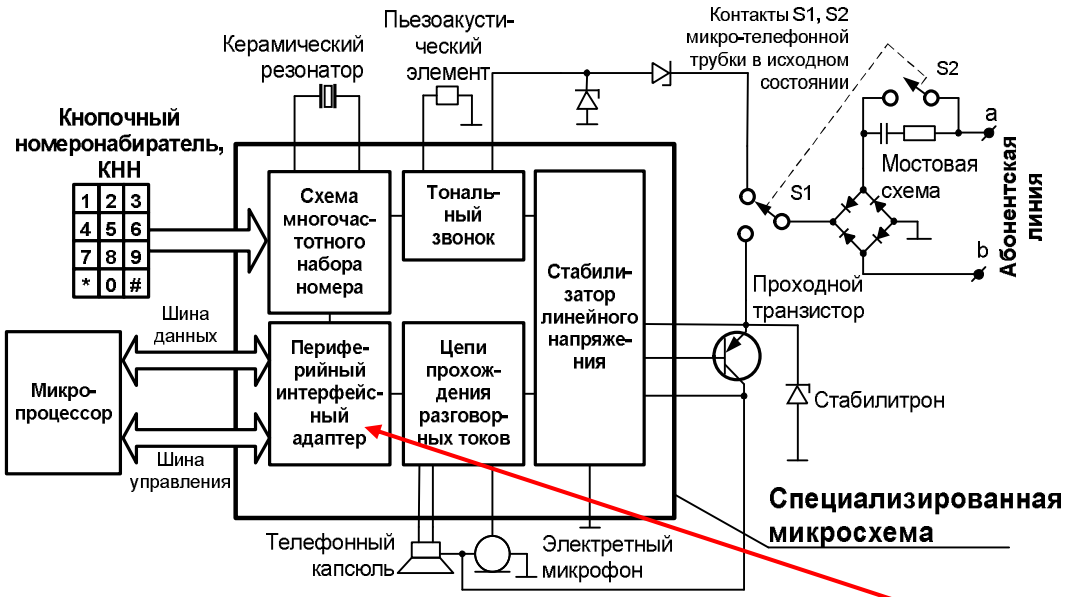
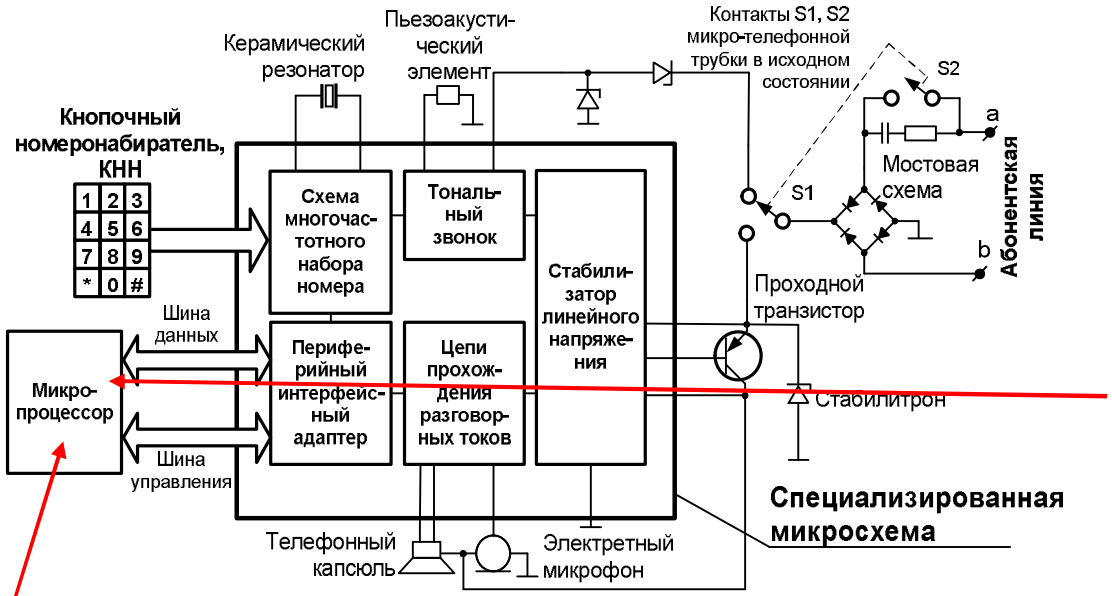



Схема периферийного интерфейса записывает код кнопок клавиатуры в двунаправленный 4-х разрядный регистр сдвига для передачи кода кнопки в микропроцессор.

# Работа микропроцессора в цифровом телефоне (2)

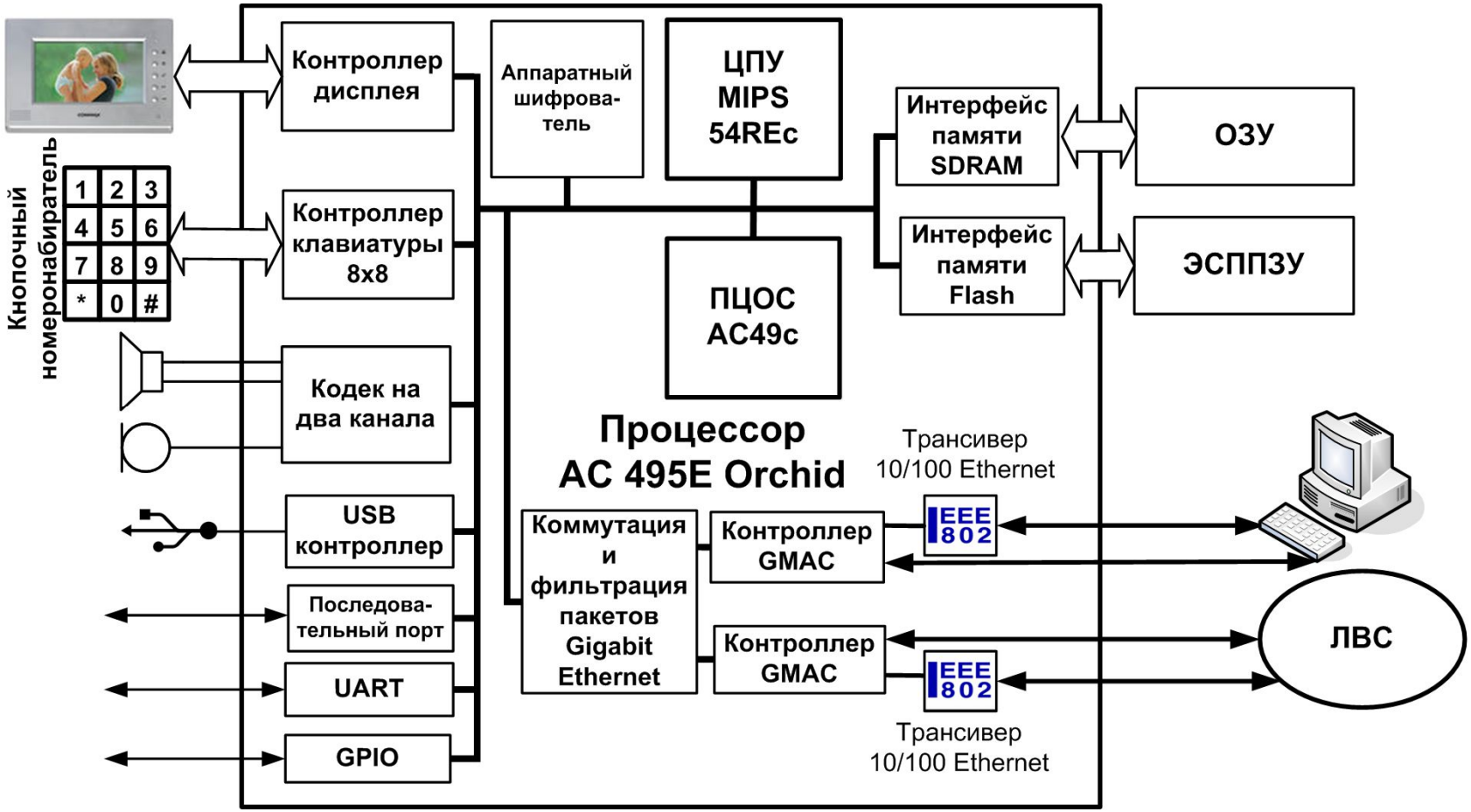



**Микропроцессор** обеспечивает дополнительные возможности:

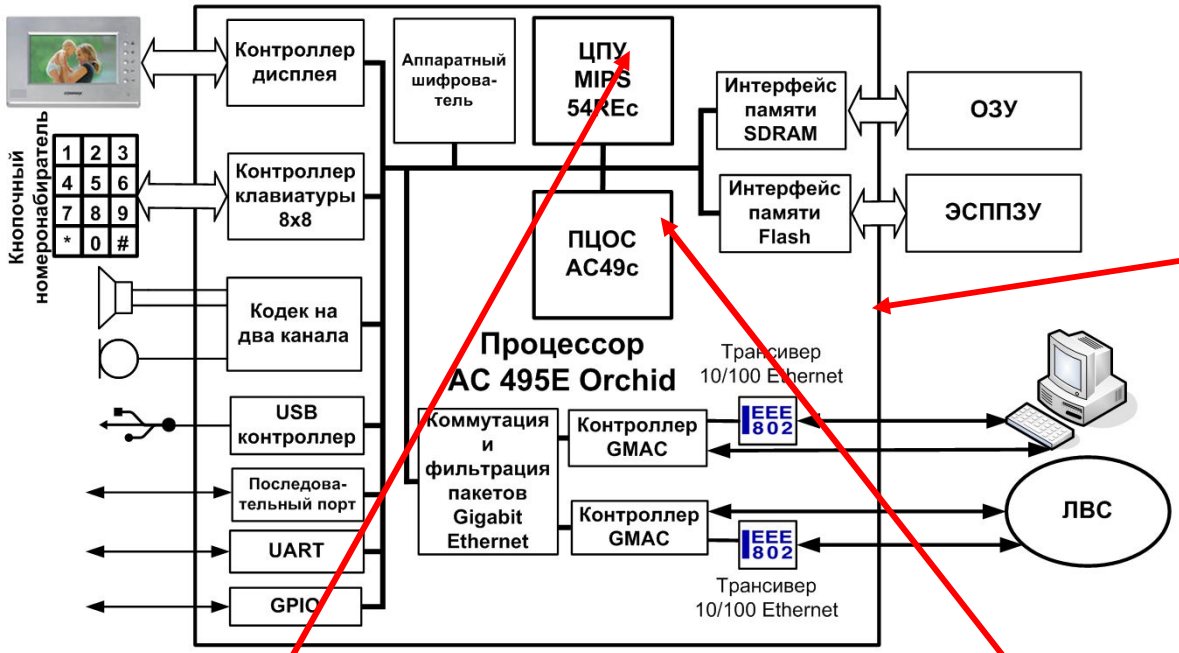
•увеличение объема памяти для телефонных номеров и повторного вызова;

•считывание информации с номеронабирателя чтобы запрограммировать телефонный номер;
•использование цифрового дисплея на жидкокристаллических элементах; возможность визуального отображения на дисплее календаря и часов; индикация длительности разговора и обратного вызова;
•автоматический повторный вызов;
•автоответчик.

# Принципы построения абонентского устройства IP-телефонии



# Назначение процессоров в устройстве IP-телефонии




Устройство относится к классу «система на кристалле», SoC Микропроцессор выполнен в одном корпусе с 324 выводами, размером 23x23 мм, содержит два ЦПУ (два ядра).

**Первое ЦПУ** (RISC–архитектура) предназначено для поддержки функционирования приложений пользователя IP–телефонии и протоколов сигнализации сетей следующего поколения SIP, MGCP и RTP.

**Второе ЦПУ** выполняет функции процессора цифровой обработки сигналов, ПЦОС, управление вычислениями для реализации таких кодеков для передачи речи, как кодек для сетей сотовой связи третьего поколения.

# Принципы работы устройства IP-телефонии (1)

1. С помощью контроллера клавиатуры и контроллера дисплея устройство отображает цифры набора номера (SIP-адрес). Цифры набора номера или SIP-адрес обрабатываются ПО, которое находится в ОЗУ. Происходит преобразование и обмен пакетами данных с адресом абонента Б согласно стеку протоколов TCP/IP и алгоритму SIP.

2. С помощью контроллера GMAC идет передача и прием кадров в ЛВС или на внешнее устройство. Прием информации от SIP-сети и абонента Б происходит в обратной последовательности.

# Принципы работы устройства IP-телефонии (2)

3. В сеансе связи для кодирования/декодирования, компрессии/декомпрессии речи используется ПЦОС с двухканальным 16–ти разрядным кодеком с частотой 8/16 кГц для высококачественной передачи речи с расширенным диапазоном воспроизводимых частот 50….7000 Гц.

Возможно применение кодеков G.722.2 WB–AMR (5,8…24 Кбит/сек), G.726 (16, 24, 32 и 40 Кбит/сек), кодек G.711 (64 Кбит/сек), G.729A/B (8 Кбит/сек).

# Принцип построения радиотелефона для подвижной радиосвязи GSM

Речевой кодер в состав GSM-систем, сжимает исходный сигнал речи до 13 Кбит/с, а на приемной стороне декодер восстанавливает исходный

# Кодеры речи для подвижной радиосвязи

| Скорость, кбит/сек | Область применения | Тип кодера | Год начала использования |
|---|---|---|---|
| **64** | ТфСОП (1-е поколение) | **PCM** | 1972 |
| **32** | ТфСОП (2-е поколение) | **ADPCM** | 1984 |
| **16** | ТфСОП (3-е поколение) | **LD-CELP** | 1992 |
| **13** | Общеевропейский стандарт подвижной системы радиосвязи стандарта GSM | **RPE-LTP** | 1991 |
| **9,6** | Аэрокосмические системы связи Skyphone | **MPLPC** | 1990 |
| **8** | Мобильные системы связи (северо-американская система подвижной радиосвязи) | **VSELP** | 1992 |
| **4,8** | Федеральный стандарт правительства США | **CELP** | 1991 |
| **4,8** | Система мобильной спутниковой связи NASA MSAT-X | **VAPC** | 1991 |
| **2,4** | Федеральный стандарт правительства США | **LPC-10** | 1997 |

# Принцип работы радиотелефона GSM(1)

1. Речевой кодер применяет LPC-алгоритм – линейное прогнозирующее кодирование. Используется модель человеческого голосового тракта, которая представляет гортань в виде ряда концентрических полостей-цилиндров различного диаметра и с различной резонансной частотой. Эта модель может быть математически представлена в виде систем уравнений, описывающих свойства каждой полости-цилиндра.

2. Сигнал возбуждения (основной тон исходной речи) пропускают через полости-цилиндры, генерируя выходной сигнал. В цифровой системе сигнал возбуждения представляет собой ряд импульсов, моделирующих колебания связок, и шум, моделирующий сокращения. Этот сигнал поступает на решетчатый цифровой фильтр. Каждый коэффициент фильтра отображает размер цилиндра. В системе GSM используются восемь цилиндров = восемь моделирующих коэффициентов.

# Принцип работы радиотелефона GSM(2)

3. На вход речевого кодера поступает серия 16-разрядных отсчетов голосовых данных с тактовой частотой 8 кГц. Отсчеты обрабатываются блоками/фреймами.

4. Речевой кодер GSM оперирует с блоками/фреймами, соответствующих речевым сигналам длительностью 20 мс (160 единичных отсчетов). Эти 160 отсчетов трансформируются в 76 коэффициентов (в сумме 260 бит), за счет чего скорость передачи в канал уменьшается с 128/64 Кбит/с до 13 Кбит/с.

5. Режим прерывистой передачи (DTX) позволяет отключать передачу во время пауз между словами. Такой подход позволяет уменьшить мощность, потребляемую передатчиком, и увеличить полную емкость GSM-системы.

# Принцип работы радиотелефона GSM(3)

6. Голосовой датчик (VAD) позволяет выделять речь из шумового фона, игнорировать шум без речи. VAD использует информацию кодера для принятия решения: содержит или не содержит речь каждый блок по 20 мс. Если речь обнаружена – включается режим приема/передачи.

7. Генератор «комфортного» шума (CNI) встраивается в приемник. Шум, подобный фоновому шуму, вырабатывается во время строба паузы, когда DTX выключает передатчик. Цель CNI состоит в подавлении неприятного эффекта переключения между речью на фоне шума и «мертвой» тишиной в трубке.

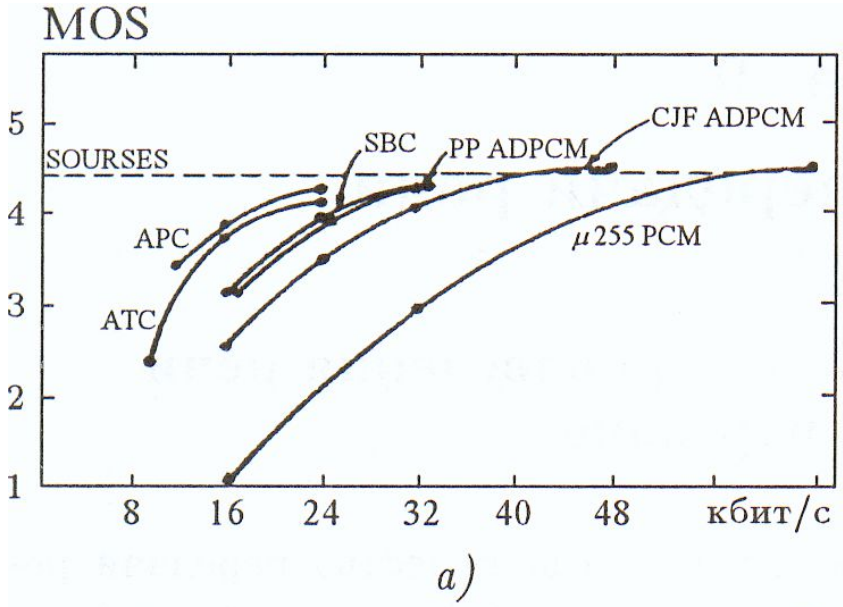
8. Чтобы задействовать шумовой генератор в составе DTX, каждый передаваемый «речевой» пакет перед отключением передатчика сопровождается блоком данных, описывающих параметры шумового фона (SID), который служит маркером окончания передачи речи для приемной стороны.

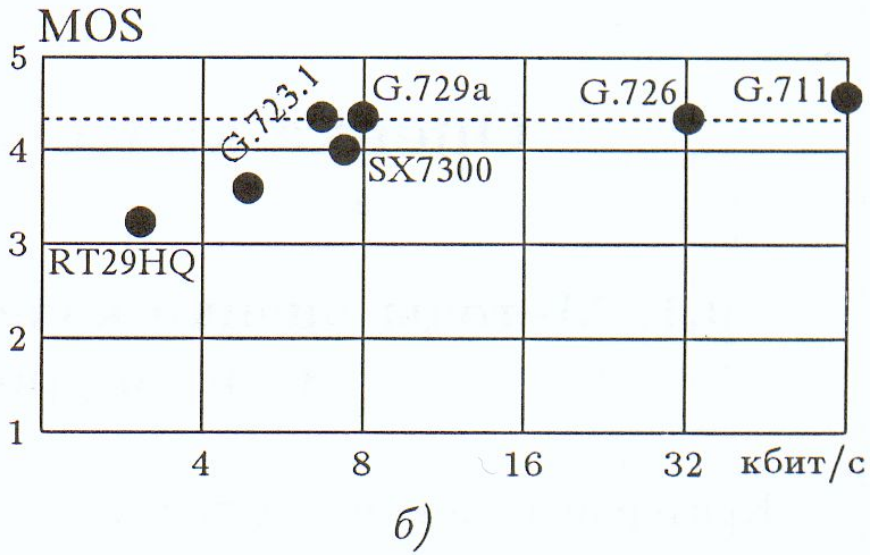
# Принцип работы радиотелефона GSM(4)

9. Для обнаружения и коррекции ошибок в поток данных добавляются служебные биты, за счет чего выходная скорость кодера увеличивается до 22,8 Кбит/с.

10. Биты в пределах одного блока равномерно перемешиваются со служебными битами псевдослучайным образом, повышая тем самым помехоустойчивость системы GSM.

# Среднесубъективная оценка качества передачи речи

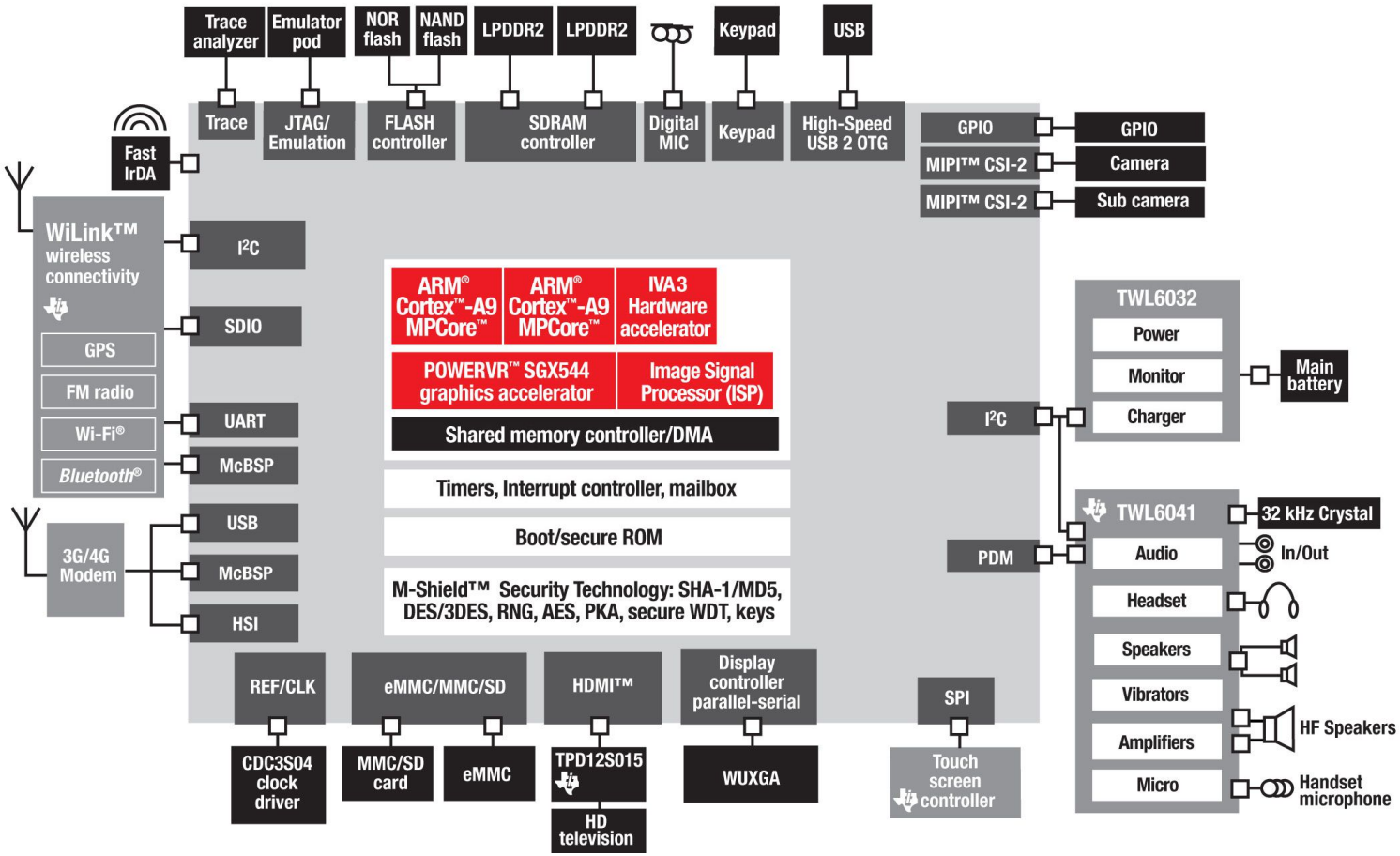



Оценки для выбранных кодеров

| Кодер | Скорость, кбит/с | Оценка |
|---|---|---|
| G.726 | 32 | 3,8 |
| FR-GSM | 13 | 3,6 |
| HR-GSM | 5,6 | 3,2 |
| G.728 | 16 | 3,8 |
| G.729 | 8 | 3,9 |
| G.723 | 5,3/6,3 | 3,9 |
| IS54 | 8 | 3,4 |

# Блок-схема SoC для планшета




SoC OMAP 4460 - 45-нм,Texas Instruments (2011 г.)
Оснащен 2 процессорными ядрами Cortex A9, 1,2 ГГц до 1.5 ГГц.
Архитектура ARM NEON SIMD (Single instruction, multiple data ).
Встроен видеоадаптер PowerVR SGX540, 384 МГц.
Кэш L1 1 Мбайт, TDP 0,6 Вт.

# Выводы по лекции 10

1. Принципы построения технических средств абонентских устройств основаны на программно-управляемой обработке, кодировании видео-, аудиоинформации пользователей и передаче данных (SMS, текстовый чат, ICQ, etc.). Эта обработка и кодирование в большинстве случаев происходит с помощью специализированных аппаратных средств.
2. Практически все современные абонентские средства инфокоммуникационных технологий поддерживают стек протоколов TCP/IP для передачи пакетов по вычислительным сетям и сетям связи.
3. Абонентские средства связи (смартфоны, планшетные компьютеры, радиотелефоны) аппаратно и(или) программно поддерживают семейство существующих протоколов сетей доступа, ориентированных на высокоскоростную передачу информации с обычных металлических кабелей связи и/или с помощью радиотехнологий.

ФГБОУ ВО
Поволжский государственный университет
телекоммуникаций и информатики

# Лекция 11.
# Аппаратные средства телекоммуникационных систем следующего поколения

Лектор :

доцент кафедры АЭС ПГУТИ,

к.т.н. Гребешков А.Ю.

Самара
2017 год

кафедра
автоматической электросвязи

# Понятие о ССП (NGN)

***Сеть следующего поколения ССП или NGN (Next Generation Network)*** – сеть с коммутацией пакетов, которая способна предоставлять услуги электросвязи, в том числе широкополосные инфокоммуникационные услуги, обеспечивая при этом требуемое качество обслуживания, и где функции услуг и приложений отделены от функций переноса сигнала электросвязи (функции сети).

# Общие требования к ССП (NGN)

***Мультисервисность***

***Широкополосность***

***Мультимедийность***

***Интеллектуальность***

***Инвариантность доступа***

***Многооператорность***

# Особенности NGN

1. Наличие клиентской (пользовательской) и серверной части, а также управление всеми ресурсами, включая клиентские.

2. Поддержка разнообразных протоколов и многосвязное взаимодействие (в отличие от наиболее распространенного взаимодействия «точка-точка»)

3. Возможность использования сложной многоуровневой адресации.

4. Выполнение требований к мобильности и гарантиям качества услуг.

5. Многообразие схем идентификации пользователей, которые могут быть обеспечены при помощи IP-адресации при маршрутизации в IP-сетях.

6. Конвергенция услуг мобильных и фиксированных сетей связи.

# Преимущества сети NGN для оператора связи

- Построение одной универсальной сети для оказания различных услуг.

- Повышение среднего дохода с абонента за счет оказания дополнительных мультимедийных услуг.

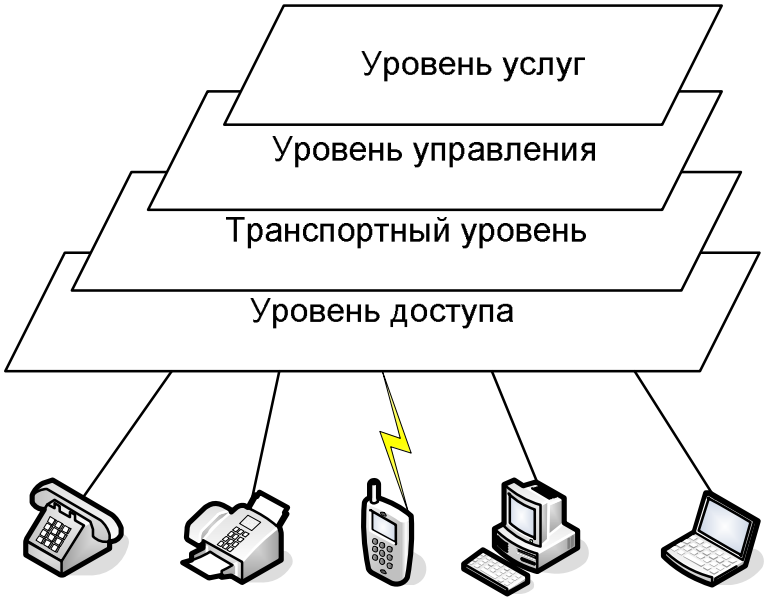
- Оптимальное распределение полосы пропускания для интеграции различных видов трафика.

- Быстрое внедрение новых услуг и приложений с различным требованием к объему передаваемой информации и качеству ее передачи.

# Преимущества сети NGN для пользователя

- Независимость от технологий реализации услуг электросвязи (принцип «черного ящика»).
- Гибкое получение необходимого набора, объема.
- Обеспечение качества услуг.
- Мобильность получения услуг.

# Базовая архитектура NGN




Пользователи услуг сети NGN

**Уровень доступа A (Access)** - сеть доступа пользователей к транспортной пакетной сети.

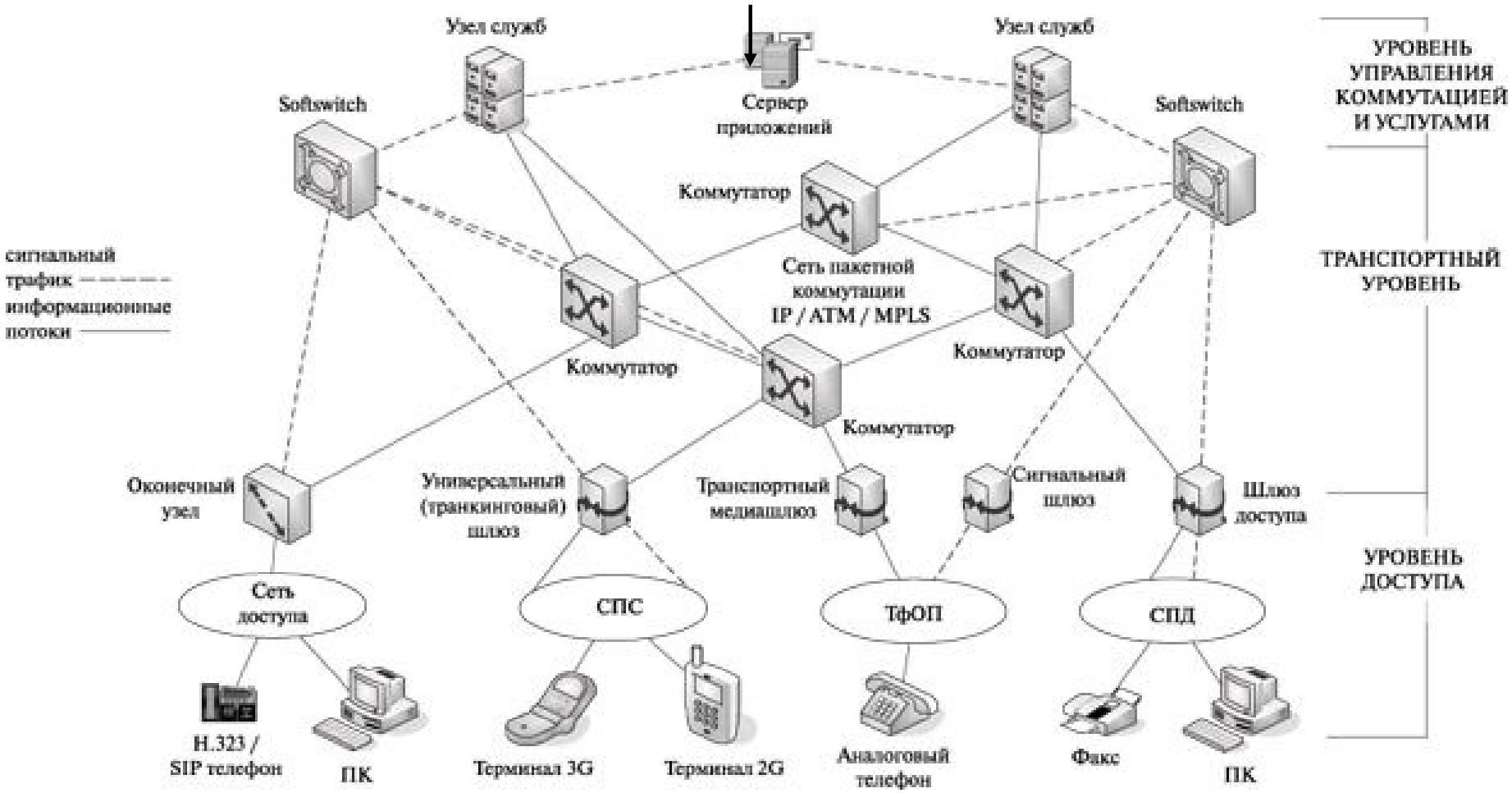
**Транспортный уровень T (transport)** - транспортная сеть на базе протоколов пакетной коммутации. Основной ресурс сети, обеспечивающий передачу информации от пользователя к пользователю

**Уровень управления вызовами C(control)** – совокупность функций по управлению всеми процессами в сети, на основе компьютерной телефонии и Softswitch.

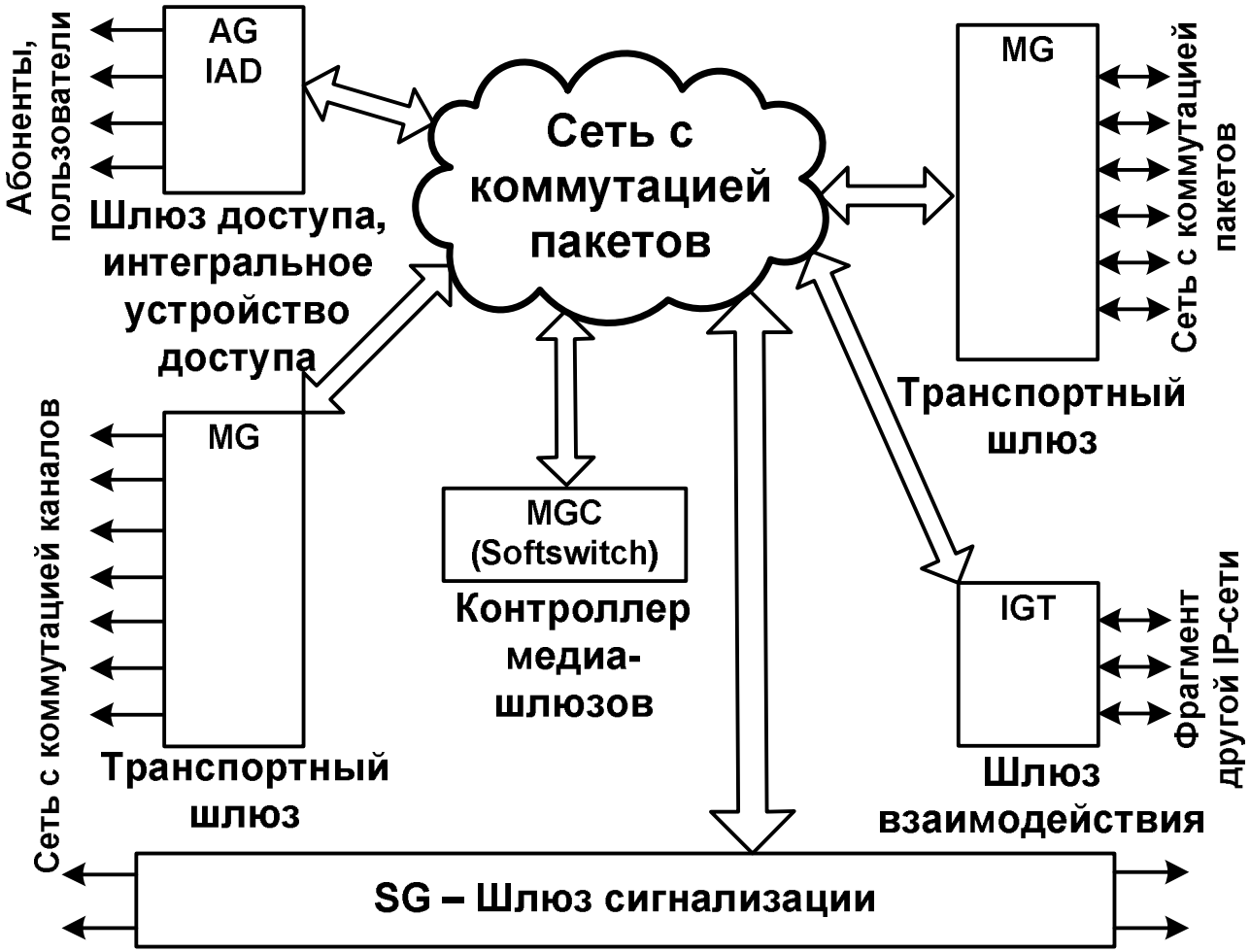
**Уровень услуг и эксплуатационного управления S (service)** – логика выполнения услуг и/или приложений, открытые интерфейсы для использования сторонними организациями.

# Общая схема NGN

**Уровень приложений**

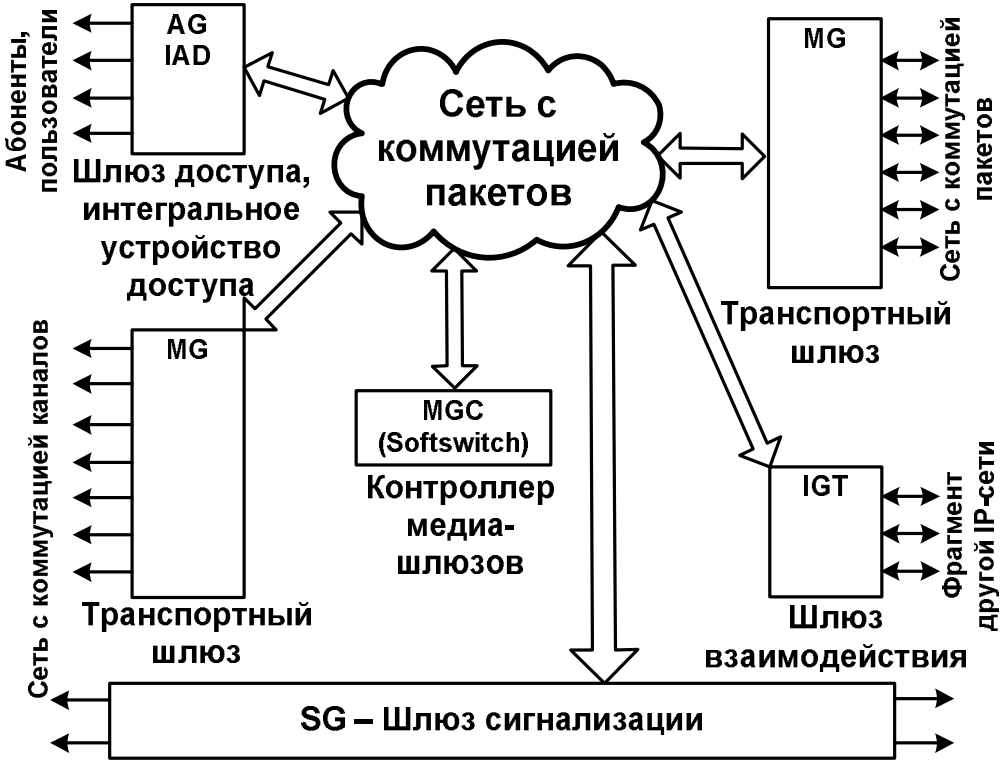


# Что такое softswitch?




***Softswitch (программный коммутатор, гибкий коммутатор)*** – носитель интеллектуальных возможностей сети, который координирует управление обслуживанием вызовов, сигнализацию и функции, обеспечивающие установление соединения через одну или несколько сетей.

# Архитектура softswitch




Архитектура Softswitch основана на отдельных компонентах, связанных между собой открытыми интерфейсами. Центральным элементом этой архитектуры является ***узел управления вызовами***, который часто называется ***контроллером медиашлюзов (MGC).***

Для связи с различными внешними сетями используется **шлюзовое оборудование** (шлюзы, gateways) сопряжения с сетями с коммутацией пакетов, с сетями с коммутацией каналов, с сетями сигнализации.

# Функциональные блоки Softswitch - 1

***Транспортный шлюз Media Gateway, MG –*** преобразует пользовательскую информацию при обмене между сетями и/или при обмене разными типами мультимедийных данных. Преобразует речевую информацию ТфОП для передачи по сетям с коммутацией пакетов, т.е. кодирует и упаковывает в пакеты RTP/UDP/IP; производит обратное преобразование.

***Шлюз доступа, Access Gateway, AG –*** предназначен для подключения к Softswitch учрежденческих АТС, аналоговых модемов и телефонных аппаратов, линий xDSL, транспортных шлюзов для мобильной сети радиодоступа стандарта GSM/3G (RAN), а также средств интегрированного абонентского доступа IAD (Integrated Access Devices).

***Устройство управления шлюзом (контроллер медиа–шлюзов), Media Gateway Controller, MGC –*** управление вызовами пользователей и функции управления шлюзом.

# Функциональные блоки Softswitch - 2

***Шлюз сигнализации Signaling Gateway, SG –*** преобразует сигнальную информацию между разными транспортными уровнями. Обеспечивает доставку сигнальной информации ТфОП к MGC, и в обратном направлении.

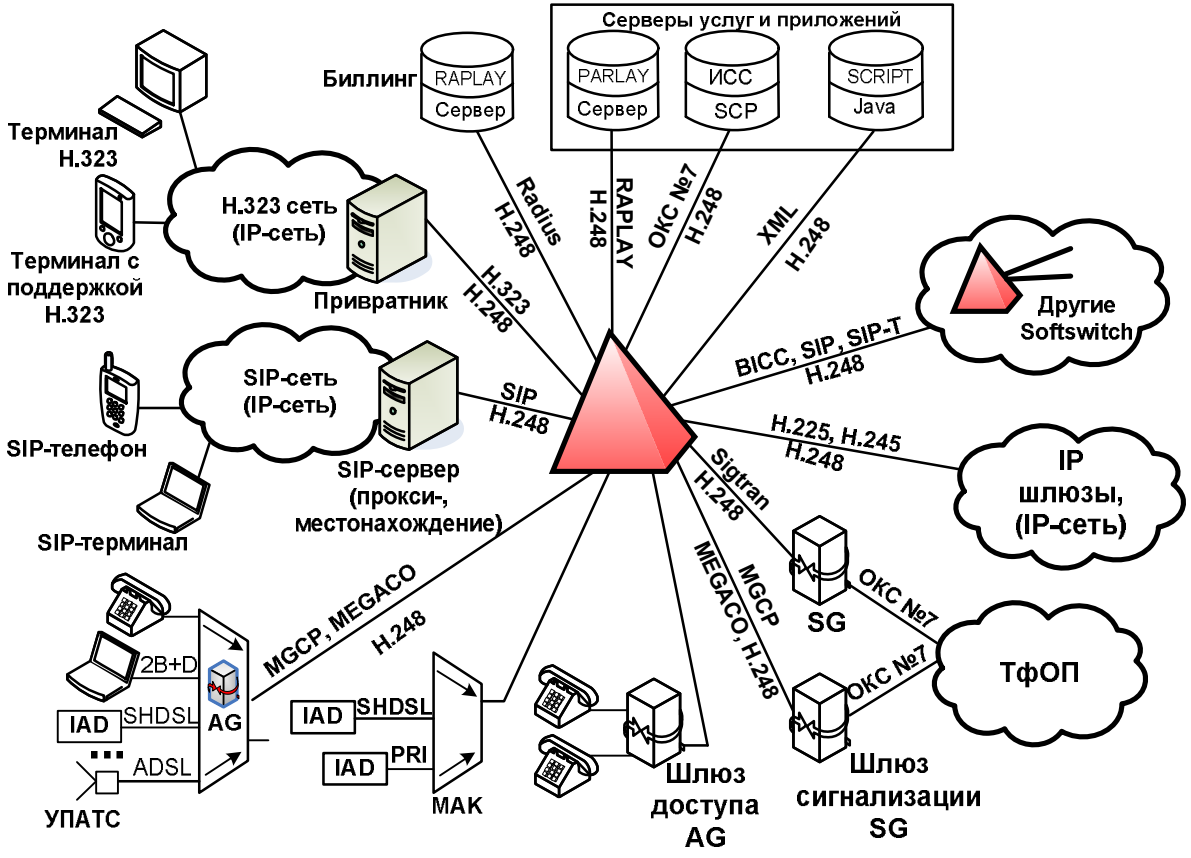
***Конвертер протокола SIP (SIP Proxy) –*** поддерживает функции взаимодействия устройств гибкого коммутатора с устройствами, работающими по протоколу SIP

***Шлюз взаимодействия, Interworking Gateway, IGT –*** обеспечивает взаимодействие различных протоколов сигнализации на одном транспортном уровне, в том числе совместимость протоколов IP v4 и IPv6

# Сетевые и сигнальные протоколы Softswitch

| Протокол | Функция в сети NGN | Комментарий |
|---|---|---|
| SIP | Установление сеанса связи, в том числе между компонентами softswitch | Применяется для установления, как голосовых, так и мультимедийных вызовов по сетям с коммутацией пакетов (IP). Терминальные устройства содержат программное обеспечение SIP агента. |
| SIP-T | Передача сигнализации ТфОП ОКС№7 через сеть с поддержкой SIP | Специальная разновидность протокола SIP , обеспечивающая «прозрачную» передачу сообщений ОКС№7 по сети с поддержкой SIP. Работа по стандартизации продолжается для обеспечения всей функциональности принятой в ТфОП. |
| H.323 | Установление и управление сеансом связи | Наиболее распространенный протокол при передаче речи по сети IP с поддержкой унаследованного оборудования. |
| H.248/ MEGACO | Управление шлюзами доступа | Наиболее перспективный и разрабатываемый стандарт управления медиашлюзами. |
| MGCP | Управление шлюзами доступа в пакетную сеть | Данный протокол управления медиашлюзами считается менее перспективным, чем H.248. |
| SIGTRAN | Передача протоколов управления и сигнализации по IP-сети | Набор стандартов, предлагаемых организацией IETF для обеспечения надежной передачи сигнализации ТфОП по IP-сети |
| BICC | Управление вызовом в сетях с разделенными уровнями управления и переноса информации | Протокол установления соединения независящий от типа использованной транспортной сети. Реализует полный набор услуг сети ТфОП/ISDN. Содержит комплект стандартов, описывающих не только сигнальные процедуры, но и сетевую архитектуру. Принят неправительственной организацией 3GPP для сетей мобильной связи 3-го поколения. |

# Схема взаимодействия Softswitch и элементов NGN

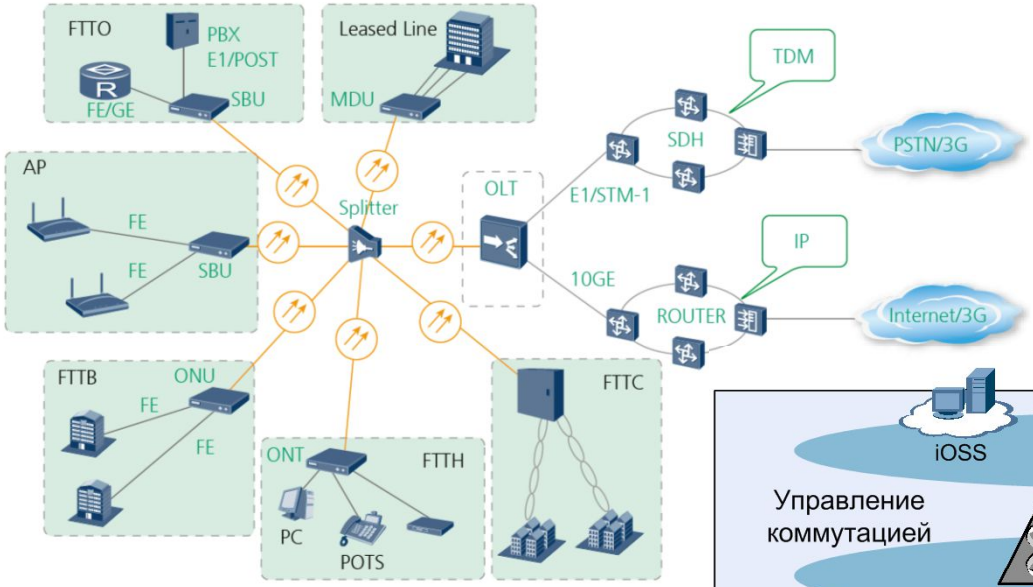


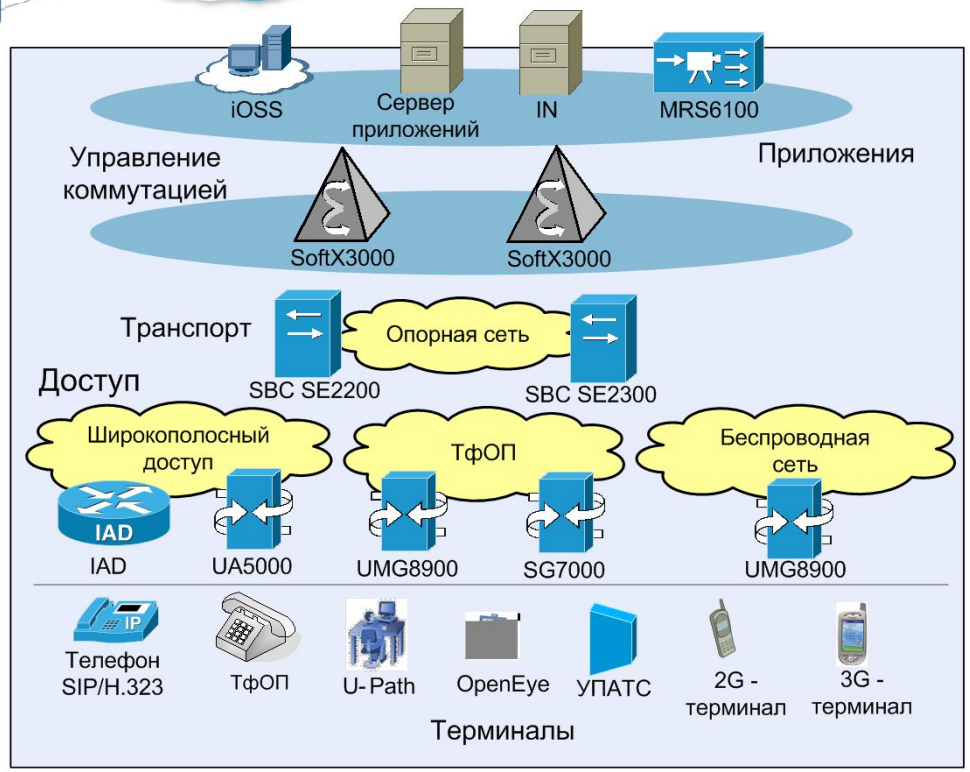

*Условные обозначения:*
МАК – Мультисервисный абонентский концентратор

Softswitch применяется в качестве :

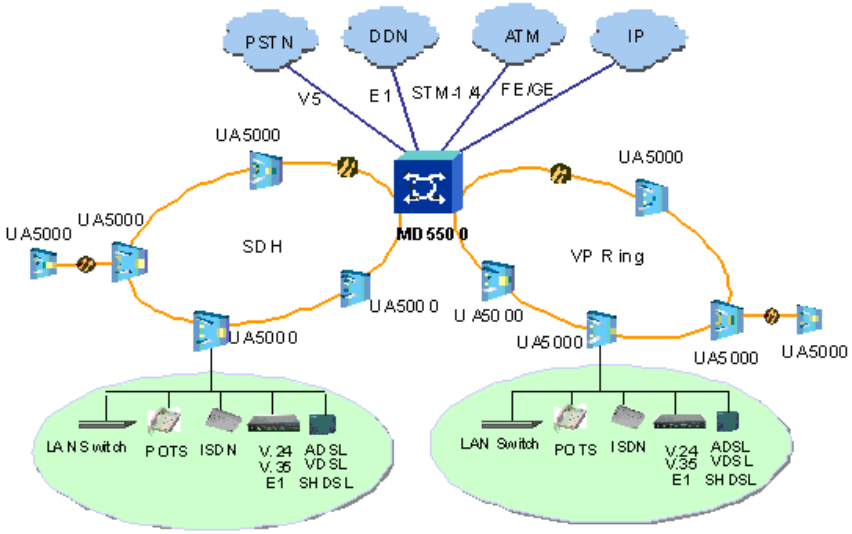
- •узлов связи городских и сельских телефонных сетей;
- •узлов связи междугородных телефонных сетей;
- •узлов сетей с коммутацией пакетов для передачи мультимедийных данных;
- •узлов сетей IP–телефонии и SIP;
- •оборудования для построения интеллектуальных сетей связи;
- •оборудования для построения узлов телематических служб – сервер электронной почты, электронной коммерции, портал мультимедийных услуг, сервер IPTV

# Аппаратные средства NGN
# (на примере платформы U-SYS Huawei)



# Аппаратные средства интегрированного медиашлюза абонентского доступа



Производительность – 40 000 BHCA

Интерфейсы транспортной сети – Fast Ethernet, Gigabit Ethernet, GPON, EPON

Абонентские интерфейсы ШПД – ADSL2+, ATM, TDM, G.SHDSL bis, VDSL2, Fast Ethernet

Абонентские интерфейсы ТФОП – V.35, V.24, E1, FXO. 2/4E&M, ISDN BRI/PRI, POTS

Пропускная способность для ШПД – 1,4 Гбит/с.

Емкость коммутационного поля для канальной коммутации – 2K/2K каналов.

Рабочие температуры: -10$^0$C…+45$^0$C

# Характеристики аппаратных средств шлюза сигнализации

| Параметр | Значение |
|---|---|
| Поддерживаемая емкость | - до 6048 сигнальных звеньев (64 кбит/с),<br>- до 756 сигнальных звеньев (2 Мбит/с),<br>- до 200 000 глобальных заголовков GT,<br>- до 256 кодов пунктов сигнализации |
| Нагрузка на звено сигнализации | - до 0.99 Эрл на звено 64 кбит/с,<br>- до 0.95 Эрл на звено 2 Мбит/с. |
| Интерфейсы | FE и GE |
| Протоколы сигнализаций | - ОКС№7 (MTP/ SCCP/ TCAP/ OMAP),<br>- SIGTRAN (SCTP/ M2PA/ M2UA/ IUA/ M3UA),<br>- SNMP. |
| Применение | - в качестве SG в сетях NGN,<br>- в качестве STP на фиксированных сетях,<br>- в качестве STP на мобильных сетях (2G/3G),<br>- в качестве IP STP. |

# Аппаратные средства универсального медиашлюза UMG8900

Производительность – 40 000 BHCA

Интерфейсы транспортной сети – Fast Ethernet, Gigabit Ethernet, GPON, EPON

Абонентские интерфейсы ШПД – ADSL2+, ATM, TDM, G.SHDSL bis, VDSL2, Fast Ethernet

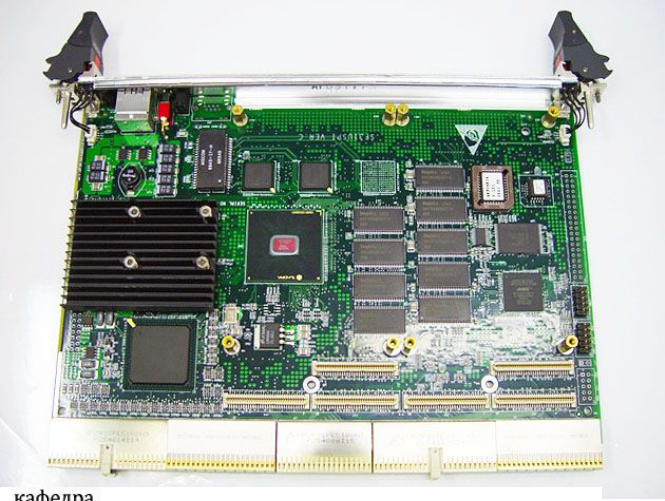
Абонентские интерфейсы ТФОП – V.35, V.24, E1, FXO. 2/4E&M, ISDN BRI/PRI, POTS

Пропускная способность для ШПД – 1,4 Гбит/с.

Емкость коммутационного поля для канальной коммутации – 2K/2K каналов.

Рабочие температуры: -10$^0$C…+45$^0$C

# Аппаратные средства универсального медиашлюза UMG8900



Интерфейсы транспортной сети – Fast Ethernet, Gigabit Ethernet.

Интерфейсы доступа внешних сетей – E1, STM1

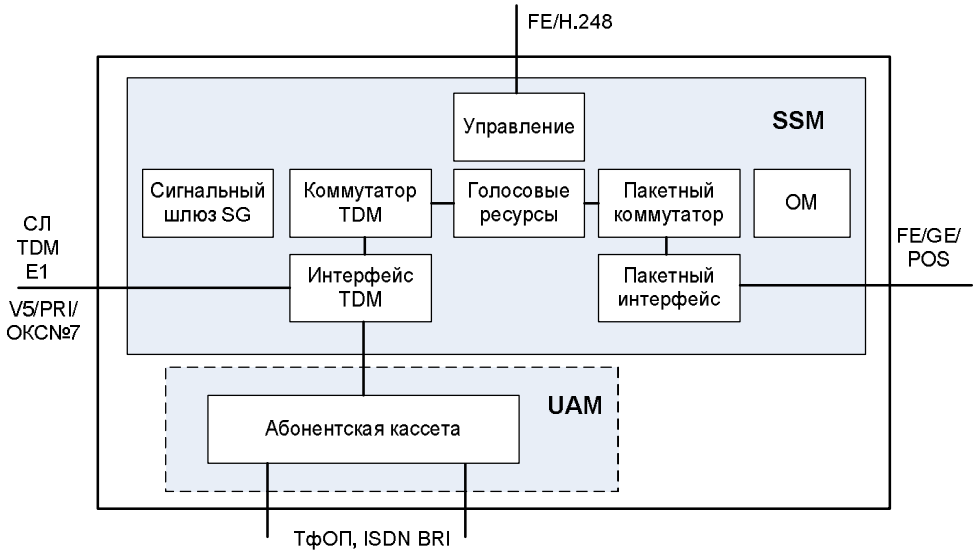
Пропускная способность для ШПД – 12/16 Гбит/с.

Емкость коммутационного поля для канальной коммутации – 256K/32K

Обеспечение безопасности – аутентификация пользователей, IPSec, функции ACL и firewall.

Видеокодеки – MPEG4, H.263.
Аудиокодеки – G.711, G723.1, G.726, G.729, T.38.

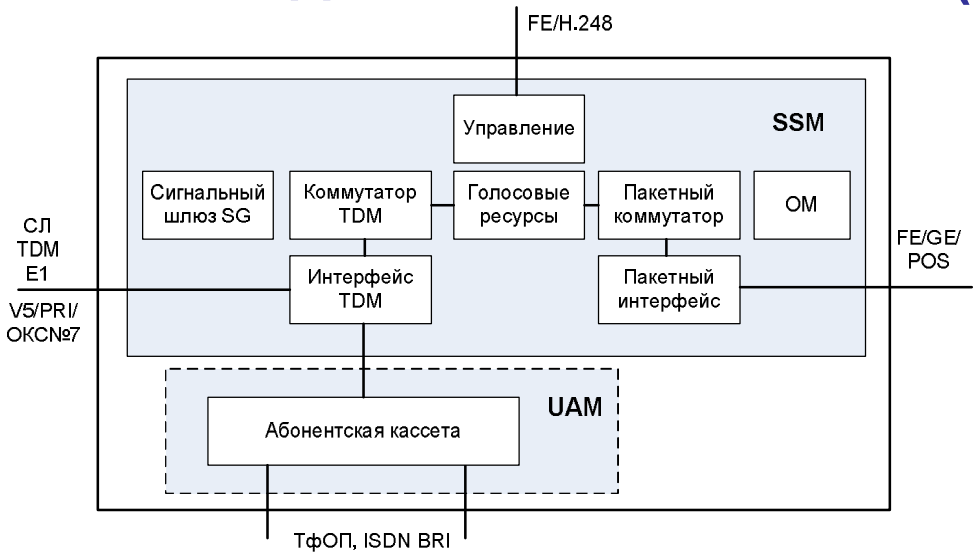
# Структурная схема аппаратных средств универсального медиашлюза UMG8900(1)




***Сервисный коммутационный модуль SSM (Service Switching Module)*** – выполняет коммутацию и преобразование форматов медиа и сигнальной информации, реализует функции транзитного шлюза TG или коммутатора в сети NGN.

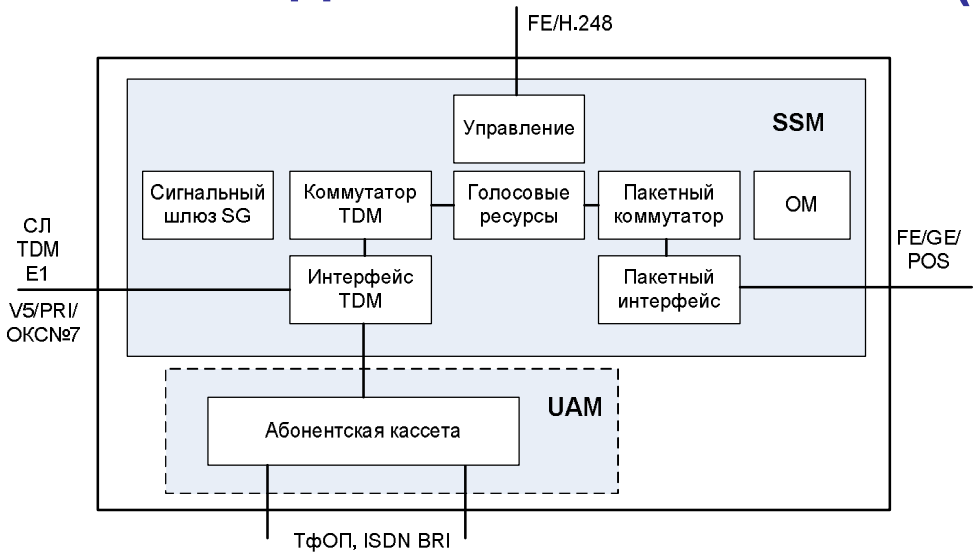
**Модуль абонентского доступа UAM (User Access Module) –** обеспечивает интегрированный доступ для узкополосных и широкополосных услуг и реализует функции шлюза доступа.

# Структурная схема аппаратных средств универсального медиашлюза UMG8900 (2)




***Блок интерфейсов TDM*** - подключение соединительных линий сетей с канальной коммутацией (ТфОП, ISDN, ССС) с поддержкой интерфейсов E1, V5, BRI, PRI и систем сигнализации ОКС№7, DSS1.
***Блок пакетных интерфейсов*** - взаимодействие с NGN с поддержкой интерфейсов FE, GE, POS (Packet over SDH) и ATM.
***Коммутатор TDM*** – реализация функций канальной коммутации.
***Пакетный коммутатор*** – для реализации функций пакетной коммутации.
***Сигнальный шлюз SG*** – для согласования сигнализации TDM и NGN.

# Структурная схема аппаратных средств универсального медиашлюза UMG8900 (3)

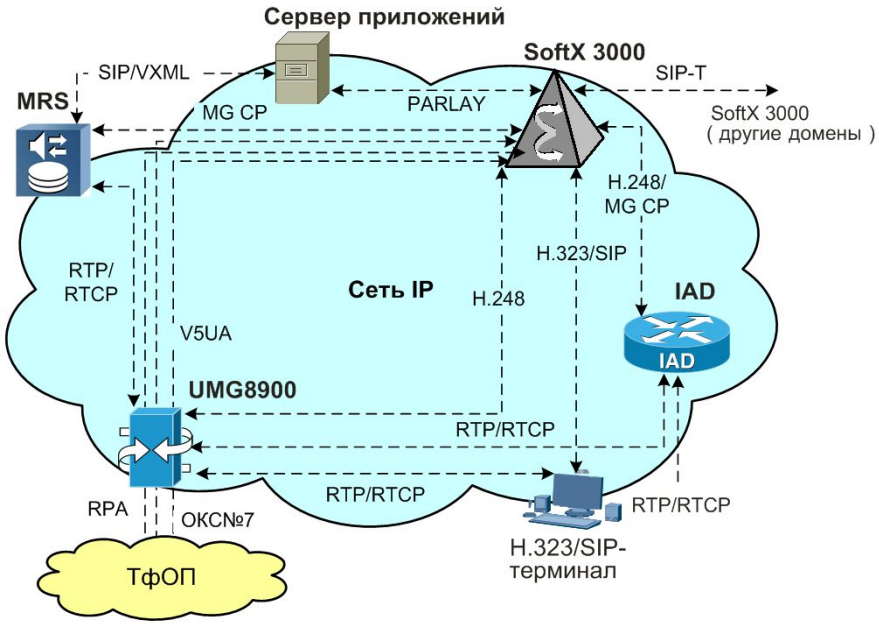



***Управление*** – для управления работой всех блоков шлюза и взаимодействия с гибким коммутатором с поддержкой интерфейса FE и протокола сигнализации H.248.

***Голосовые ресурсы (VoIP)*** – реализация голосовых функций в т.ч. речевое перекодирование, эхозаграждение, выдача голосовых сообщений, реализация конференцсвязи, прием и передача цифр тонального набора DTMF.

***Блок эксплуатации и техобслуживания OM (Operation and Maintenance)*** – для реализации функций локального и удаленного техобслуживания и администрирования.

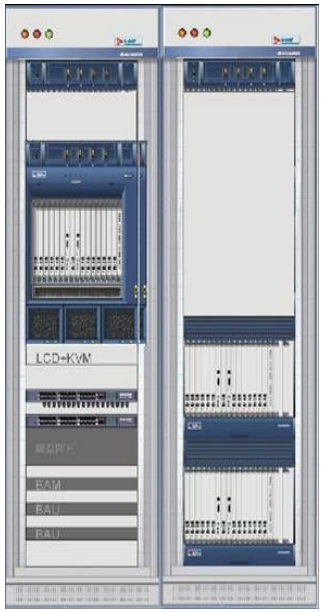
# Структурная схема аппаратных средств гибкого (программного) коммутатора SoftX 3000




*Гибкий коммутатор SoftX3000* – предназначен для управления различным оборудованием в сети NGN. К SoftX 3000 через сеть IP подключаются транспортные шлюзы UMG8900, устройства интегрированного доступа IAD и абонентские терминалы H.323 и SIP.

Имеется модификация гибкого коммутатора для мобильной сети MSoftX3000, который предназначен для управления оборудованием и вызовами в сети мобильной связи. Аппаратно он одинаков с SoftX3000, отличается только поддерживаемыми протоколами.

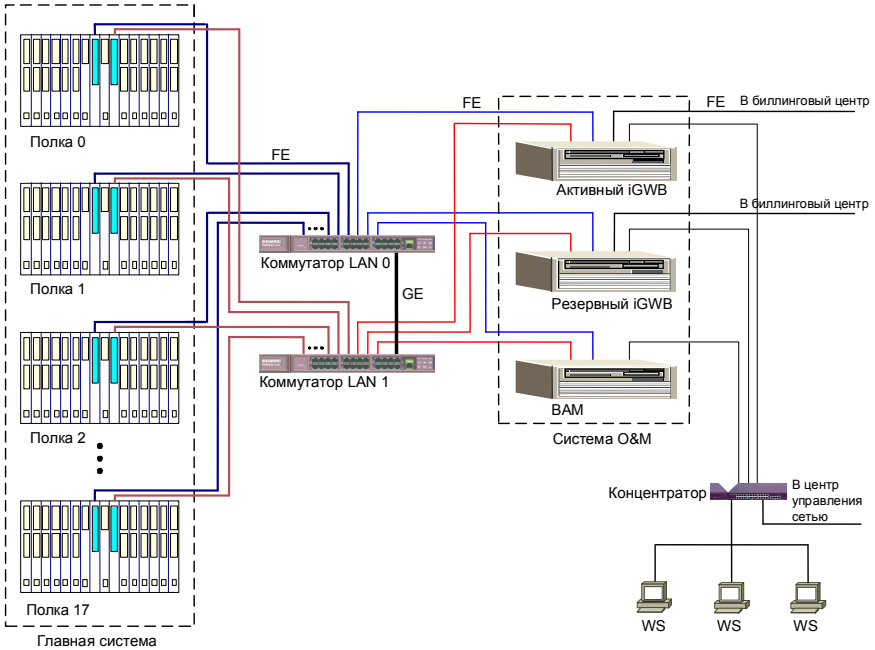
# Конструктивное исполнение аппаратных средств SoftX3000



SoftX3000 размещается в шкафах N68-22, соответствующих стандарту IEC297. Размеры шкафа - 2200×600×800 мм. Доступная высота шкафа – 46 U (1U = 44,45 мм). При полной комплектации требуется 5 шкафов. Потребляемая мощность шкафов – менее 12 кВт. На рисунке приведен внешний вид кассеты SoftX3000 и размещение кассет в стативе.

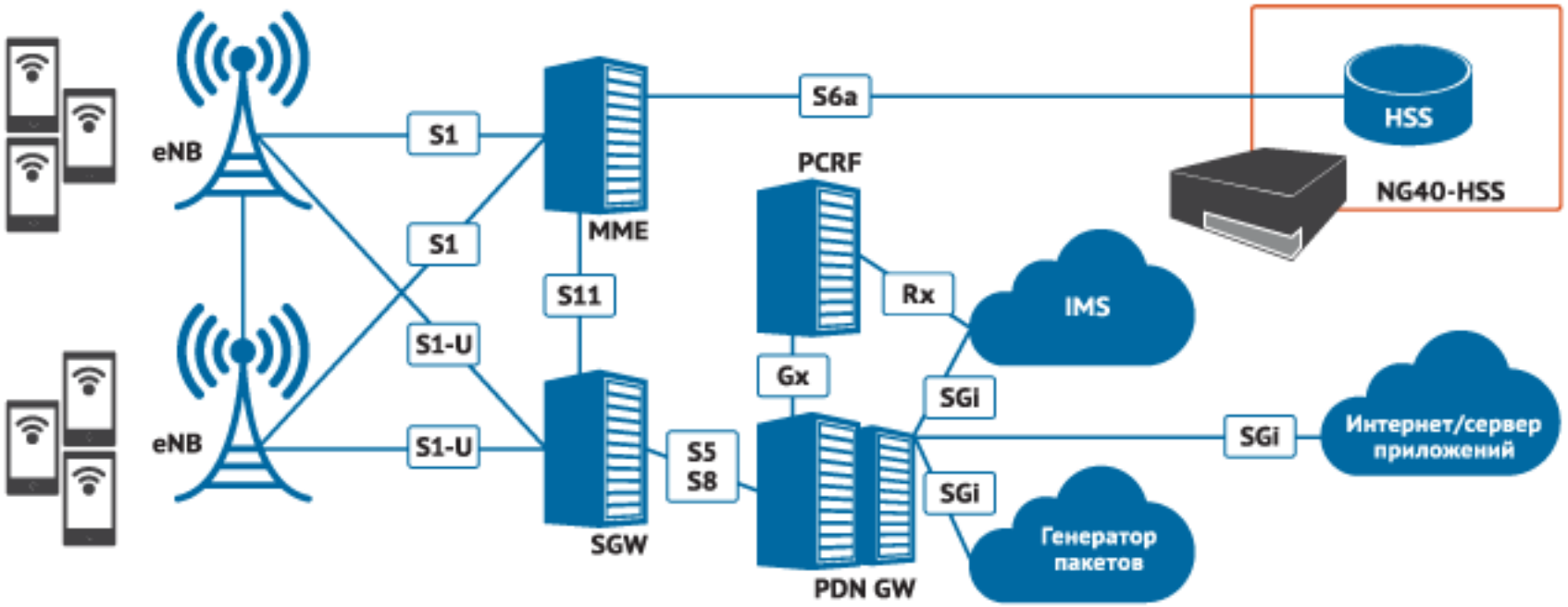
SoftX3000 обеспечивает прохождение сигнальных и медиа-потоков с использованием функций NAT и firewall. Контроллеры SessionEngine2000 обеспечивают также взаимодействие между различными сетями NGN.

# Схема соединения аппаратных средств платформы SoftX3000



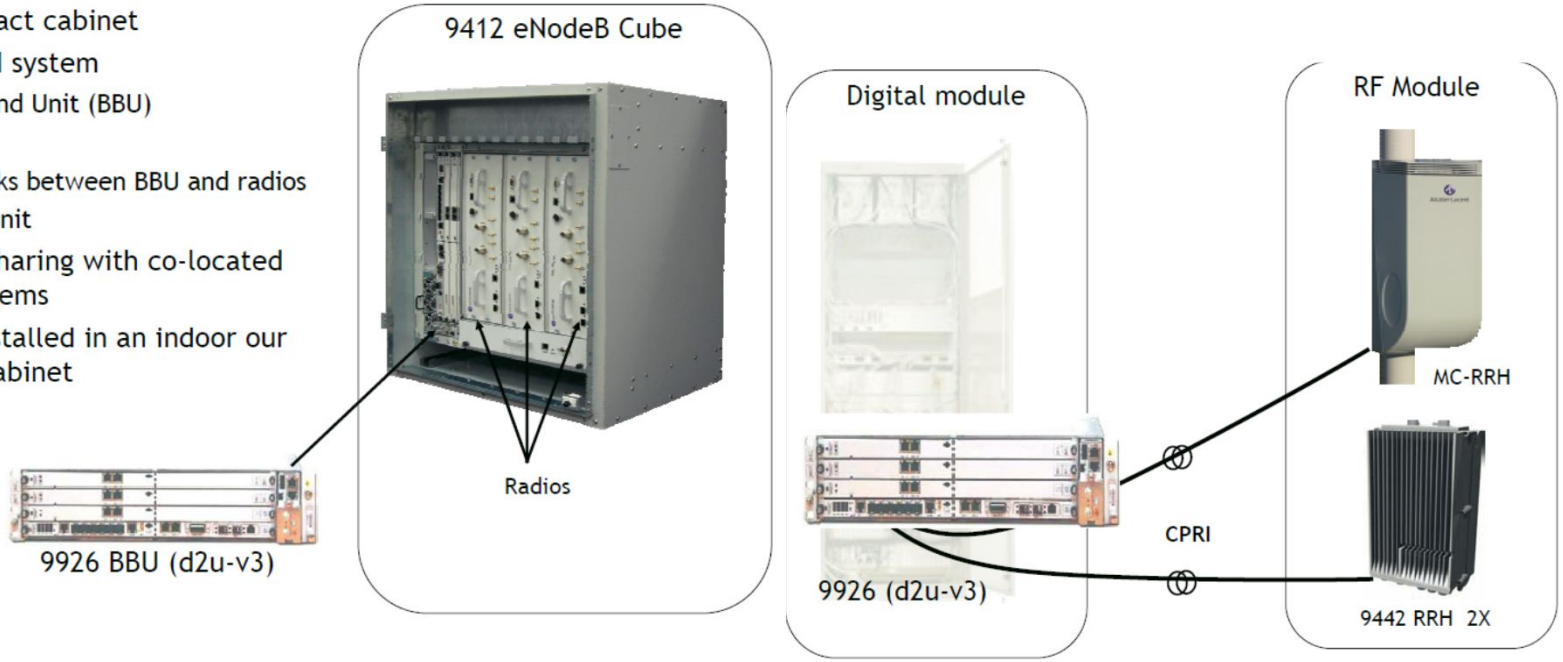

Аппаратные средства SoftX3000 поставляются в виде платформы архитектуры телекоммуникационных систем на основе открытых стандартов OSTA (Open Standards Telecom Architecture). Платформа содержит шину разделения ресурсов и шину Ethernet и обеспечивает универсальность и высокую надежность системы SoftX3000. Платформа служит для обмена пакетами данных переменной длины. Платформа имеет модульную структуру с перекрытиями, что позволяет удовлетворить требования к плавному расширению системы путем добавления полок обработки (от 1 до 18) с использованием стандартных блоков (полки соединяются между собой через коммутатор LAN.

# Архитектура сети LTE

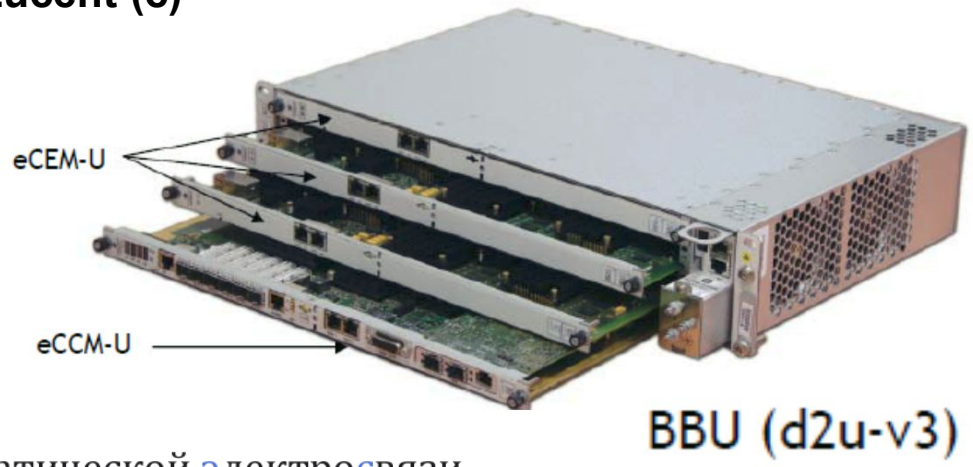


# Аппаратные средства 3GPP 4G - LTE

- Sub-compact cabinet
- Integrated system
  - Base Band Unit (BBU)
  - Radios
  - CPRI links between BBU and radios
  - Power unit
- Antenna sharing with co-located CDMA systems
- Can be installed in an indoor our outdoor cabinet




**Alcatel-Lucent (c)**




- Simultaneous support of 3G & LTE
- Performance
  - 2 x 40W Transmit for 2x2 MIMO
  - Combined LTE/WCDMA & LTE/CDMA
- Low Power Consumption
- Flexible deployment

**Additional RRH modules:**

- 9442 RRH2Xx for 2100 MHz
- 9442 RRH2X for 850 MHz
- 9442 RRH2X for 1700/2100 MHz
- 9442 RRH2X for 1900 MHz (future release)

## Выводы по лекции 11

1. Softswitch определяется как носитель интеллектуальных возможностей сети, который координирует управление обслуживанием вызовов, сигнализацию и установление соединения через одну или несколько сетей.

2. В сети может присутствовать несколько Softswitch, которые связаны между собой по протоколам SIP или H.323 и согласованно управляют шлюзами, участвующими в соединении.

3. В архитектуре гибкого коммутатора применяются аппаратные средства, соответствующие аппаратным средствам ЛВС и вычислительной техники.

ФГБОУ ВО
Поволжский государственный университет
телекоммуникаций и информатики

# Лекция 12.
# Управление конфигурацией аппаратных средств телекоммуникационных систем

Лектор :

доцент кафедры АЭС ПГУТИ,

к.т.н. Гребешков А.Ю.

Самара
2017 год

кафедра
автоматической электросвязи

## Понятие о конфигурации

***Конфигурация в телекоммуникациях*** – это взаимосвязанные функциональные и физические характеристики телекоммуникационного ресурса, которые установлены требованиями к проектированию, верификации, эксплуатации этих ресурсов.

Телекоммуникационные ресурсы, согласно Рекомендации МСЭ-Т М.3100, по своей природе разделяются на физические и логические.

# Телекоммуникационные ресурсы

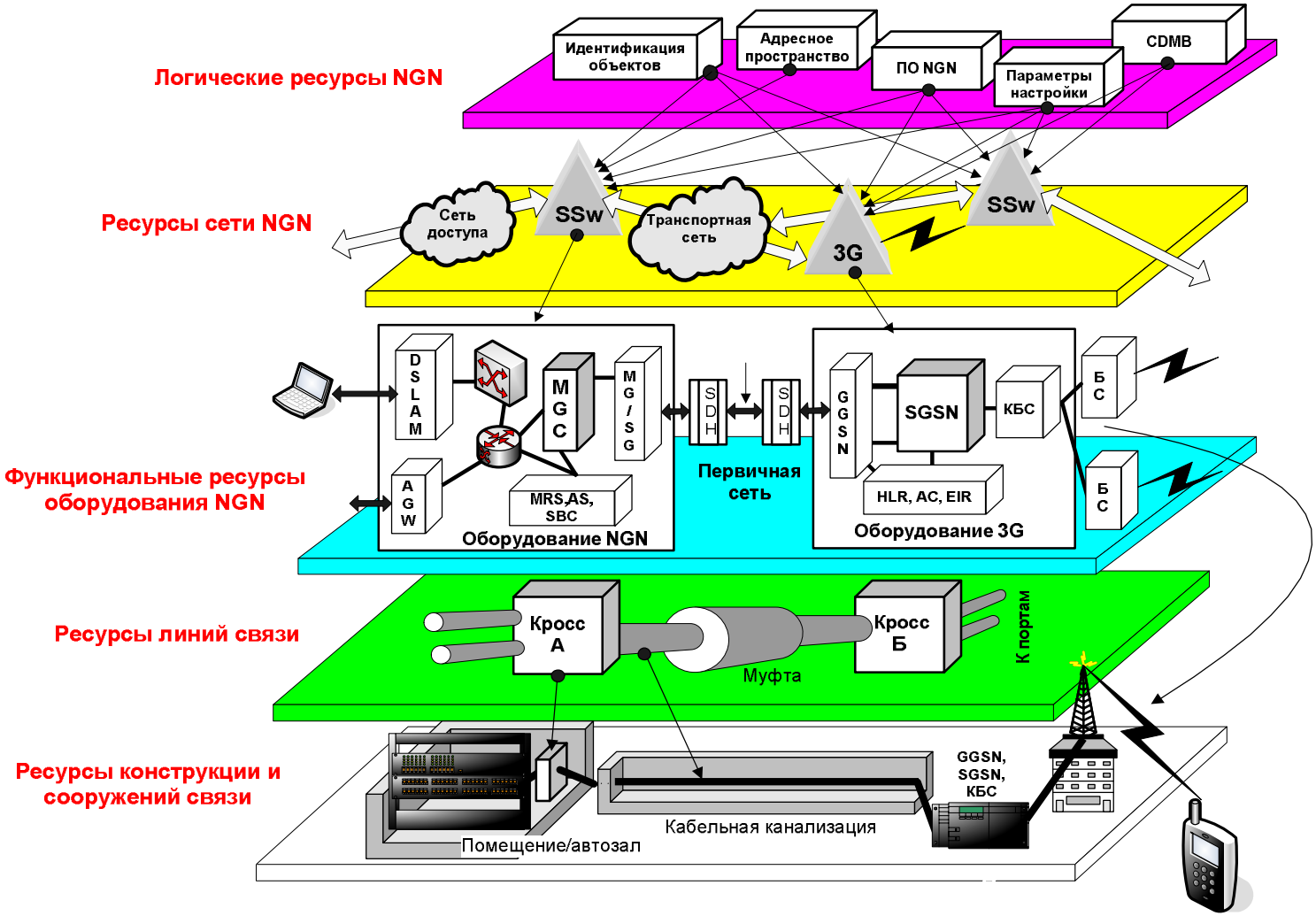
***Телекоммуникационные ресурсы,*** согласно Рекомендации МСЭ-Т М.3100, по своей природе разделяются на физические и логические.

***К физическим ресурсам*** относится оборудование сетей, линий, средств и сооружений связи.

***К логическим ресурсам*** относится программное обеспечение, которое применяется в электросвязи.

# Классификация физических ресурсов

# Взаимосвязь между телекоммуникационными ресурсами на примере сети NGN



# Процесс управления конфигурацией

***Информационная составляющая*** процесса управления конфигурацией включает необходимое информационное обеспечение процессов, включая кодификаторы и идентификаторы, информационную модель, процедуры обработки данных, форматы и наборы данных, содержание и последовательность обмена управляющей информацией.

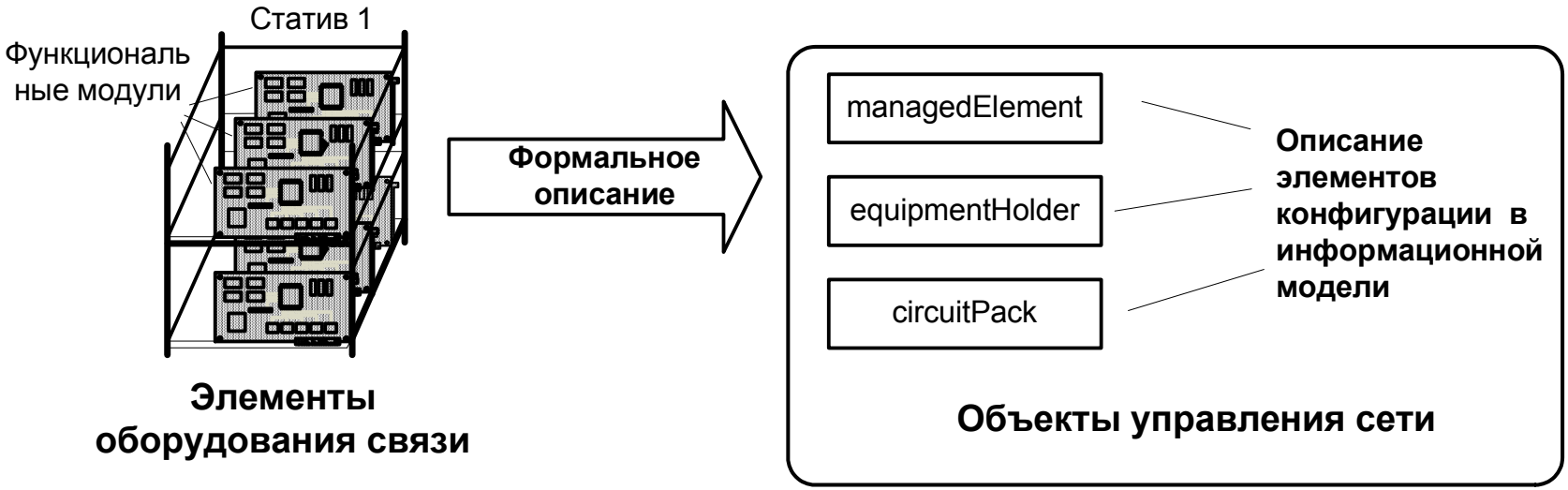
***Управленческая составляющая*** предполагает описание характера воздействия на объект управления для реализации соответствующей функции управления, в особенности, если данная функция задается в виде правила.

# Информационная модель процесса управления

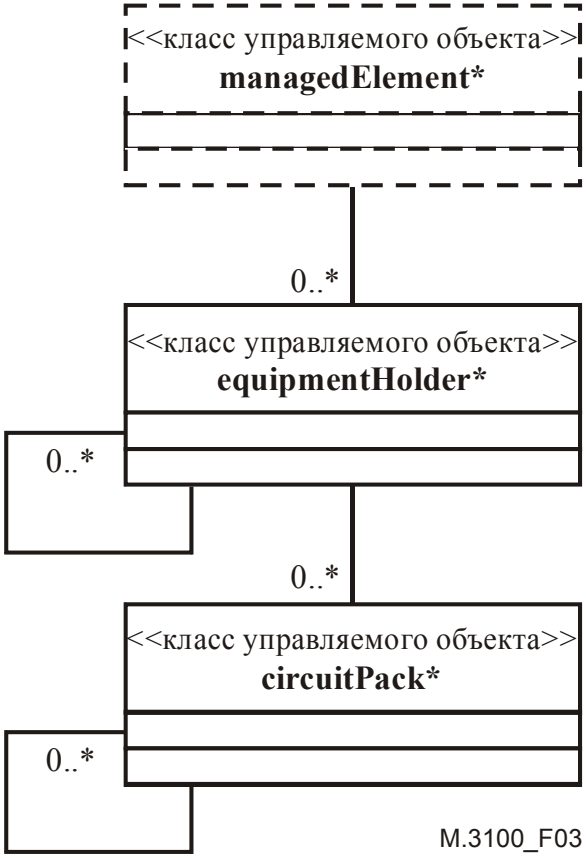
***Информационная модель управления*** (Management Information Model, MIM) представляет собой описание совокупности управляемых объектов.

***Под управляемыми объектами*** понимаются взаимосвязанные и взаимозависимые физические управляемые ресурсы, которые контролируются как единое целое. Согласно Рек. МСЭ-Т X.701 управляемый объект является абстрактным представлением физического ресурса, обладающего свойствами, доступными управлению.

# Управляемые ресурсы и информационная модель



# Описание физического элемента конфигурации в информационной модели




Классы объектов, показанные пунктиром, находятся в других фрагментах

* Включая их подклассы

# Понятие о параметре конфигурации

Под ***параметром конфигурации*** понимается существенная характеристика телекоммуникационного ресурса, наличие и значение которой необходимо для оказания услуг связи с требуемым качеством.

К параметрам конфигурации относится количество узлов коммутации на сети, количество портов узла коммутации, топология сети доступа, границы зоны радиопокрытия.

К параметрам конфигурации логических ресурсов относится ёмкость системы нумерации, используемые виды и параметры маршрутизации, версии программного обеспечения.

# Контроль и управление конфигурацией

***Контроль конфигурации*** осуществляется прежде всего за изменением (увеличением, уменьшением) состава сети связи и её элементов, за местом расположения элементов сети, за изменением версии и состава программного обеспечения и др.

***Целью управления конфигурацией*** является формирование конфигурации с такими значениями параметров, при которых пользователю предоставляются услуги связи с качеством, не хуже принятого для данного вида услуг.

# Задачи управления конфигурацией

С учётом положений Рекомендации МСЭ–Т X.700, управление конфигурацией в телекоммуникациях предусматривает последовательное решение следующих взаимосвязанных задач:

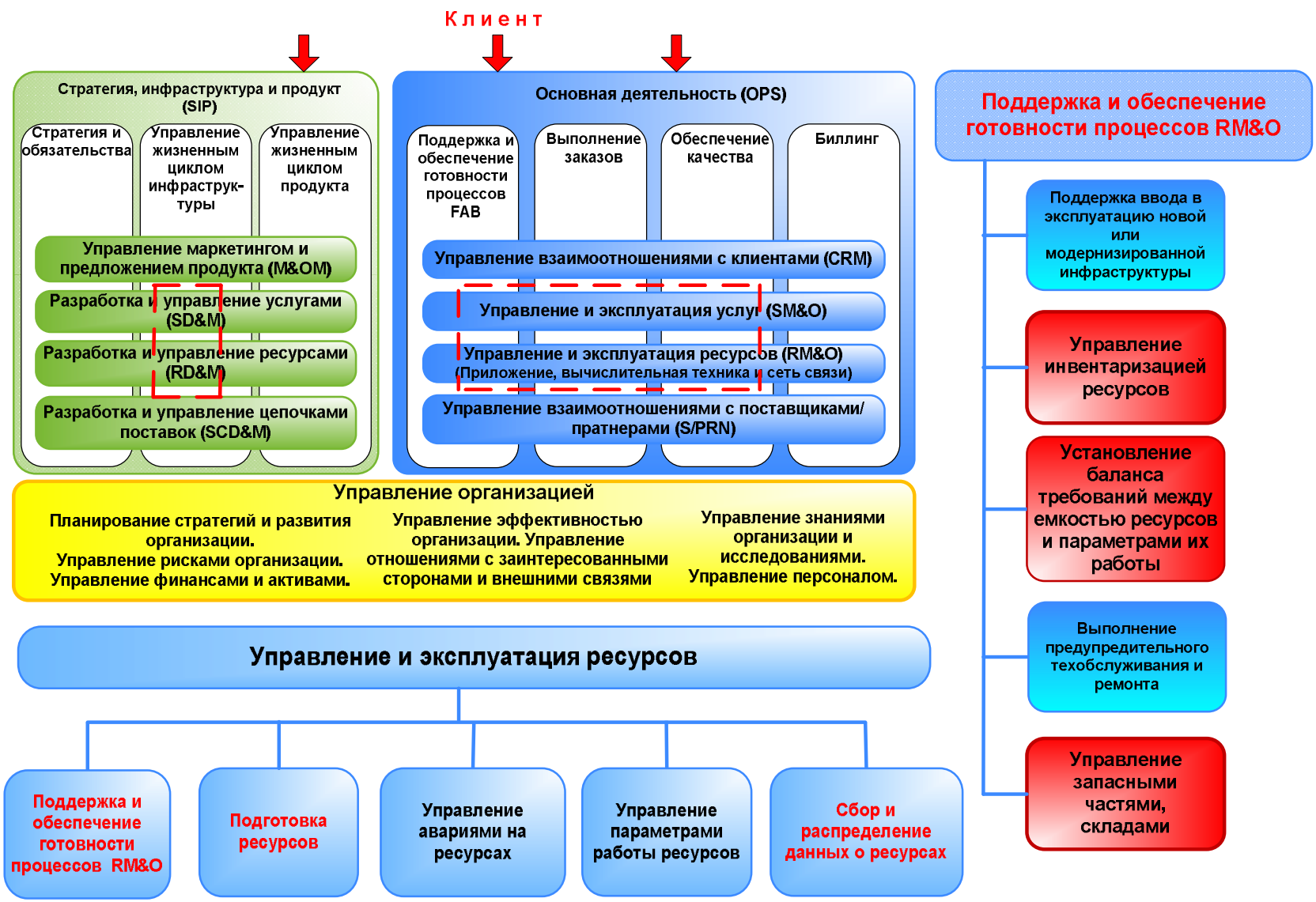
- Классификация телекоммуникационных ресурсов.
- Идентификация телекоммуникационных ресурсов.
- Сбор, хранение и предоставление данных о текущих и паспортных значениях параметров телекоммуникационных ресурсов.
- Контроль соответствия конфигурации условиям предоставления услуг, принятие решения об изменении конфигурации и способе такого изменения.
- Синтез (формирование) конфигурации.
- Внесение изменений в действующую конфигурацию.
- Верификация конфигурации.

# Понятие о техническом учете и паспортизации сетей, средств, сооружений связи

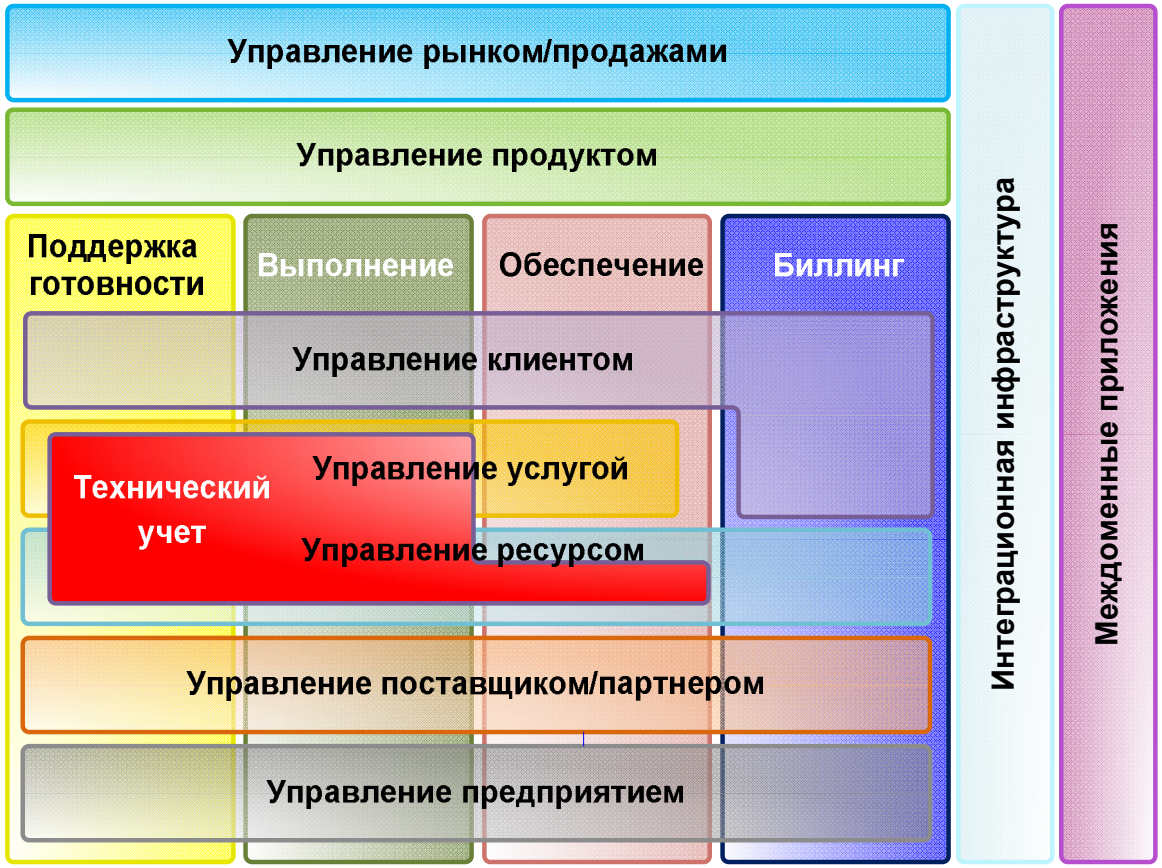
Под ***техническим учётом (ТУ)*** понимается систематическая деятельность оператора связи по сбору, хранению, обработке и предоставлению данных, характеризующих состав, конструкцию, размещение и взаимосвязи идентифицируемых сетей, средств и сооружений связи.

***Паспортизация*** – совокупность ИТ-процессов, необходимых для документирования информации о наименовании, кодовом обозначении, составе, значении параметров объекта учета, его взаимосвязи с другими объектами.

# Технический учет в рамках eTOM

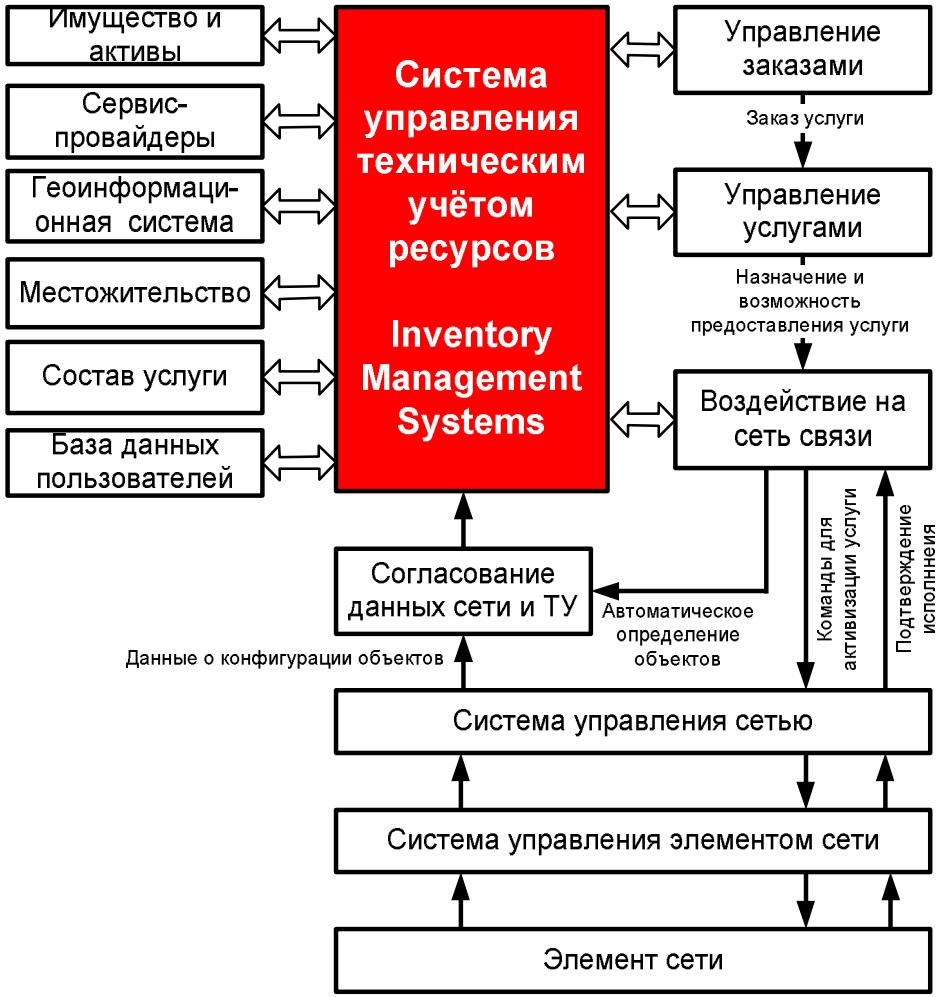


# Технический учет в рамках TAM




- Реестр «ресурс-сервис»
- Управление заявками на сервис
- Управление ЖЦ ресурса
- Управление доменом и реестром ресурсов
- Управление заявками на ресурсы

# Технический учет и другие задачи управления оператора связи



# Функциональные компоненты системы управления техническими ресурсами (1)

# Функциональные компоненты системы управления техническими ресурсами (2)

***«Система идентификации и кодирования, нормативно-справочная информация»*** – представляет собой перечень источников входных данных для системы ТУ с указанием формата входных данных.

Система идентификации содержит описание применяемых методов классификации объектов технического учёта и описание методов кодирования объектов в рамках разработанной классификации а также сами классификаторы и коды классификации. Включает описание и реализацию способов информационной совместимости системы ТУ с внешними системами в части источников и получателей информации и применяемых классификаторов.

# Функциональные компоненты системы управления техническими ресурсами (3)

***«Схемы сетей, проводок, кроссов и сооружений»*** – графическая или буквенно-цифровая информацию (список), отображающую физические, логические и функциональные взаимосвязи элементов системы ТУ.

Это схемы организации сети, схемы проводок, планы кроссов с описанием соединения элементов, а также схемы организаций направлений связи. Графические данные дополняются текстовым описанием соответствующих объектов, например – расписание кроссов.

# Функциональные компоненты системы управления техническими ресурсами (3)

***«Планы размещения оборудования, расписание стативов»*** – графическая или буквенно-цифровая информацию (список, таблица), касающуюся пространственного размещения монтируемых элементов в стативах, телекоммуникационных шкафах, полках, блоках, контейнерах, сооружениях связи.

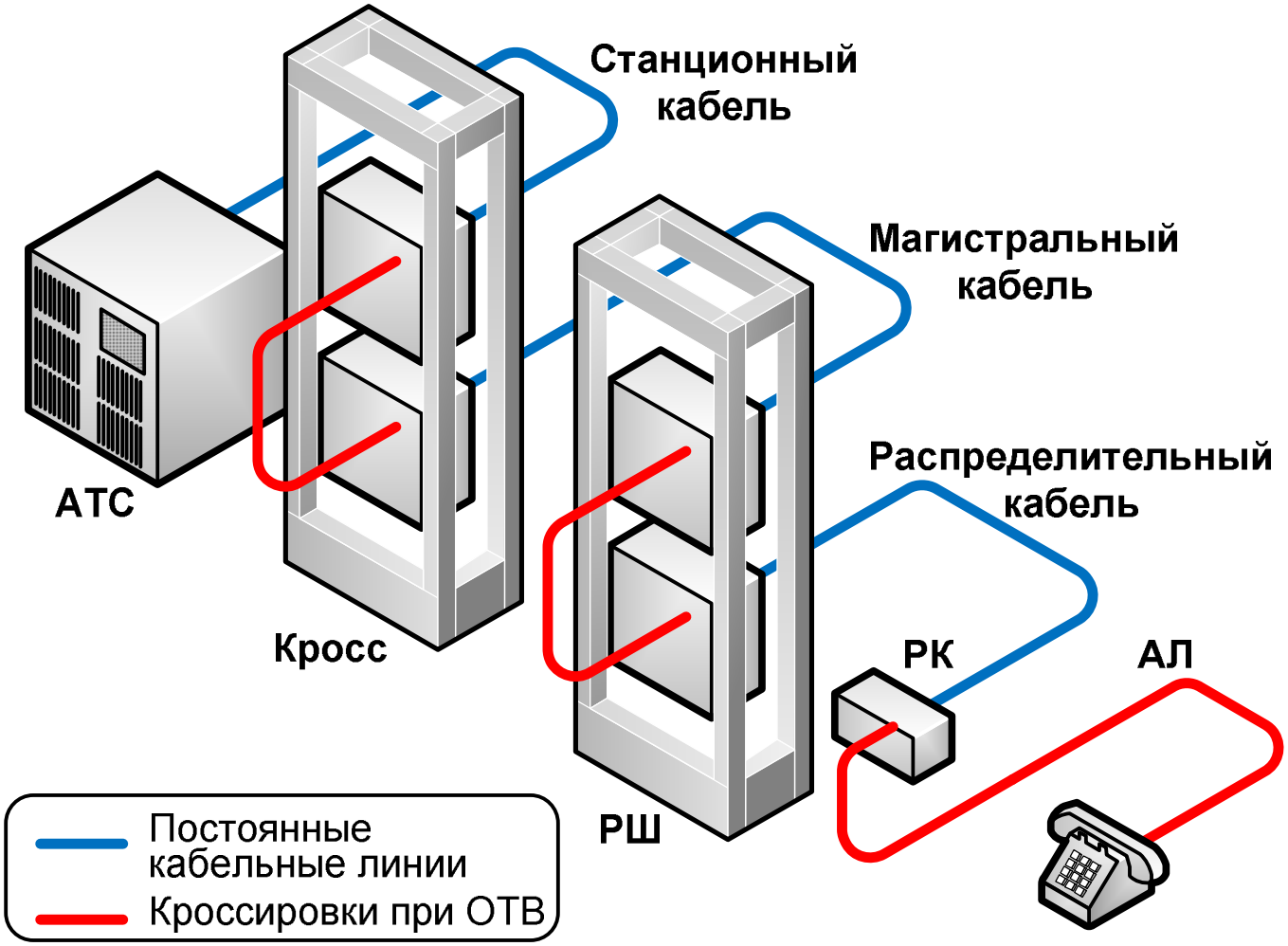
На схемах сооружений показываются условные обозначения, а при необходимости (и возможности) – разрезы, архитектурны планы соответствующих сооружений. Сюда же относится описание размещения/трасс прокладки кабелей связи в телефонной канализации (линейно-кабельных сооружениях связи), размещение антенн радиопередающих установок или базовых станций, монтажные рамки в кроссах.

# Функциональные компоненты системы управления техническими ресурсами (4)

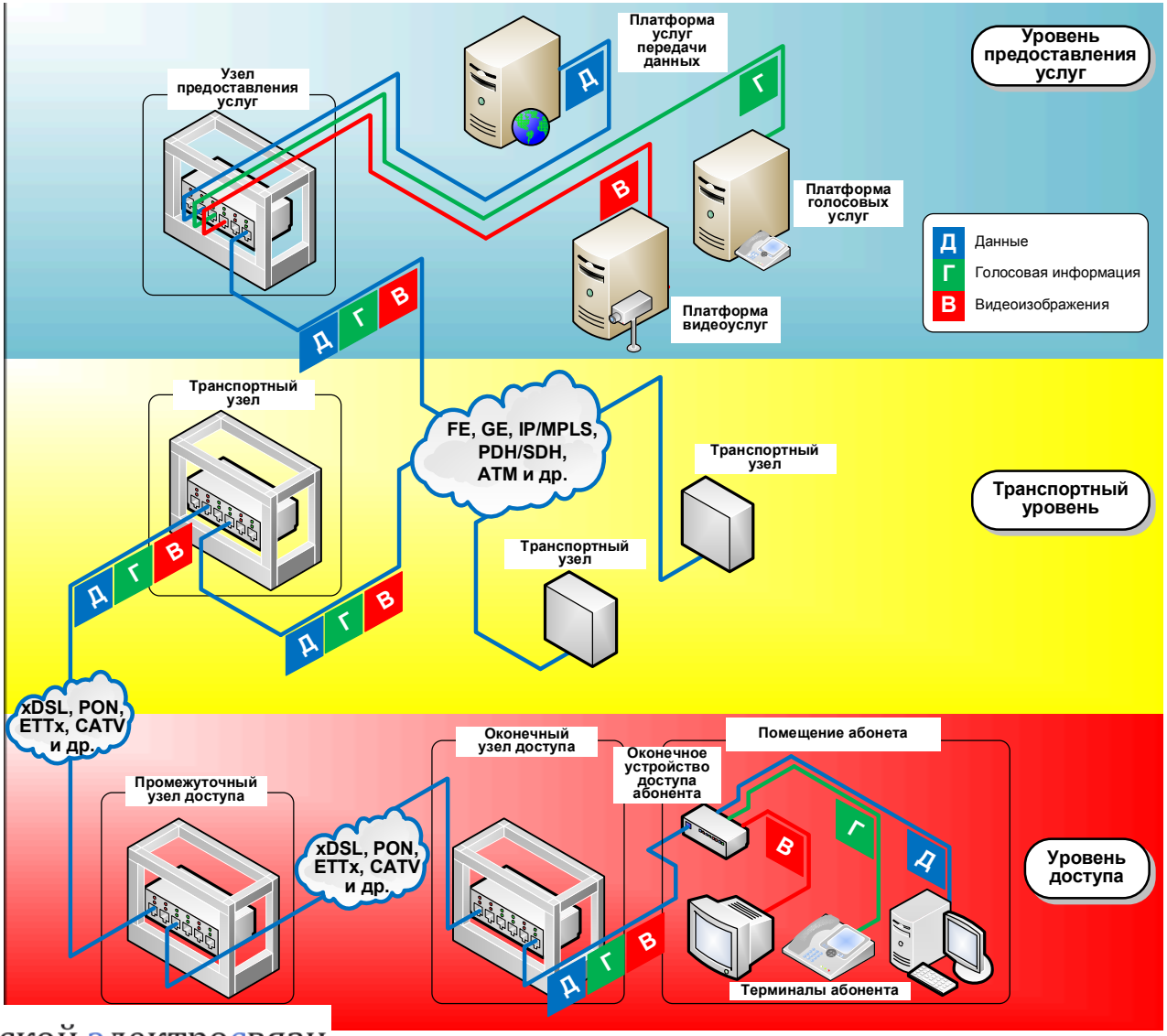
***«Учёт монтируемых устройств и иного оборудования»*** – описание объектов технического учёта с детализацией до единиц технического учёта в их взаимосвязи и взаимозависимости, прежде всего отношений на уровне вложения, т.е. какой объект (единица технического учёта) является составной частью другого объекта.

Здесь детально описываются все учитываемые физические ресурсы, включая различные типы кабелей связи, параметры сооружений связи, стативов, плат. На основе данных перечисленных компонент разрабатываются схемы сетей, проволок и планы размещения оборудования.

# Определение технической возможности предоставления услуги на конфигурации ТФОП



# Определение технической возможности предоставления услуги на конфигурации FTTH



# Основные понятия и определения

***Метод*** – совокупность приемов и операций познания и практической деятельности; способ достижения определенных результатов в познании и практике. ***Анализ и синтез*** являются наиболее общими методами.

***Анализ*** – процедура мысленного, а часто и реального расчленения исследуемого объекта (явления, процесса), свойств предмета или отношения между предметами на части (признаки, свойства, отношения).

***Синтез*** –соединение различных элементов, сторон предмета в единое целое *(систему)*, которое осуществляется как в практической деятельности, так и в процессе познания.

# Задача синтеза аппаратных средств узла связи

Нахождение оптимальной, в некотором смысле, структуры сети/узла связи, при заданных параметрах пропускной способности каналов, зонах покрытия, интенсивности поступающего трафика. При синтезе сети обычно полагается заданным расположение узлов сети.

К *частным задачам синтеза* можно отнести задачу выбора оптимальной топологии сети, выбор оптимальной конфигурации узла связи и т. д.

# Постановка задачи синтеза узла связи

Потенциальная конфигурация узла связи может рассматриваться как неориентированный граф

$$G=(V,E),$$

где

V – набор потенциальных мест расположения узлов связи на сети;

E – это набор каналов связи, доступных узлу.

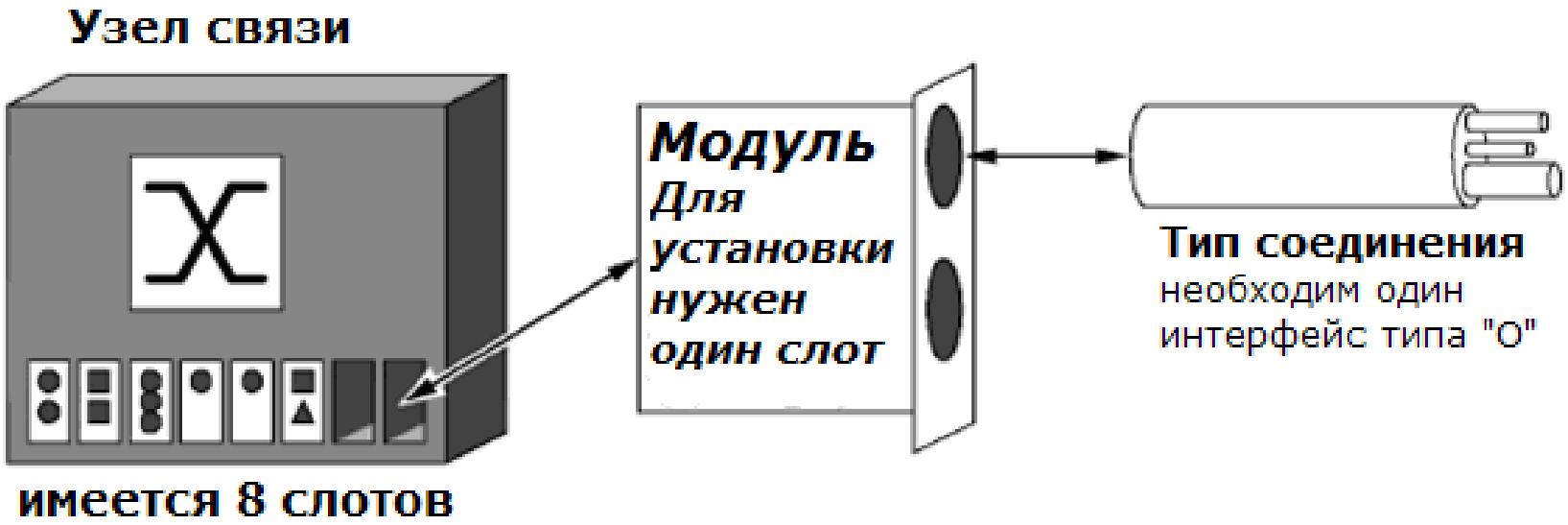
Чтобы сформировать оптимальную конфигурацию оборудования на узлах связи рассмотрим частную задачу синтеза узлов связи как формирование совокупности интерфейсных модулей и каналов связи для работы с существующими емкостями/пропускной способностью сети связи.

# Постановка задачи синтеза узла связи (2)

Пусть для каждого отдельного узла $v \in V$, приведено множество $D(v)$ из доступных каналов связи, из которых может быть выбрано не более одного канала.

Ключевыми свойствами формируемого узла $d \in D(v)$ является его максимальная емкость коммутации $C^d \in Z+$, типы поддерживаемых модулей $M(v) \in Z_+$ и число $S^d \in Z_+$ слотов доступных для установки интерфейсных и служебных модулей в проектируемом узле связи.

# Схема задачи синтеза узла связи



# Ограничения задачи синтеза (1)

Для решения частной задачи синтеза оптимальной конфигурации узла связи сделаем следующие предположения:

1. Узел имеет несколько лотов, часть из которых уже заняты (например слотов 8, из них уже занято 6.).

2. Каждому узлу $d \in D(v)$ *доступны* модули $m \in M(v)$, однако, не больше чем $M^{d,m} \in Z_+$.

3. Каждый установленный модуль $m \in M(v)$ занимает $S^m \in Z_+$ слотов; сумма слотов для всех устанавливаемых модулей в узле $d \in D(v)$ не должна превышать $S^d$.

4. Каждый модуль $m$ предоставляет $I^{i,m} \in Z_+$ интерфейсов типа $i \in I$, где I – это множество всех интерфейсов типа «□», «Δ» и «○».

# Ограничения задачи синтеза (2)

Для каждого канала связи $e \in E$ приведено множество доступных интерфейсов, из которых может быть выбрано не более одного.

Проектируемый канал связи $l \in L(e)$ определяется емкости $C^l \in Z+$ (обслуживаемым трафиком).

Для каждого интерфейса $i \in I$, на обоих конечных узлах канала связи требуется $I^{i,l}$ интерфейсов.

Каждому каналу связи соответствует описание $l_e$, где это значение который является постоянным, не может быть изменено но может быть нулевым, если канал не несет никакой нагрузки.

Рисунок показывает проектирование канала связи, которому требуется только один интерфейс типа «○».

# Сведения об используемых переменных

Пусть переменная $x_{d,v} \in \{0,1\}$ для всех $v \in V$ и всех проектируемых узлов $d \in D(v)$,

Пусть неотрицательная целая переменная $x_{m,v} \in Z_+$ используется для количества модулей $m \in M(v)$, установленных на $v$.

Пусть переменная $x_{l,e} \in \{0,1\}$ используется для всех $e \in E$ и всех каналов связи $l \in L(e)$.

# Аналитическое описание задачи синтеза(1)

$$\sum_{d \in D(v)} x_{d,v} \le 1 \quad v \in \mathrm{V} \tag{1}$$

$$\sum_{l \in L(e)} x_{l,e} \le 1 \quad \mathrm{e} \in \mathrm{E} \tag{2}$$

Неравенства (1) и (2) показывают, что должно быть выбрано не более одной схемы для каждого узла и канала связи, соответственно; топология состоит из таких элементов графа, где выбрана одна схема.

# Аналитическое описание задачи синтеза(2)

$$\sum_{e\in\delta(\upsilon)}\left(I^{i,l_e}+\sum_{l\in L(e)}I^{i,l}x_{l,e}\right)-\sum_{m\in M(\upsilon)}I^{i,m}x_{m,v}\le 0 \quad \upsilon\in \mathrm{V}, \mathrm{i}\in \mathrm{I} \qquad (3)$$

где

$\sum_{e\in\delta(\upsilon)}\left(I^{i,l_e}+\sum_{l\in L(e)}I^{i,l}x_{l,e}\right)$ – суммируются существующие и проектируемые интерфейсы и каналы связи.

$\sum_{m\in M(\upsilon)}I^{i,m}x_{m,x}$ – от количества существующих и проектируемых отнимается сумма всех интерфейсов, модулей по техническому паспорту средства связи.

В целом разность $\sum_{e\in\delta(\upsilon)}\left(I^{i,l_e}+\sum_{l\in L(e)}I^{i,l}x_{l,e}\right)$ и $\sum_{m\in M(\upsilon)}I^{i,m}x_{m,x}$ должна быть меньше либо равна нулю, т.к. общая сумма существующих и проектируемых интерфейсов не может быть меньше паспортной.

# Аналитическое описание задачи синтеза(3)

$$\sum_{e\in\delta(v)}\left(C^{l,e}+\sum_{l\in L(e)}C^{l}x_{l,e}\right)-\sum_{d\in D(v)}C^{d}x_{d,v}\le 0 \quad v\in V \qquad (4)$$

где :

$\sum_{e\in\delta(v)}\left(C^{l,e}+\sum_{l\in L(e)}C^{l}x_{l,e}\right)$ – суммируются проектируемая и существующая нагрузка проектируемого и существующего канала связи.

$\sum_{d\in D(v)}C^{d}x_{d,v}$ – максимальный трафик, обслуживаемый узлом d.

Выполнение неравенств (3) и (4) гарантируют для каждого узла связи достаточное количество интерфейсов каждого типа и что коммутационная емкость проектируемого узла является достаточной для включения каналов связи с известной емкостью (обслуживаемым трафиком).

## Выводы по лекции 12

1. Аппаратные средства телекоммуникационных систем являются объектами технического учета и паспортизации систем, средств и сооружений связи.
2. Технический учет относится к функциональной области управления конфигурацией аппаратных средств телекоммуникационных систем. Для технического учета и паспортизации используются информационные системы.
3. Применительно к аппаратным средствам телекоммуникаций возможна постановка задачи синтеза конфигурации узла связи, которая решается методами линейного или дискретного программирования.

ФГБОУ ВО
Поволжский государственный университет
телекоммуникаций и информатики

# Лекция 13.
# Развитие аппаратных средств телекоммуникационных систем

Лектор :

доцент кафедры АЭС ПГУТИ,

к.т.н. Гребешков А.Ю.

Самара
2017 год

кафедра
автоматической электросвязи

# Повышение производительности вычислений аппаратных средств

Значение ускорения вычислений (в разах) определяется выражением:

$$R = \frac{T_{\mathrm{N}}}{T_1}$$

где $T_1$ — время решения задачи на однопроцессорной вычислительной системе;
$T_n$ — время решения той же задачи на N-процессорной вычислительной системы;
$N$ – количество процессоров.

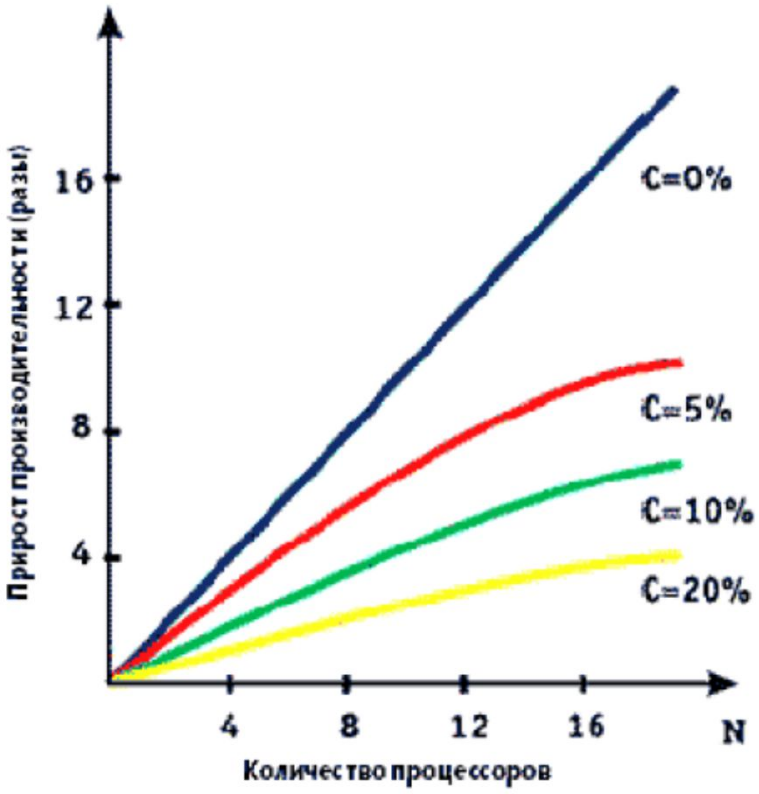
# Эмпирический закон Амдала

$$R \le \frac{1}{\left(C + \frac{1-C}{N}\right)},$$

$R$ – прирост производительности вычислительной системы;
$N$ – количество процессоров;
$C = W_{ск} / W$ — удельный вес скалярных операций $W_{ск}$ в общем числе операций $W$.

Скалярная операция - нераспараллеливаемая, выполняемая исключительно последовательно

# Следствия из закона Амдала




1. Ускорение вычислений зависит как от потенциального параллелизма программной задачи (величина *1 c*), так и от параметров средства вычислительной техники (число процессоров N).

2. Предельное ускорение вычислений определяется свойствами программной задачи.

# Эффективность параллельных вычислений

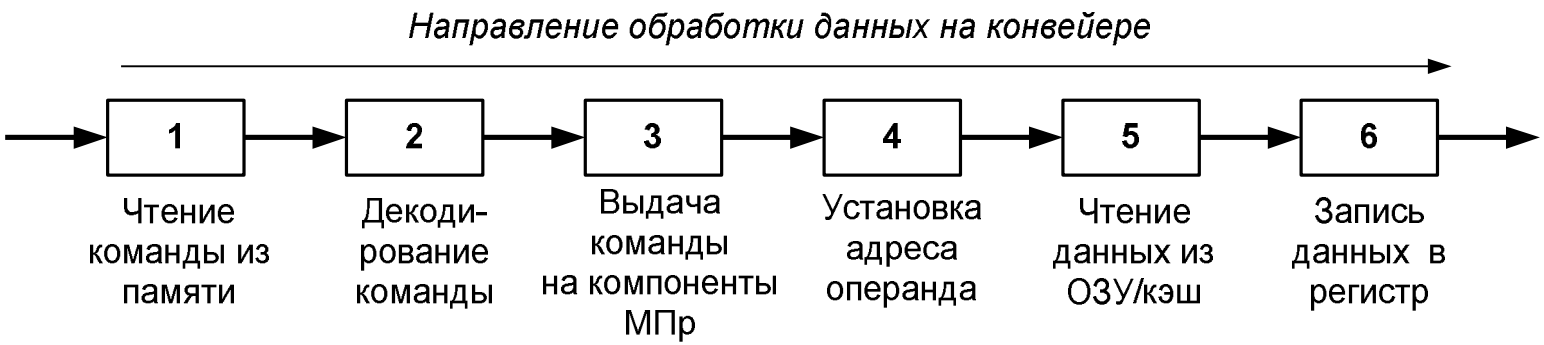
$$R = \prod_{i=1}^{M} r_i$$

R — полное ускорение ЭВМ с параллельными вычислениями;

*M* — число вложенных уровней вычислений, используемых для распараллеливания;

$r_i$ — собственное ускорение уровня *i*, определяемое параллелизмом соответствующих данному уровню объектов: независимых задач, программ, ветвей алгоритма, итераций цикла, групп операторов.

# Конвейерная организация вычислений




**Конвейер для команды «Чтение данных их ОЗУ»**

Конвейерная организация вычисления предусматривает, что цикл выполнения машинной команды разбивается на несколько элементарных ступеней, стадий или блоков.

Команда передвигается по конвейеру, освобождая стадию для следующей команды.

При этом продолжительность каждой стадии в идеале составляет 1 такт работы МПр, что существенно меньше времени выполнения всей команды

# Векторные конвейеры

**Векторные конвейеры** выполняют одну операцию над группами разных данных, называемых векторами (например, строка в двумерном массиве).

Под **вектором** понимается, например, одномерный массив, который образуется из многомерного массива, если зафиксирован только один из номеров строки или столбца.

Микропроцессоры с векторными конвейерами относятся к классу SIMD

# Скалярные конвейеры

В **скалярных конвейерах** на разных ступенях обработки находятся команды с разными кодами операций, но обрабатывают эти команды одни и те же данные.

Скалярный конвейер может выполнять векторные операции, для чего необходимо на вход последней, в каждом такте, стадии подавать один и тот же код операции.

Микропроцессоры со скалярными конвейерами относятся к классу MISD.

# Суперскалярная архитектура

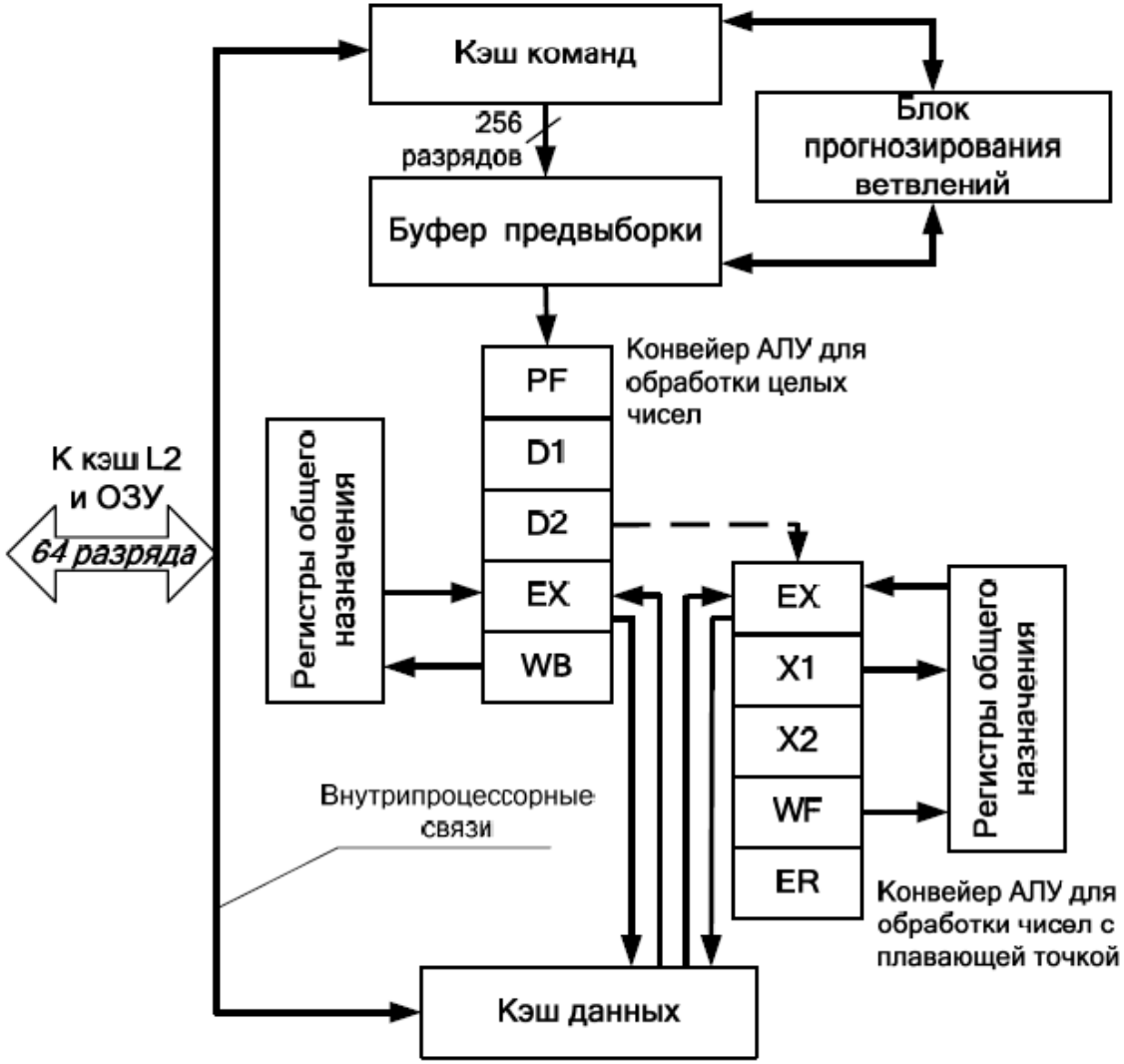
Суть ***суперскалярной архитектуры*** – наличие параллельной обработки данных с помощью двух или более конвейеров, как правило скалярных.

Это позволяет оптимизировать загрузку АЛУ, уменьшить потерю производительности, в результате появления пустых/ненагруженных стадий («baloons»).

Ненагруженная стадия – та, которая не нужна и поэтому может быть пропущена.

В современных МПр данные каждого конвейера могут обрабатываться собственным АЛУ.

# Пример суперскалярной архитектуры аппаратных средств медиасерверов



# Оценка суперскалярной архитектуры

**Достоинства:**

Повышение быстродействия ВС, когда за один такт может исполняться от 2 до 5 команд.

**Недостатки:**

1. Наличие сложного многостадийного конвейера приводит к уменьшению физического пространства для размещения АЛУ, регистров, кэш-памяти.
2. Появление ненагруженных стадий.

# Общая оценка быстродействия вычислительной системы

$$V_{\text{р}} = \left(\sum_{i=1}^{k} z_i\right) / T_{к},$$

$V_p$ — быстродействие вычислительной системы;

$k$ — число выполненных задач;

$z_i$ — число выполненных в $i$-й задаче команд;

$T_k$ — время решения $k$ задач.

# Переупорядочивание вычислений

Преимущества суперскалярной архитектуры могут быть существенно повышены с помощью изменения последовательности выполнения команд непосредственно в микропроцессоре.

Это достигается с помощью управления вычислениями в зависимости от последовательности команд или по мере готовности данных для вычислений.

Например, получая на входе операцию сложения, умножения и деления МПр может сначала выполнить наиболее сложную операцию деления, а потом операцию сложения и умножения.

# Пример переупорядочивания вычислений

(1) A = B x 6,
(2) C = E x 12,
(3) A = A x D,
(4) C = C + 1,

A, C – хранятся в ячейках ОЗУ;

B, D и E – хранятся в регистрах процессора.

**Первый вариант** – команды выполняются в порядке следования.

**Второй вариант** – порядок следования команд изменяется следующим образом:

(1) A = B x 6,
(3) A = A x D,
(2) C = E x 12,
(4) C = C + 1.

# Результат переупорядочивания вычислений

| № шага программы по порядку | Без переупорядочивания | | С переупорядочиванием | |
|---|---|---|---|---|
| | Операция | Количество тактов | Операция | Количество тактов |
| 1. | <Регистр B> x 6 → <Регистр Акк> | 3 | <Регистр B> x 6 → <Регистр Акк> | 3 |
| 2. | <Регистр Акк со значением переменной A > → <Ячейка ОЗУ> | 10 | <Регистр Акк> x <Регистр D> → <Регистр Акк> | 3 |
| 3. | <Регистр E> x 12 → <Регистр Акк> | 3 | <Регистр Акк> → <Ячейка ОЗУ> | 10 |
| 4. | <Регистр Акк> → <Ячейка ОЗУ> | 10 | <Регистр E> x 12 → <Регистр Акк> | 3 |
| 5. | <Ячейка ОЗУ со значением переменной A> → <Регистр Акк> | 10 | <Регистр Акк> = <Регистр Акк+1> | 1 |
| 6. | <Регистр Акк> x <Регистр D> → <Регистр Акк> | 3 | <Регистр Акк> → <Ячейка ОЗУ> | 10 |
| 7. | <Регистр Акк> → <ячейка ОЗУ> | 10 | Не используется | |
| 8. | <Ячейка ОЗУ со значением переменной C > → <Регистр Акк> | 10 | | |
| 9. | <Регистр Акк> = <Регистр Акк> + 1 | 1 | | |
| 10. | <Регистр Акк> → <Ячейка ОЗУ> | 10 | | |
| **Всего:** | | **70** | | **30** |

# Предсказание переходов

Существуют алгоритмы, позволяющие с вероятностью до 95% предсказать направление условного перехода в программе с учетом информации о предыдущих переходах.

Для реализации данной процедуры применяется **блок прогнозирования ветвлений** в составе МПр, который использует блок предварительной дешифрации команд.

В результате команды загрузки данных из ОЗУ и/или кэш памяти выполняются задолго до команды (инструкции), использующей эти данные.

# Спекулятивное исполнение команд

МПр выполняет операции загрузки данных для реализации команды по предсказанному направлению (не по загруженной программе).

Если вычисления пойдут в предсказанном направлении, то к моменту начала исполнения команды данные будут уже загружены.

Если управление будет передано в другое место программы (ошибка предсказания), то загруженные ранее данные уничтожаются.

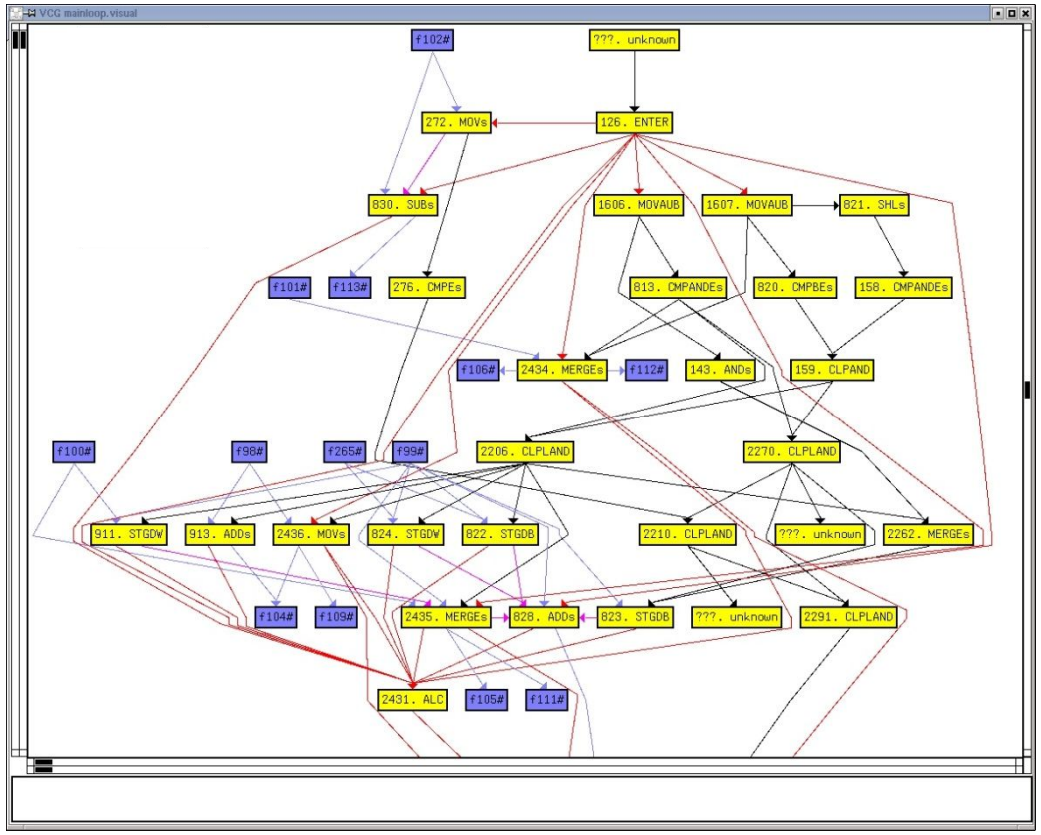
# Предсказания ветвлений в программе

**При статическом предсказании** направление перехода задаётся разработчиком МПр, например все условные переходы «вперед» будут выполняться, а переходы «назад» – не будут.

**При динамическом предсказании** направление ветвления обусловлено результатами предшествующего выполнения команд и может меняться в процессе исполнения программы. Динамическое предсказание более точно и эффективно, хотя и достаточно сложно для реализации.

# Распараллеливание программ (1)

```
LOCAL void sweep(void)
{
    struct segment *seg;
    NODE *p;
    int n;
    /* empty the free list */
    fnodes = NIL;
    nfree = 0;
    /* add all unmarked nodes */
    for (seg = segs; seg != NULL; seg = seg->sg_next) {
        p = &seg->sg_nodes[0];
        for (n = seg->sg_size; n--; p++)
            if (!(p->n_flags & MARK)) {
                switch (ntype(p)) {
                case STR:
                        if (p->n_strtype == DYNAMIC && p->n_str != NULL) {
                            total -= (long) (strlen(p->n_str)+1);
                            free(p->n_str);
                        }
                        break;
                case FPTR:
                        if (p->n_fp)
                            fclose(p->n_fp);
                        break;
                case VECT:
                        if (p->n_vsize) {
                            total -= (long) (p->n_vsize * sizeof(NODE **));
                            free(p->n_vdata);
                        }
                        break;
                }
                p->n_type = FREE;
                p->n_flags = 0;
                rplaca(p,NIL);
                rplacd(p,fnodes);
                fnodes = p;
                nfree++;
            }
            else
                p->n_flags &= ~(MARK | LEFT);
    }
```




**Исходный код**

**Фрагмент промежуточного представления**

```
fc050446 98c11d24 a01dd460 90c00826 9208c106 a229c141 802bd028 001ffffc 61630263 44410000
fe471467 80003000 a026c046 900bcc09 260bc822 8e220b20 8e28c022 240bc080 19231001 10020000 61634068 08400000 cc644440 50641064
fe4f1477 806f05e7 9017c115 90c01715 240bc122 a224d042 8e162114 260bc480 00000000 00000540 00004ae3 61636326 68666064 c8624840 0d640c40 12695064
```

1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16

**Результирующий параллельный код – до 16 операций за такт**

# Распараллеливание программ (2)

**Последовательный код**

1
3
8
2
9
16
4
11
20
22
5
6
12
17
7
13
18
15
10
14
19
21

Аппаратный Планировщик Intel x86

**Параллельный код Intel**

| | | | |
|---|---|---|---|
| 1 | | | |
| 3 | | | |
| 2 | 8 | | |
| 4 | 7 | 9 | |
| 5 | 16 | 11 | 10 |
| 6 | 20 | 15 | 14 |
| 22 | 12 | 13 | 19 |
| 17 | | | |
| 18 | | | |
| 21 | | | |

10 тактов

**Параллельный код Эльбруса**

| | | | | | |
|---|---|---|---|---|---|
| 1 | 2 | 3 | 4 | | |
| 5 | 6 | 7 | 8 | 9 | 10 |
| 11 | 12 | 13 | 14 | 15 | 16 |
| 17 | 18 | 19 | 20 | | |
| 21 | 22 | | | | |

5 тактов

в 2 раза быстрее Intel

Скрытый двоичный транслятор

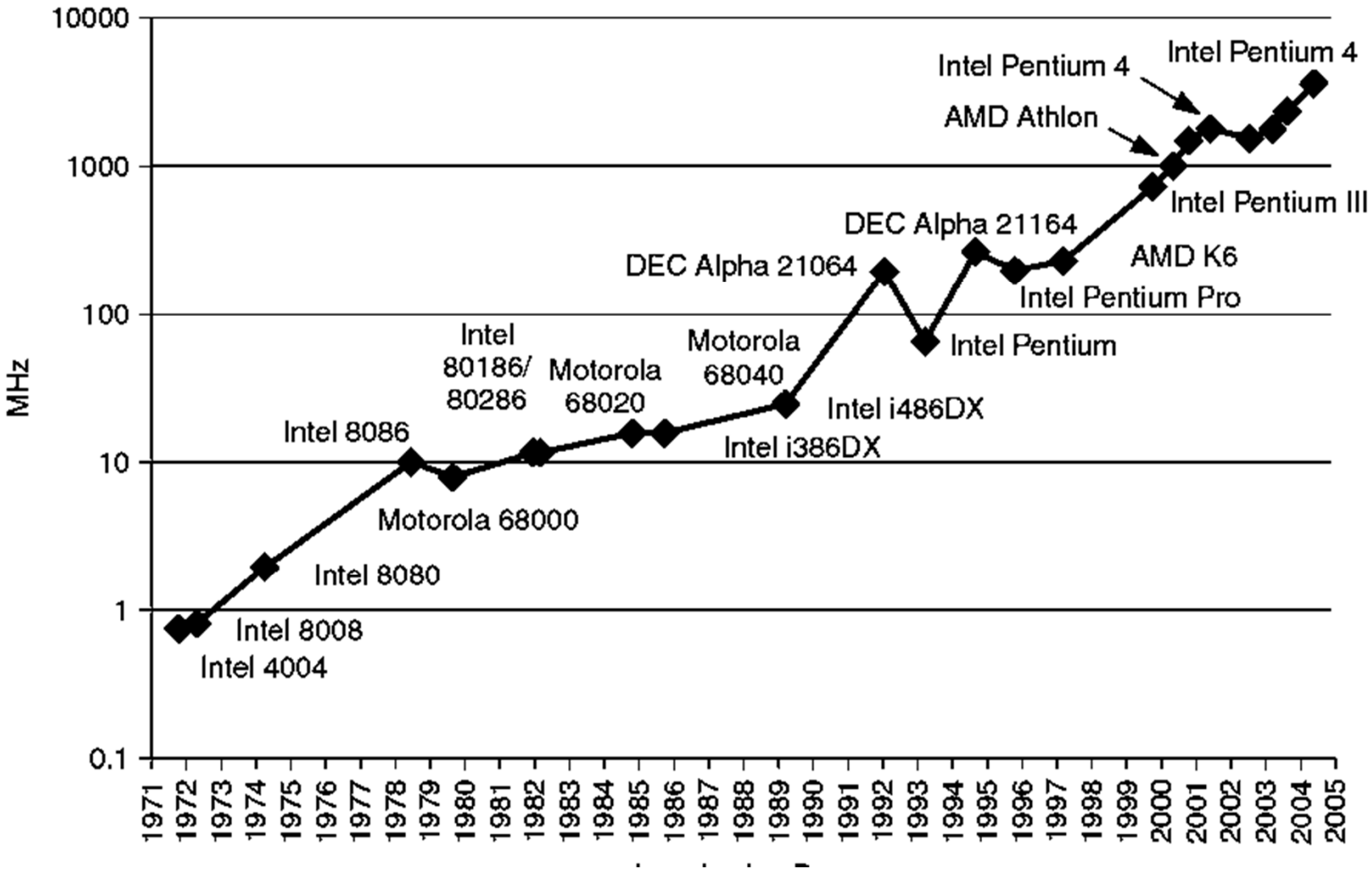
Выполняется быстрее Intel в 1,66

**Параллельный код Эльбруса**

| | | | | | |
|---|---|---|---|---|---|
| 1 | 3 | 2 | 4 | | |
| 5 | 6 | 7 | 8 | 9 | 10 |
| 11 | 12 | 13 | 14 | 15 | 16 |
| 19 | 20 | | | | |
| 22 | 17 | | | | |
| 18 | 21 | | | | |

6 тактов

# Увеличение тактовой частоты МПр по годам 1971-2000-е г.г.



# Физические последствия роста тактовой частоты процессоров

На переключение транзисторов затрачивается определённая мощность. При увеличении тактовой частоты импульсов постоянного тока в полупроводниковых и металлических компонентах процессора возникает избыточное тепловыделение.

Тепловыделение элементной базы процессоров принято измерять в пикоджоулях на изменение значения 1 бита, 1 ПкДж/Бит = $10^{-12}$ Дж/Бит.

При современных тактовых частотах и плотностях интеграции на кристалле МПр суммарное тепловыделение имеет величину **неск. ватт на 1 см$^2$.**

# Проблема теплоотвода

Необходимо отводить выделяемое тепло от МПр для обеспечения необходимого температурного режима работы +40..+65$^0$С с пиковой до **+80 … +100$^0$С** т.к. перегрев МПр приводит к его отказу.

Соответствующую характеристику МПр можно обозначить как **«мощность системы теплооотвода МПр» (thermal design power, TDP).**

# Способы снижения тепловыделения и энергопотребления

В целях оптимизации энергопотребления и энергосбережения применяются различные методы:

• динамическое изменение напряжения электропитания на микропроцессоре и его частоты с учетом исполняемых задач;

• оптимизация доступа к памяти, в том числе отключение неактивных банков памяти;

• оптимизация энергопотребления на стадии разработки новых микропроцессоров.

# Пример оптимизации энергопотребления

•Для увеличения тактовой частоты и, соответственно, повышения вычислительной мощности МПр, сначала увеличивается напряжение электропитания.

•Период изменения напряжения длится около 100 мкс.

•После изменения напряжения электропитания скачкообразно увеличивается частота за время 10 мкс.

•При уменьшении тактовой частоты, сначала уменьшается тактовая частота, и только потом снижается напряжение электропитания.

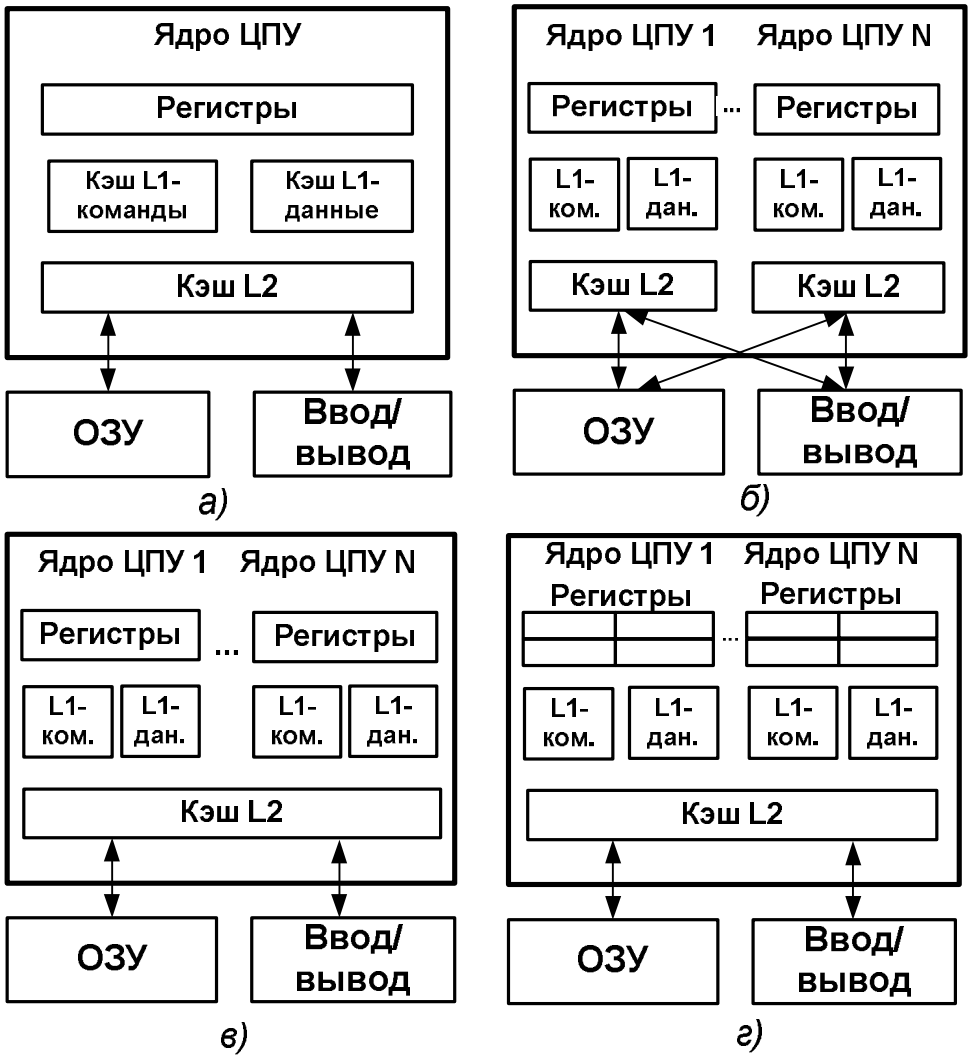
# Многоядерные микропроцессоры

Для повышения производительности ВС наиболее эффективен физический параллелизм, при котором каждый из потоков команд и/или данных обрабатывается собственным ядром (core).

***Ядро (core)*** – это самостоятельное ЦПУ с АЛУ, регистрами и кэш-памятью L1. Каждое ядро поддерживает конвейерные вычисления, в первую очередь – целочисленные конвейеры.

Многоядерные процессоры на аппаратном уровне имеют архитектуру MIMD (multiple instruction multiple data) — много потоков команд, много потоков данных.

# Примеры архитектуры многоядерных микропроцессоров



# Достоинства многоядерных микропроцессоров

1. Малые размеры «ядра» МПр позволяют на одном кристалле МПр размещать больше АЛУ, повышая тем самым удельную вычислительную мощность на единицу площади МПр.

2. При сохранении заданной производительности МПр можно вдвое уменьшить тактовую частоту.

3. Ядра, находящиеся на одном кристалле, используют общие системные ресурсы - экономия физического пространства кристалла МПр.

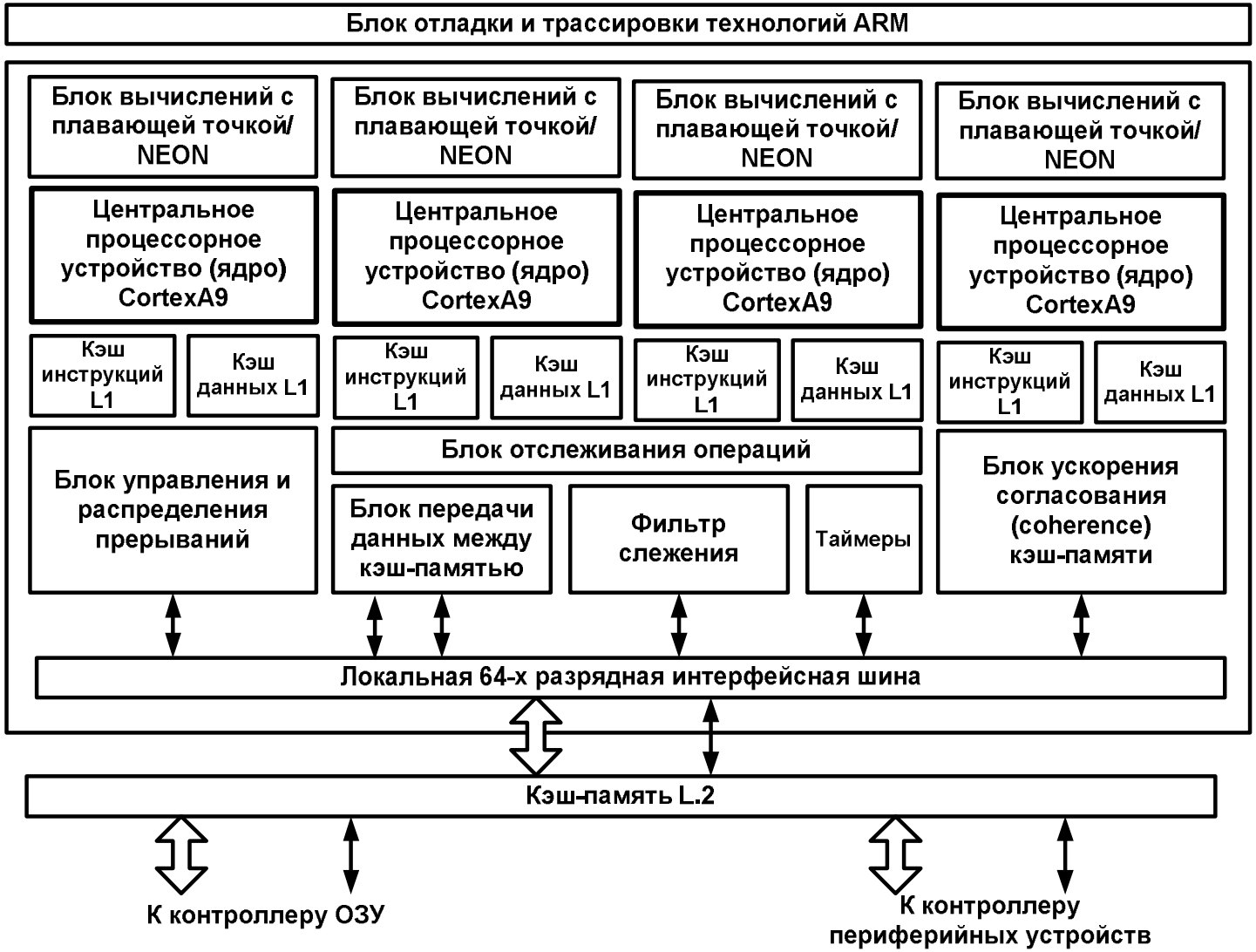
4. При уменьшении тактовой частоты и сложности одного ядра дополнительно сокращается потребление электроэнергии МПр в целом.

# Недостатки многоядерных микропроцессоров

Усложнение проектирования и изготовления микропроцессора, что повышает затраты на производство МПр, особенно при технорме 20…22 нм.

Однако, если есть технологически отработанное ядро, то оно может тиражироваться в нужных количествах, а проектирование ограничивается созданием внутренней инфраструктуры кристалла, что снижает затраты на производство МПр.

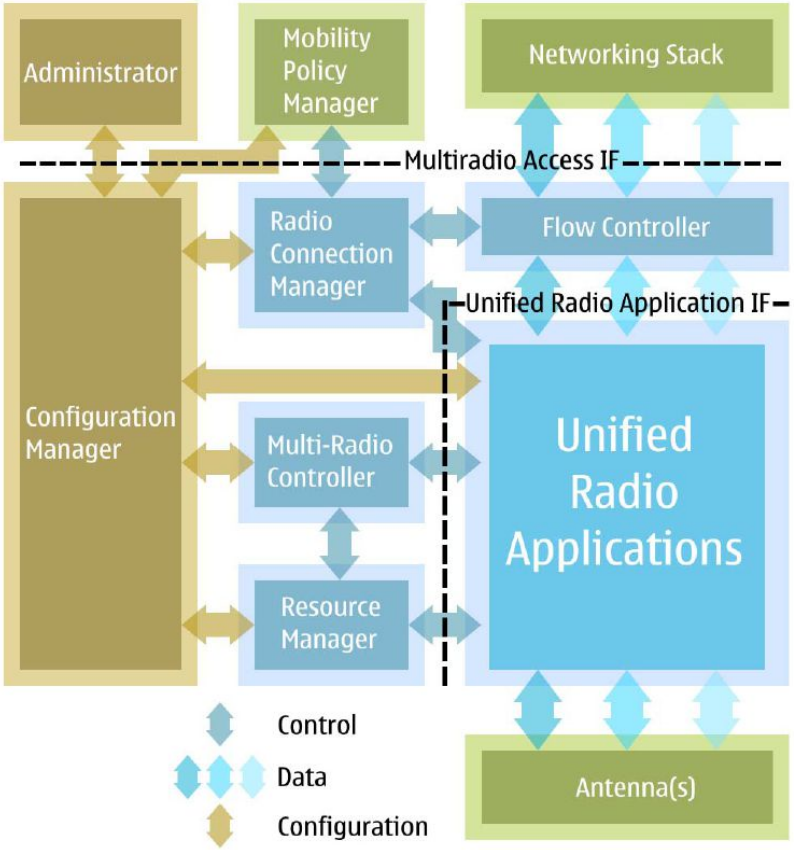
# Пример многоядерной энергоэффективной архитектуры ARM Cortex A9



# Понятие об устройстве SDR (software defined radio)

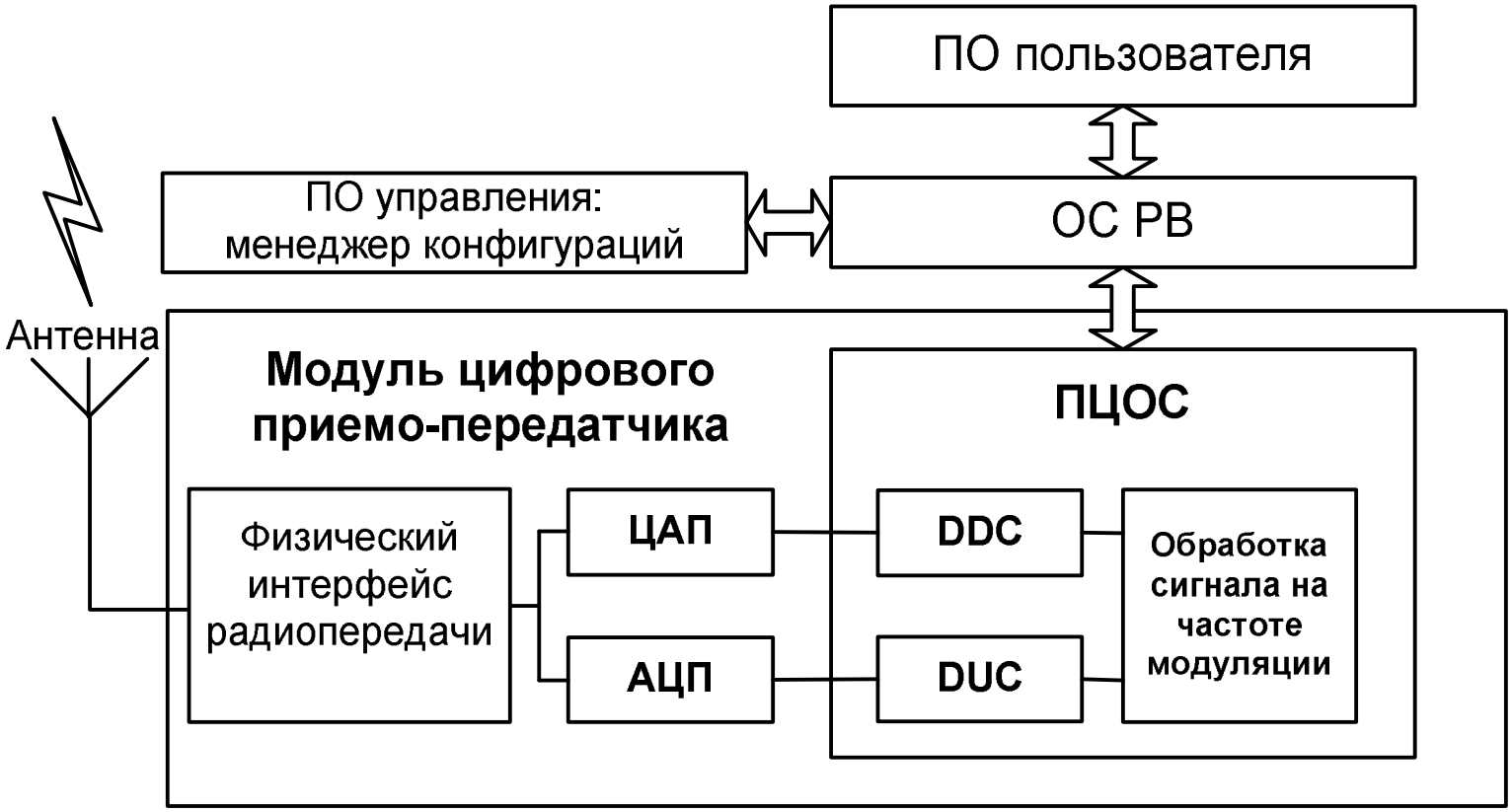
**Устройство SDR** – это радиопередатчик и/или радиоприемник, использующий технологию, позволяющую с помощью программного обеспечения устанавливать или изменять рабочие радиочастотные параметры, включая, в частности, диапазон частот, тип модуляции или выходную мощность, за исключением изменения рабочих параметров, используемых в ходе обычной предварительно определенной работы с предварительными установками радиоустройства, согласно той или иной спецификации или стандарту системы.

# Функциональная блок-схема устройства SDR

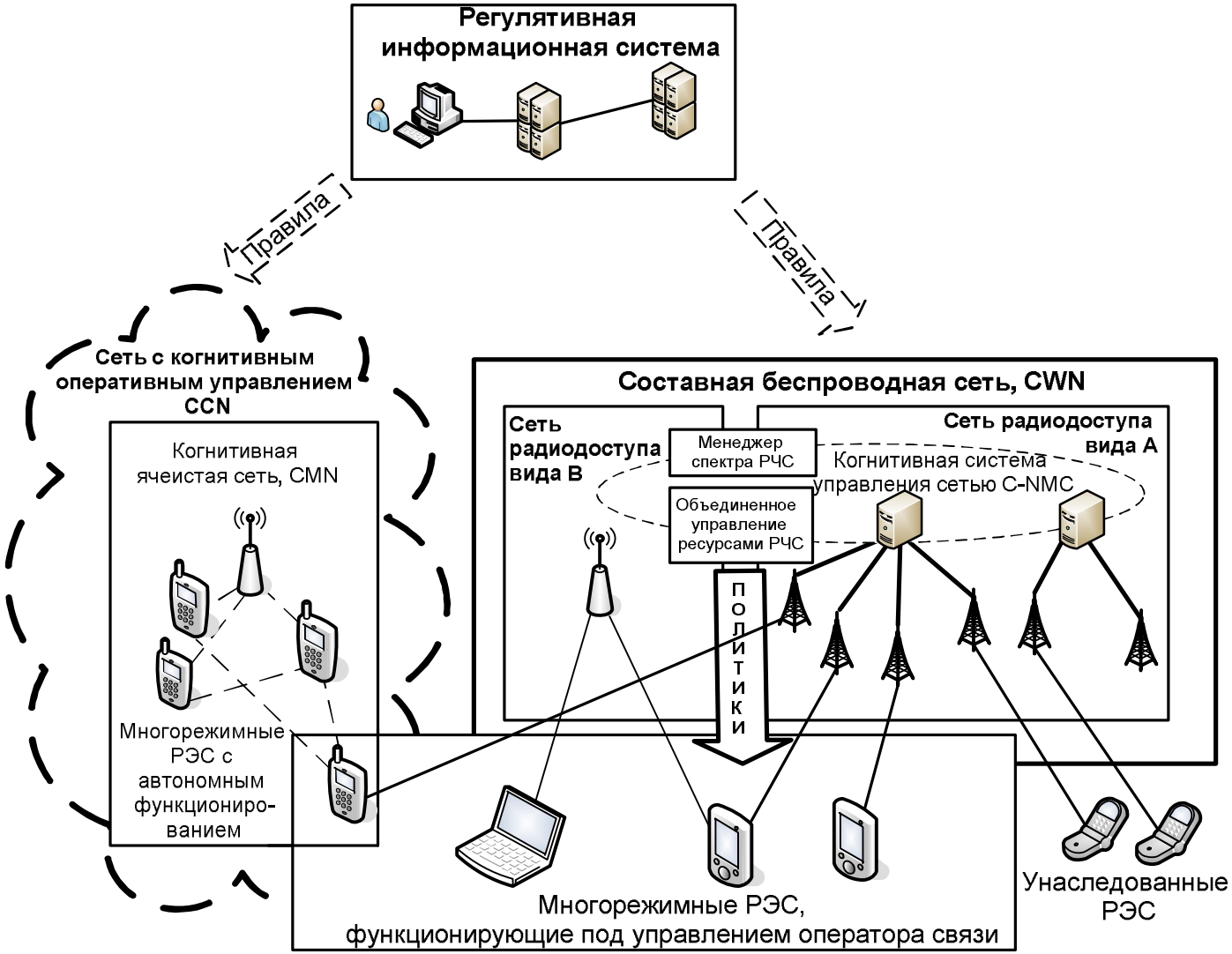



**Configuration manager -** установка/удаление и загрузка/выгрузка из оперативной памяти приложений для организации радиосвязи, а также управление и доступ к параметрам радиосвязи.
**Radio connection manager** осуществляет активирование/дезактивирование радиоприложений согласно пользовательским запросам.
**Flow controller** осуществляет отправление и получение пользовательских пакетов данных и оперативное управление и контроль потоков.
**Multi-radio controller** осуществляет планирование запросов на использование или выделения диапазона ресурсов/частот, где запросы генерируются одновременно исполняемыми радиоприложениями, с тем, чтобы заранее обнаружить возможные проблемы.
**Resource manager** осуществляет управление ресурсами SDR, чтобы разделить их среди одновременно функционирующих (активных) радиоприложений, с тем, чтобы гарантировать работу радиоприложений в реальном масштабе времени.

# Структурная блок-схема устройства SDR



# SDR в составе радиосети следующего поколения

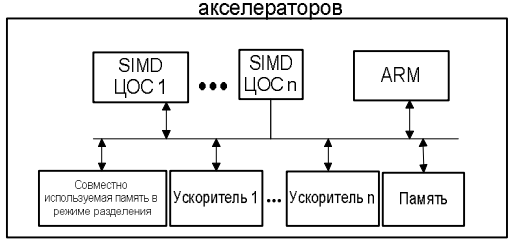


# Аппаратные архитектуры устройств SDR

**Виды архитектуры**

Icera, Infineon, NXP, Sandbridge …

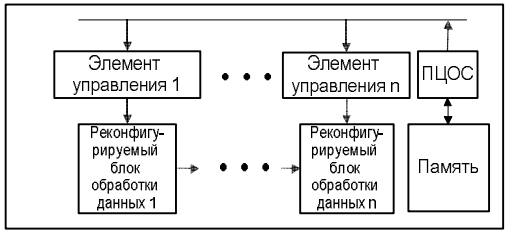
Архитектура, ориентированная на цифровой обработке сигналов и использовании акселераторов



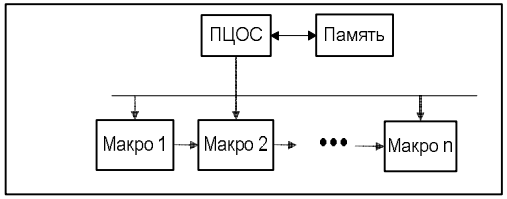

Cogent, Mercury, Morphics, Morpho, Quicksilver, Televersal, 3P+1 …

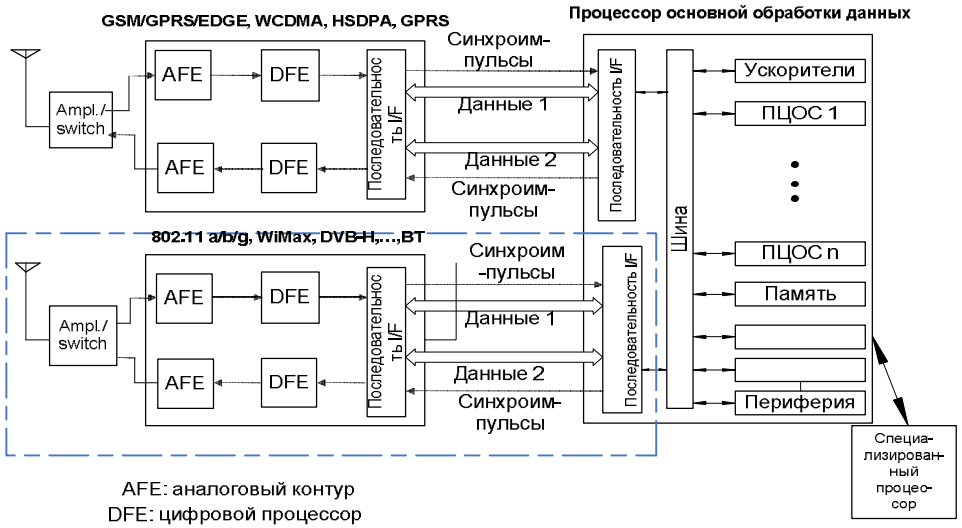
Гибкость

Реконфигурируемая архитектура

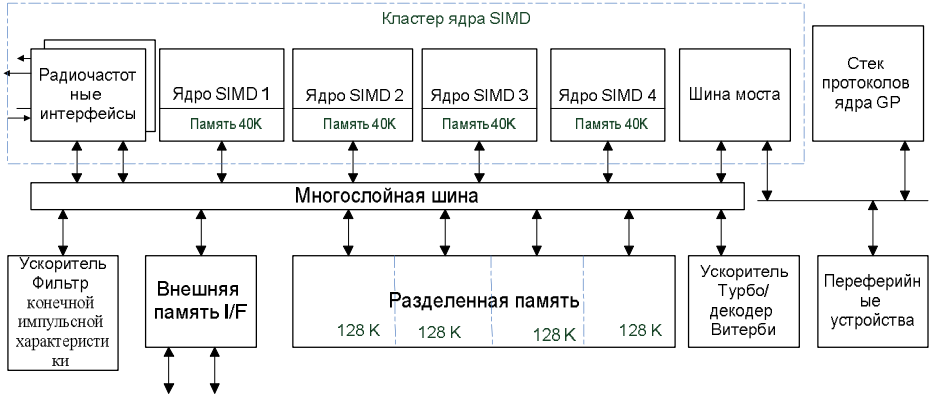



Архитектура на основе специализированной интегральной схемы, предназначенная для процессора цифровой обработки сигнала




AFE: аналоговый контур
DFE: цифровой процессор



# Выводы по лекции 13

1. В современных телекоммуникационных системах для повышения производительности применяют конвейерную организацию вычислений. Конвейеры бывают векторные и скалярные, причем скалярные являются наиболее универсальными.

2. В современных телекоммуникационных системах широко применяются средства повышения энергоэффективности и энергосбережения.

3. Многоядерные процессоры повышают эффективность использования телекоммуникационных систем. Ядро представляет собой центральное процессорное устройство с регистрами, выполненное вместе с другими ядрами на одном и том же кристалле МПр.

ФГБОУ ВО
Поволжский государственный университет
телекоммуникаций и информатики

# Лекция 14.
# Аппаратные средства сенсорных сетей

Лектор :

доцент кафедры АЭС ПГУТИ,

к.т.н. Гребешков А.Ю.

Самара
2017 год

кафедра
автоматической электросвязи

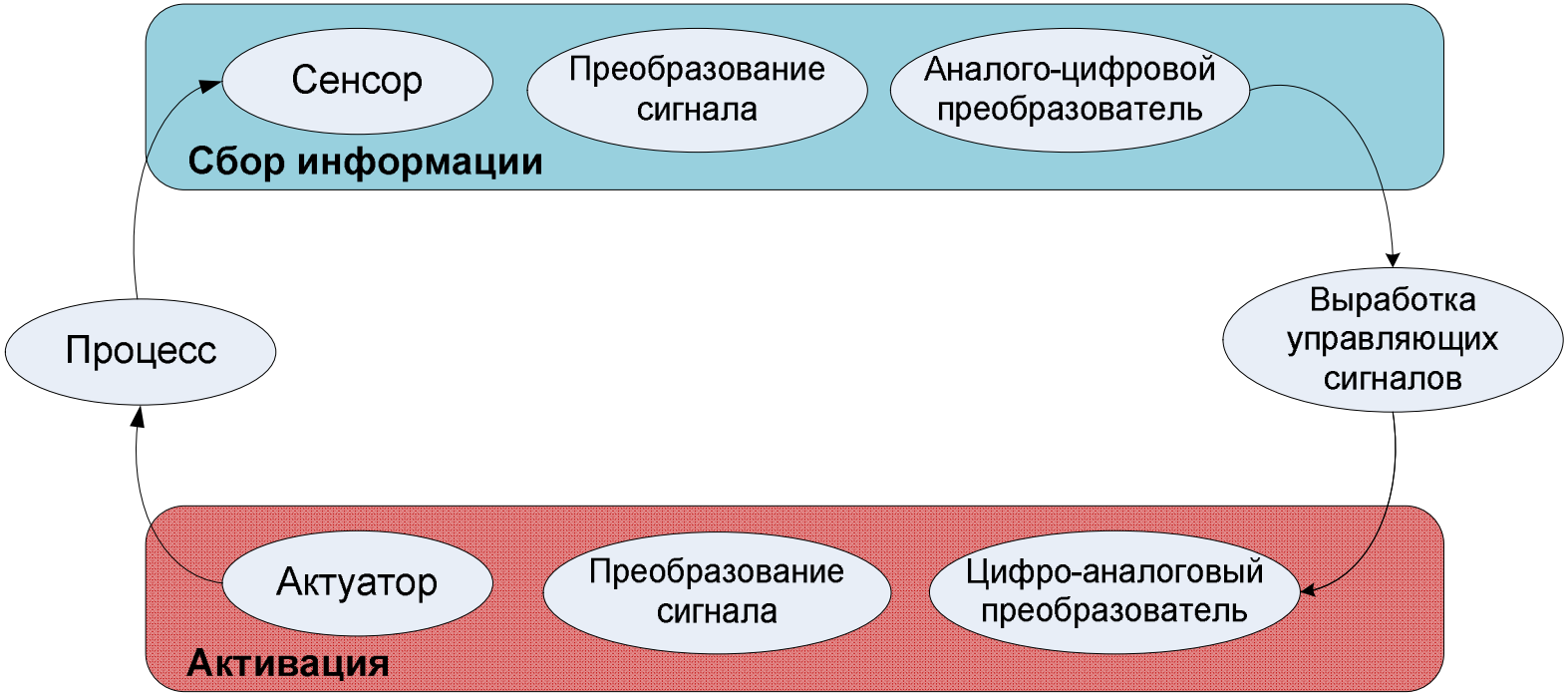
# Основные понятия и определения

***Сенсор*** – устройство, которое воспринимает некоторое воздействие или процесс (свет, давление, температуру), измеряет его количественные и качественные характеристики и преобразует результаты измерения в сигнал. Сигнал может быть электрический, химический или другого типа.

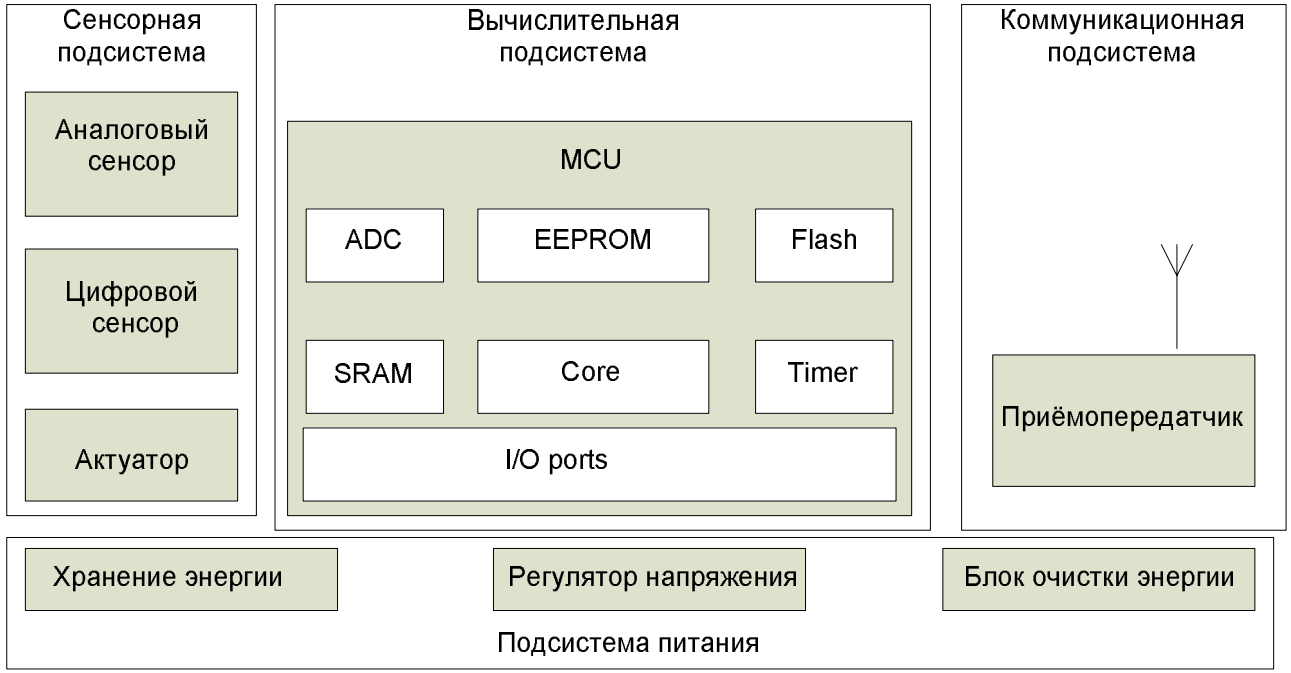
***Датчики*** – устройства, которые создают измерительный сигнал на основе отслеживаемого физического процесса. Физические параметры датчика изменяются в зависимости от состояния окружающей среды (жидкость, газ, механическое воздействие).

***Актуатор*** – исполнительное устройство или его активный элемент, преобразующий один из видов энергии (электрической, магнитной, тепловой, химической) в другую (чаще всего - в механическую), что приводит к выполнению определенного действия, заданного управляющим сигналом. Различают электрические, гидравлические и пневматические актуаторы.

# Общая схема обработки данных в сенсорных сетях



# Функциональные подсистемы узла сенсорной сети




***Сенсорный узел*** – устройство, которое состоит, по крайней мере, из одного сенсора (может также включать один или нескольких актуаторов), и имеет вычислительные и сетевые возможности применительно как к проводным, так и беспроводным сетям.

# Описание подсистем сенсорного узла

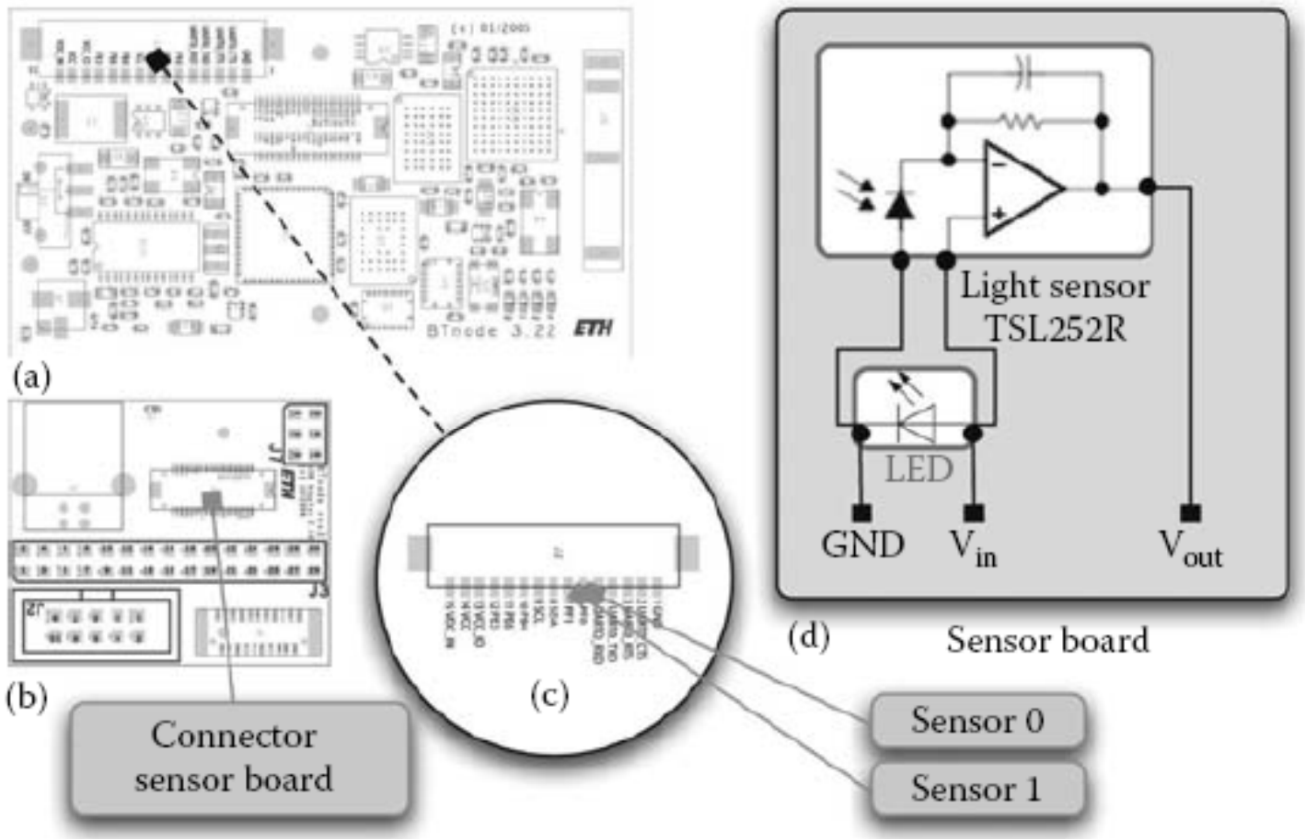
***Коммуникационная подсистема*** – обеспечивает беспроводные соединения с другими узлами в сенсорной сети и содержит радио приемопередатчик.

***Вычислительная подсистема*** – обеспечивает обработку данных и функциональность узла и состоящая из микроконтроллера MCU, в состав которого входят процессор, оперативная SRAM, энергонезависимая EEPROM и флэш память, аналого-цифровой преобразователь ADC, таймер, порты ввода/вывода.

***Сенсорная подсистема*** – обеспечивает соединение сенсорного беспроводного узла с внешним миром, в состав которой могут входить аналоговые и цифровые сенсоры, актуаторы.

***Подсистема электропитания*** – обеспечивает энергетическое снабжение всех элементов беспроводного сенсорного узла и включает устройства аккумулирования и выдачи энергии, а также регулировки напряжения.

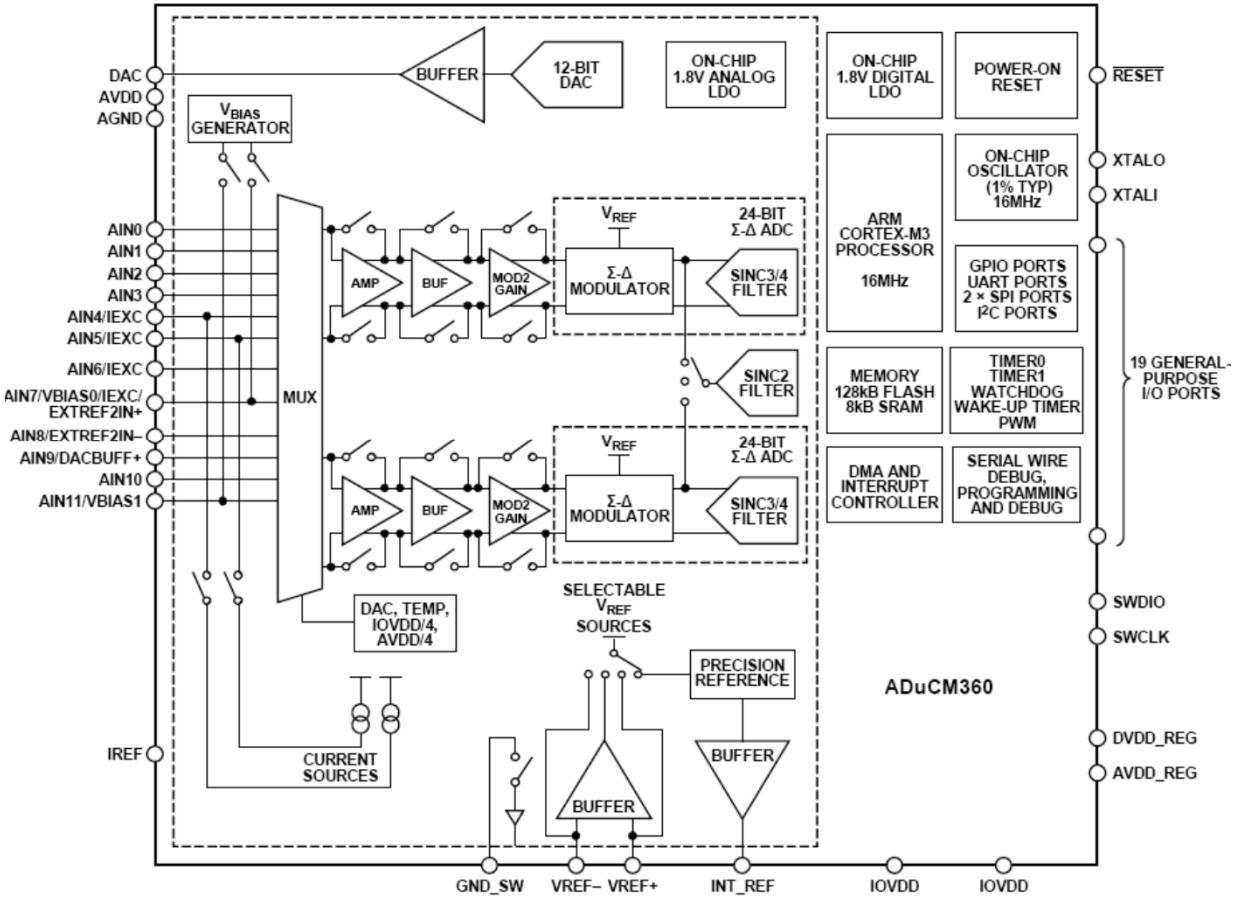
# Подключение сенсора к печатной плате

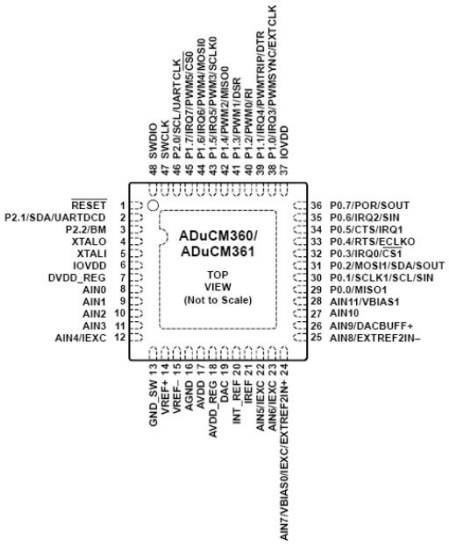



В качестве сенсора может использоваться следующее оборудование:

- температурный сенсор TC74;
- аналоговый световой сенсор TSL250R/TSL251R и аналоги;
- пассивный инфракрасный датчик движения AMN1;
- любой цифровой сенсор со стандартной внешней шиной I2C;
- один произвольный внешний аналоговый сенсор.

# Блок-схема MCU сенсорного узла

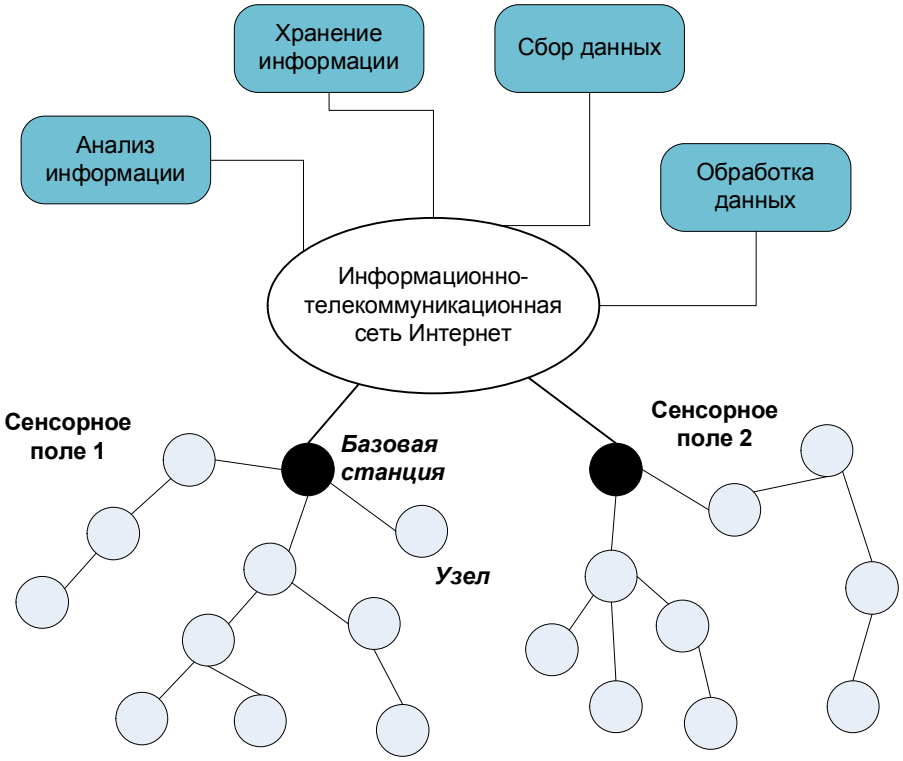


# Характеристики MCU

**Разрядность АЦП** – 24 бита;
**Диапазон частот** – от 3,5 Гц до 3,906 кГц;
**Подавление шумов** 50/60 Гц;
**6 дифференциальных аналоговых входов**
т.е. 2 входа на 1 канал, где есть возможность получать сигнал по двум входам и сравнивать значения сигнала между входами) или
**11 несиметричных входов** (1 вход на 1 канал).
**Напряжение электропитания** – 18 В до 3,6 В.
**128 программируемых коэффициентов усиления** (PGA)
**Выходная разрядность ЦАП** – 12 бит
**Разрядность RISC процессора** 32 бита
**Размер flash памяти** (ЭСППЗУ) – 128 Кбит
**Размер ОЗУ SRAM** памяти – 8 Кбайт
**Внешние шины** – две SPI, I2C, UART, GPIO.
**Размер корпуса** – 7 х 7 мм, 48 выводов.
**Рабочий диапазон температур** от – $40^0$ С до + $125^0$С.

# Структура беспроводной сенсорной сети




**Беспроводная сенсорная сеть БСС(** WSN) – распределённая, самоорганизующаяся сенсорная сеть из множества сенсоров и исполнительных устройств, объединенных между собой посредством радиоканалов.

Датчики (узлы) БСС общаются не только друг с другом, но и с базовой станцией (БС), выполняющей функции главного узла и ретранслирующей информацию другим объектам системы сбора данных.

# Классификация БСС по радиусу действия

Персональные сети **WPAN** (Wireless Personal Area Network) – от 0,01 до 1 метра.

Локальные сети **WLAN** (Wireless Local Area Network) – от 1 метра до 100 метров.

Городские сети **WMAN** (Wireless Metropolitan Area Network) – от 100 метров до 5 км.

Глобальные сети **WWAN** (Wireless Wide Area Network) от 5 км и более.

# Телекоммуникационные протоколы БСС

| Вид сети | WLAN (802.11) | WMAN (802.16) | WWAN |
|---|---|---|---|
| Стандарт | 802.11b Wi-Fi | 802.16a WiMax | GSM (GPRS) UMTS(HSPA) |
| Приложения | Web, E-mail, передача данных, видео, ЛВС-решение проблемы последней мили | Web, E-mail, передача данных, видео, ЛВС-решение проблемы последней мили | Голосовая связь, Web, E-mail, передача данных, видео |
| Преимущества | Высокая скорость, гибкость | Высокая скорость | Высокая скорость, расстояние |
| Частота, ГГц | 2,4 | 10-66/11/2-6 | 0,9/2,4 |
| Дальность, м | 1-100 | 1000-5000 | 1000-3000 |
| Макс. скорость передачи | 11 Мбит/с | 1–75 Мбит/с | 0,13–2 Мбит/с |
| Выходная мощность (ном), дБм | 20 | 26 | 10 |
| Чувствительность (дБм) | -76 | -80 | -65 |
| Продолжительность работы от аккумулятора, дни | 0,5–5 | 1–3 | 1–3 |
| Размер сети | 32 | Зависит от используемого оборудования | Зависит от используемого оборудования |

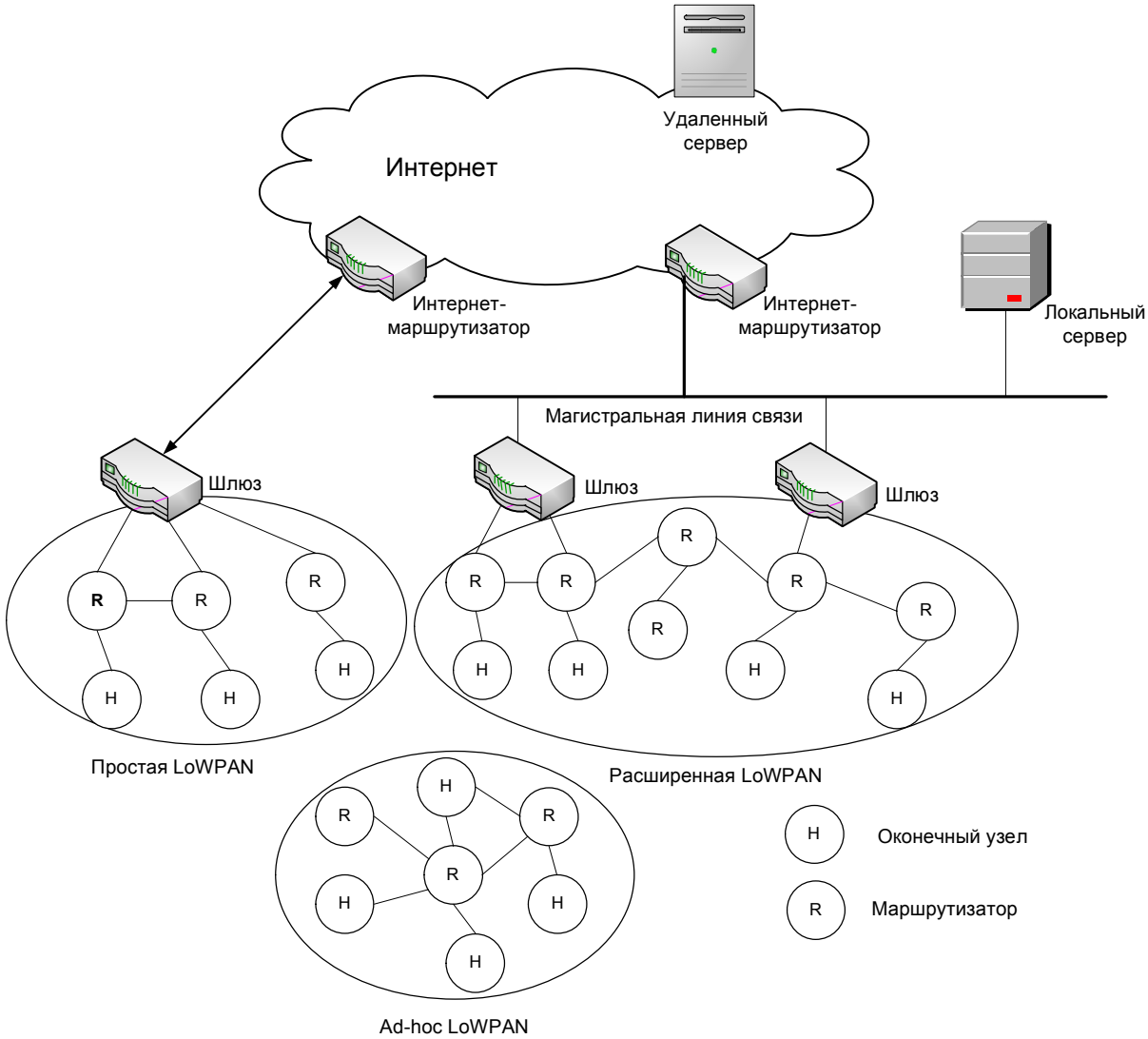
# Виды сенсорных сетей

***1. Проактивные сети.*** Узлы периодически включают свои сенсоры и передатчики, снимают показания и передают их на базовую станцию. Используются обычно для приложений, требующих регулярного мониторинга некоторых значений.

**2. *Реактивные сети.*** Узлы реактивных сетей с некоторой периодичностью снимают показания, однако не передают их, если полученные данные попадают в определенную область нормальных показаний. Сведения о неожиданных и резких изменениях в показаниях датчиков или их выходе за диапазон нормальных значений незамедлительно передаются на базовую станцию. Этот вид сети предназначен для работы с приложениями реального времени.

**3. *Гибридные сети.*** Это комбинация двух вышеперечисленных типов, где сенсорные узлы не только периодически отправляют снятые данные, но и реагируют на резкие изменения в значениях.

# Сопряжение сенсорных сетей с СС ОП



# Понятие о RFID

***Радиочастотная идентификация RFID*** (Radio Frequency IDentification) – общий термин, используемый для обозначения систем, которые беспроводным путем посредством радиоволн считывают идентификационный номер (в форме уникального серийного номера) какого-либо предмета или человека.

RFID относится к обширной области технологий автоматической идентификации (Auto-ID), которые включают в себя также штриховые коды, оптические считыватели и некоторые биометрические технологии, как например, сканирование сетчатки глаза.

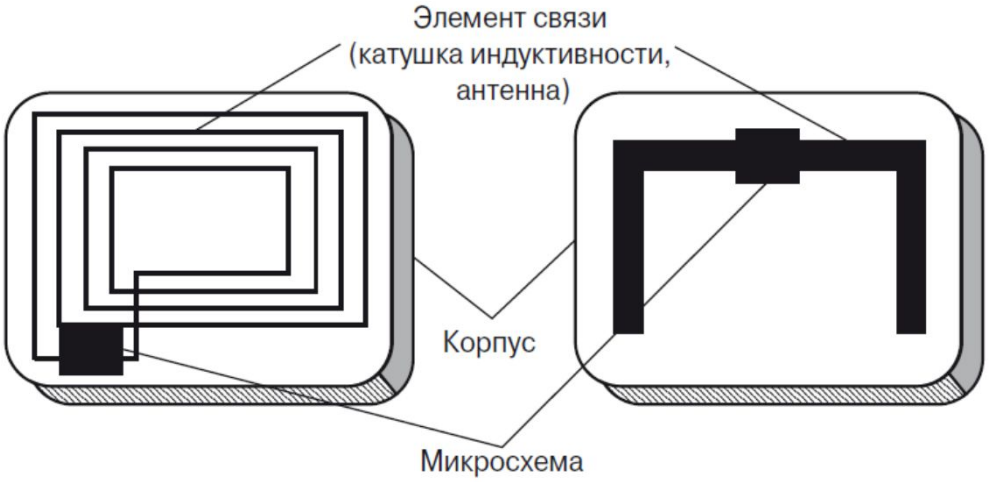
Любая RFID-система состоит из считывающего устройства (считыватель, ридер) и транспондера (он же RFID-метка, иногда также применяется термин RFID-тег).

# Компоненты системы RFID

По дальности считывания RFID-системы можно подразделить на системы:

- ближней идентификации (считывание производится на расстоянии до 20 см);
- идентификации средней дальности (от 20 см до 5 м);
- дальней идентификации (от 5 м до 100 м).

# Схема RFID метки




Состав RFID меток:

- интегральная схема для хранения и обработки информации,модулирования, демодулирования радиочастотного сигнала и некоторых других функций.
- антенна для приёма и передачи сигнала.

RFID работает по следующему принципу: радиосигнал посылается считывателем транспондеру (метке), который принимает его и отражает (пассивная метка) или генерирует выходной сигнал (активная метка).

## Функции RFID считывателя

1. Энергоснабжение пассивных меток за счет передачи энергии меткам с использованием электромагнитного поля.
2. Чтение данных, которые хранятся на метке.
3. Запись данных на метку – используя метки с возможностью чтения-записи, данные можно изменять в любое время на протяжении всего жизненного цикла продукта.
4. Связь с компьютером – считыватель отвечает за перенос информации между метками и компьютером, это происходит посредством порта Bluetooth, сети Ethernet или других проводных или беспроводных технологий.

# Примеры RFID считывателей

**Портативный считыватель**

**Настольный считыватель (планшет)**

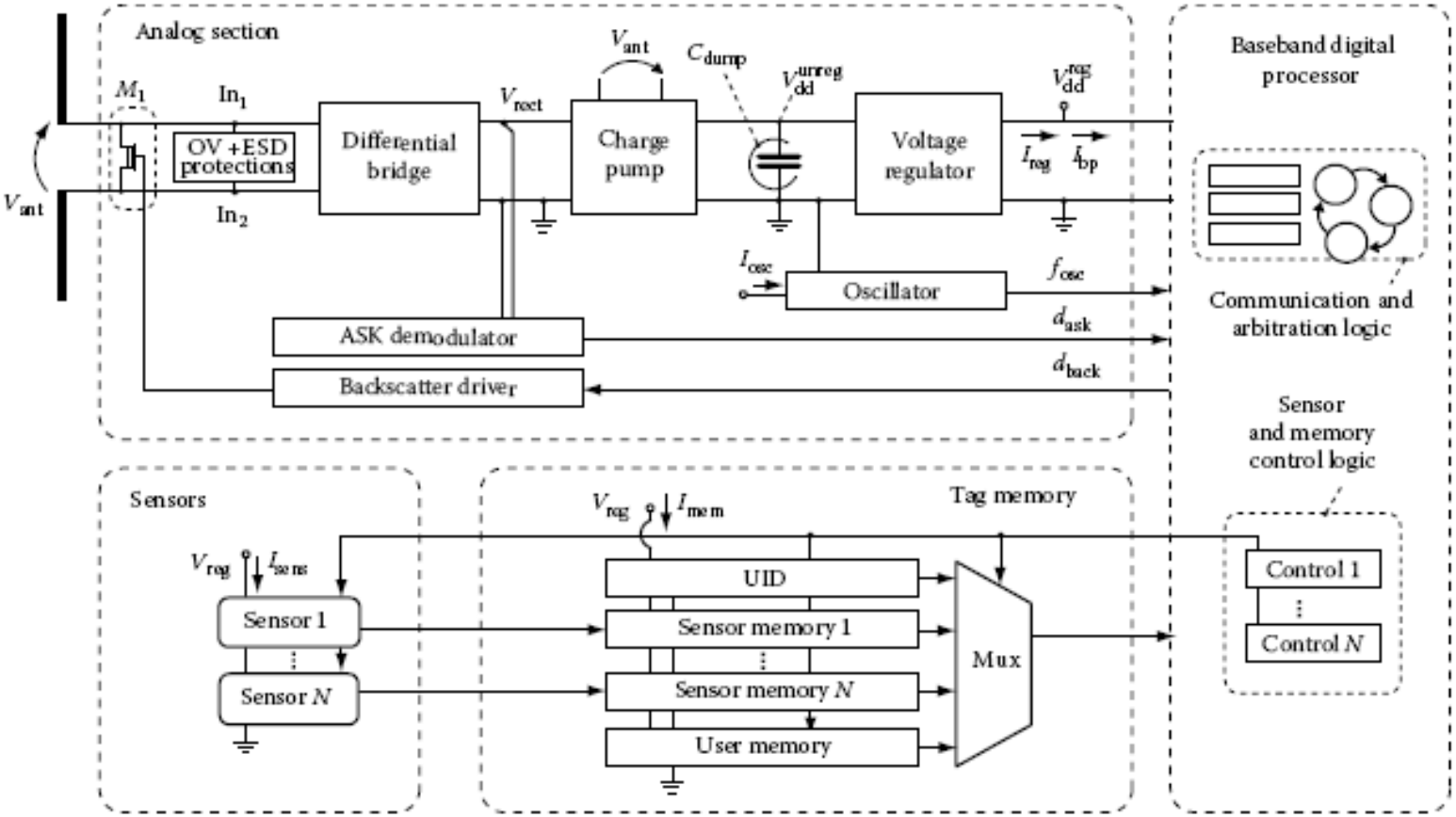
**Стационарный считыватель (ворота)**

# Назначение блоков транспондера

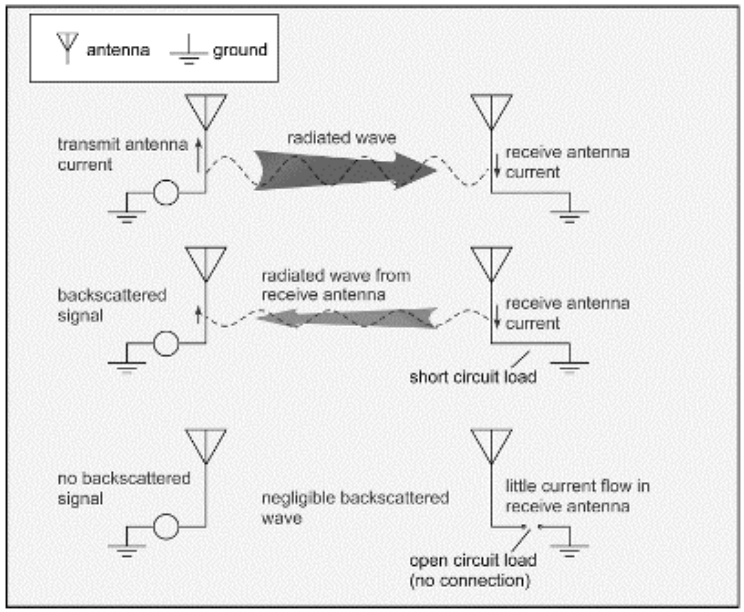
**ASK demodulator** (amplitude shift keying modulator)– демодулятор с ключевым смещением амплитуды – форма амплитудного модулятора который представляет цифровую информацию как изменение амплитуды несущей волны. Бинарный символ «1» здесь может передаваться как передача в течении определенного времени волны с фиксированной частотой и амплитудой колебания. Отсутствие такого сигнала означает «0».

**Backscatter driver** (драйвер обратного рассеивания) позволяет обойтись без радиопередатчика за счет использования для передачи информации RFID метки модуляцию пассивного (отраженного) сигнала от антенны.

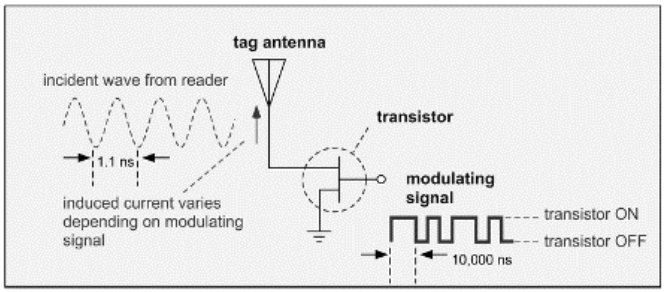
# Блок-схема УВЧ транспондера



# Схема работы антенны с обратным рассеянием




Излучаемая волна может вернуться обратно к передающей антенне, вызвав на ней падение напряжения и, следовательно, создав сигнал обратного рассеяния.




Когда на контакты транзистора подается потенциал, который открывает затвор транзистора, постоянный ток свободно проходит через канал, по аналогии с коротким замыканием.

Когда затвор закрыт (выключен) этот канал становится непроводящим. Формируется модулированный сигнал обратного рассеяния волны в направлении считывателя.

# Используемые диапазоны РЧС для RFID

**Низкие частоты** (НЧ) LF (Low Frequency) – до 135 кГц, стандарт - ISO/IEC 18000-2.

**Высокие частоты** (ВЧ) HF (High Frequency) – 13,56 МГц, стандарт - ISO/IEC 18000-3.

**Сверхвысокая частота** UHF (Ultra High Frequency) – 433 МГц, стандарт - ISO/IEC 18000-7.

**Сверхвысокие частоты** (СВЧ) UHF (Ultra High Frequency) – диапазон 860-930 МГц, стандарт - ISO/IEC 18000-6.

**Микроволновые частоты** SHF (Super High Frequency) 2,45 – 5,8 ГГц, стандарт ISO/IEC 18000-3.

# Выводы по лекции 14

1. В современных телекоммуникационных системах  для сенсорных сетей используют передовые телекоммуникационные технологии и аппаратные средства.

2. При использовании в телекоммуникационных системах радиочастотных меток RFID используются различные аппаратные средства организации системы. В первую очередь антенны и радиочастотные контуры приема-передачи различного назначения.